



(12)发明专利申请

(10)申请公布号 CN 107888056 A

(43)申请公布日 2018.04.06

(21)申请号 201711227219.5

(51)Int.Cl.

(22)申请日 2014.07.09

H02M 1/08(2006.01)

(30)优先权数据

H02M 1/38(2007.01)

2013-144561 2013.07.10 JP

H03K 17/74(2006.01)

2013-144560 2013.07.10 JP

H03K 17/16(2006.01)

2014-134227 2014.06.30 JP

H01L 27/07(2006.01)

(62)分案原申请数据

201480039343.7 2014.07.09

(71)申请人 株式会社电装

地址 日本爱知县

(72)发明人 井上刚志 岩村刚宏 山本昌弘

(74)专利代理机构 永新专利商标代理有限公司

72002

代理人 高迪

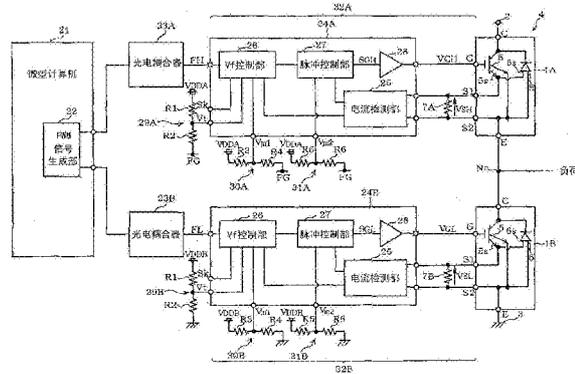
权利要求书6页 说明书37页 附图42页

(54)发明名称

驱动控制装置

(57)摘要

一种具备具有共通的通电极(15、18)的晶体管构造(5)和二极管构造(6)的两个半导体元件(1A、1B)的驱动控制装置(32A、32B、52、54、56、61、62、71、72)具有:电流检测单元(7A、7B、25、59、60、68),输出半导体元件的电流检测信号;以及第1控制单元(27),在判定为对于上述半导体元件输入导通指令信号的期间上述半导体元件中以上述二极管构造的顺向的朝向流经电流的情况下,以之后的截断指令信号的输入时点为起点,从第1时间的经过时点到第2时间的经过时点为止,输出栅极驱动信号。预先设定第1时间和第2时间,以使得在两个半导体元件之间不发生臂短路。



1. 一种驱动控制装置,是两个半导体元件(1A、1B)的驱动控制装置(32A、32B、52、54、56、61、62、71、72),各个半导体元件具有形成在同一个半导体基板(8)上的、被施加栅极驱动电压的绝缘栅极型的晶体管构造(5)和二极管构造(6),上述晶体管构造的通电电极和上述二极管构造的通电电极为共通(15、18),

该驱动控制装置具备:

电流检测单元(7A、7B、25、59、60、68),输出与在上述两个半导体元件中的至少一个中流动的电流相对应的电流检测信号;以及

第1控制单元(27),在输入针对上述半导体元件的导通指令信号的期间基于上述电流检测信号判定为上述半导体元件中以上述二极管构造的顺向的朝向流经电流的情况下,以之后的截断指令信号的输入时点为起点,从经过第1时间的时点到经过第2时间的时点,输出指示施加上述栅极驱动电压的栅极驱动信号;

两个半导体元件构成半桥电路(4);

以不使两个半导体元件之间发生臂短路的方式预先设定第1时间和第2时间。

2. 如权利要求1所述的驱动控制装置,

还具备第2控制单元(26),在输入针对驱动控制的上述半导体元件的导通指令信号的期间、基于上述电流检测信号判定为以上述二极管构造的顺向的朝向流经的上述半导体元件的电流是电流阈值以上的情况下,该第2控制单元(26)输出指示切断上述栅极驱动电压的栅极驱动信号;

在输入针对驱动控制的上述半导体元件的导通指令信号的期间、基于上述电流检测信号判定为以上述二极管构造的顺向的朝向流动的上述半导体元件的电流小于上述电流阈值的情况下,第2控制单元输出指示施加上述栅极驱动电压的栅极驱动信号;

在上述半导体元件中以上述二极管构造的顺向的朝向流经电流的情况下,预先测量上述栅极驱动电压被切断时的导通损失与被施加上述栅极驱动电压时的导通损失为相等的电流值,设定为电流阈值。

3. 如权利要求2所述的驱动控制装置,

在输入针对驱动控制的上述半导体元件的导通指令信号的期间、判定为上述半导体元件中以上述二极管构造的顺向的朝向流经小于上述电流阈值的电流的情况下,上述第2控制单元(26)将指示施加上述栅极驱动电压的栅极驱动信号超过针对该半导体元件的截断指令信号的输入时点而延长到经过上述第2时间的时点为止地输出。

4. 如权利要求1所述的驱动控制装置,

还具备:第2控制单元(26),在输入针对驱动控制的上述半导体元件的导通指令信号的期间,输出指示施加上述栅极驱动电压的栅极驱动信号,在判定为该期间在上述半导体元件中以上述二极管构造的顺向的朝向流经电流的情况下,该第2控制单元(26)将指示施加上述栅极驱动电压的栅极驱动信号超过针对该半导体元件的截断指令信号的输入时点而延长到经过上述第2时间的时点为止地输出。

5. 如权利要求2所述的驱动控制装置,

上述第2控制单元(26)构成为能够从外部输入确定上述电流阈值的阈值确定信号;

上述第2控制单元在输入上述导通指令信号的期间中,将与输入的上述阈值确定信号相对应的电流阈值用于判定上述半导体元件中流经的电流。

6. 如权利要求3所述的驱动控制装置，
上述第2控制单元(26)构成为能够从外部输入确定上述电流阈值的阈值确定信号；
上述第2控制单元在输入上述导通指令信号的期间中，将与输入的上述阈值确定信号相对应的电流阈值用于判定上述半导体元件中流经的电流。
7. 如权利要求1~6中任一项所述的驱动控制装置，
第1控制单元或第2控制单元(26、27)的至少一个执行通常控制；
在通常控制中，在经由上述半导体元件流到负荷中的电流比规定值小的情况下，如果输入针对驱动控制的上述半导体元件的导通指令信号，则第1控制单元或第2控制单元(26、27)的至少一个输出指示施加上述栅极驱动电压的栅极驱动信号；
在通常控制中，在经由上述半导体元件流到负荷中的电流比规定值小的情况下，如果输入针对驱动控制的上述半导体元件的截断指令信号，则第1控制单元或第2控制单元(26、27)的至少一个输出指示切断上述栅极驱动电压的栅极驱动信号。
8. 如权利要求1~6中任一项所述的驱动控制装置，
还具备：驱动电路(28)，输入上述栅极驱动信号而输出上述栅极驱动电压；
驱动电路由具有与上述栅极驱动电压相对应的耐压的IC(24A、24B)构成。
9. 如权利要求1~6中任一项所述的驱动控制装置，
驱动控制装置对构成半桥电路的两个半导体元件进行驱动控制；
驱动控制装置由具有与向上述半桥电路施加的电源电压相对应的耐压的IC(51、53、55)构成；
该IC具备输入上述栅极驱动信号而输出上述栅极驱动电压的驱动电路(28)；
上述电流检测单元(7A、7B、25、59、60)被设置为能够检测流经上述两个半导体元件中的至少一个半导体元件的电流；
在对上述两个半导体元件中的一个半导体元件施加上述栅极驱动电压的期间，第1控制单元或第2控制单元(26、27)的至少一个禁止向另一个半导体元件施加上述栅极驱动电压。
10. 如权利要求1~6中任一项所述的驱动控制装置，
驱动控制装置对构成半桥电路的两个上述半导体元件进行驱动控制；
驱动控制装置由提供第1控制单元或第2控制单元(26、27)的至少一个的控制IC(21、63)、基于从上述控制IC输入的栅极驱动信号对各半导体元件施加上述栅极驱动电压的驱动IC(65A、65B)、将从上述控制IC输出的栅极驱动信号电绝缘地向上述驱动IC传送的绝缘电路(64A、64B)、以及上述电流检测单元(7A、7B、25、59、60、68)构成；
在对上述两个半导体元件中的一个半导体元件施加上述栅极驱动电压的期间，上述控制IC输出禁止向另一个半导体元件施加上述栅极驱动电压的栅极驱动信号。
11. 如权利要求10所述的驱动控制装置，
上述电流检测单元(25)由上述控制IC(21)提供。
12. 如权利要求1~3、5、6中任一项所述的驱动控制装置，
上述第1时间和上述第2时间的时间宽度被设定为与在输入针对上述半导体元件的导通指令信号的期间流经上述半导体元件的电流的大小相对应的值。
13. 如权利要求1~3、5、6中任一项所述的驱动控制装置，

该半导体元件包括一个半导体元件和另一个半导体元件；

一个半导体元件和另一个半导体元件构成半桥电路；

设定上述第1时间和上述第2时间,以使得当在上述半导体元件中以上述二极管构造的顺向的朝向流经电流的状态下输入截断指令信号后、经过一定的死区时间而针对另一个半导体元件输入导通指令信号时,经过上述第2时间上述栅极驱动电压被切断的时点与在上述另一个半导体元件的晶体管构造中开始流经超过该一个半导体元件中流经的电流的电流的时点之间的时间宽度比零大且为规定的注入容许时间以下。

14. 如权利要求1~3、5、6中任一项所述的驱动控制装置,

以使在输入针对上述半导体元件的导通指令信号的期间流经该半导体元件的电流越大,越为长的时间的方式设定上述第1时间和第2时间的时间宽度。

15. 如权利要求8所述的驱动控制装置,

设定上述第1时间和上述第2时间,以使得基于上述栅极驱动信号的上述栅极驱动电压随着上述驱动电路的栅极驱动能力而单调地增加或单调地减小。

16. 如权利要求1~6中任一项所述的驱动控制装置,

设定上述第1时间和上述第2时间,以使得在基于上述栅极驱动信号的上述栅极驱动电压中不发生镜像期间。

17. 如权利要求8所述的驱动控制装置,

上述驱动电路在上述栅极驱动信号变化时,维持一定的栅极驱动能力输出上述栅极驱动电压。

18. 如权利要求8所述的驱动控制装置,

上述驱动电路在上述栅极驱动信号变化时,以与将上述半导体元件通断电时相比高的驱动能力输出上述栅极驱动电压。

19. 一种驱动控制装置,是两个半导体元件(101A、101B)的驱动控制装置(132A、132B、152、154、156、162、172),各个半导体元件具有形成在同一个半导体基板(8)上的、被施加栅极驱动电压的绝缘栅极型的晶体管构造(5)和二极管构造(6),上述晶体管构造的通电电极和上述二极管构造的通电电极为共通(15、18),

该驱动控制装置具备:

电压检测单元(107A、107B、125、168、180),输出与至少一个半导体元件的电极电位相对应的电压检测信号;以及

控制单元(26、27),在输入针对上述一个半导体元件的截断指令信号时、基于上述电压检测信号判定为上述一个半导体元件中以上述二极管构造的顺向的朝向流经电流的情况下,以之后经过导通指令信号的输入而被输入截断指令信号的时点为起点,从经过第1时间的时点到经过第2时间的时点,输出指示施加上述栅极驱动电压的栅极驱动信号;

以使得在两个半导体元件之间不发生臂短路的方式预先设定第1时间和第2时间;

两个半导体元件构成半桥电路(4)。

20. 如权利要求19所述的驱动控制装置,

上述控制单元(26、27)通过由上述电压检测部判定电压是否变动,从而判定流经负荷的电流;

上述控制单元(26、27)在判定上述负荷的电流是0附近的规定范围的情况下,输出指示

切断上述栅极驱动电压的栅极驱动信号；

上述控制单元(26、27)在判定上述负荷的电流是0附近的规定范围外的情况下,输出指示施加上述栅极驱动电压的栅极驱动信号。

21. 如权利要求19所述的驱动控制装置,

上述控制单元(26、27)在输入针对驱动控制的上述半导体元件的导通指令信号的期间、基于上述电压检测信号判定为以上述二极管构造的顺向的朝向流经电流的情况下,输出指定切断上述栅极驱动电压的栅极驱动信号；

上述控制单元(26、27)在输入针对驱动控制的上述半导体元件的导通指令信号的期间、基于上述电压检测信号判定为没有以上述二极管构造的顺向的朝向流经电流的情况下,输出指示施加上述栅极驱动电压的栅极驱动信号。

22. 如权利要求20所述的驱动控制装置,

上述控制单元(26、27)在输入针对驱动控制的上述半导体元件的导通指令信号的期间、基于上述电压检测信号判定为以上述二极管构造的顺向的朝向流经电流的情况下,输出指定切断上述栅极驱动电压的栅极驱动信号；

上述控制单元(26、27)在输入针对驱动控制的上述半导体元件的导通指令信号的期间、基于上述电压检测信号判定为没有以上述二极管构造的顺向的朝向流经电流的情况下,输出指示施加上述栅极驱动电压的栅极驱动信号。

23. 如权利要求19~22中任一项所述的驱动控制装置,

还具备输入上述栅极驱动信号从而输出上述栅极驱动电压的驱动电路(28)；

驱动电路(28)由具有与上述栅极驱动电压相对应的耐压的IC(124A、124B)构成。

24. 如权利要求19~22中任一项所述的驱动控制装置,

驱动控制装置对构成半桥电路的两个上述半导体元件进行驱动控制；

驱动控制装置由具有与向上述半桥电路施加的电源电压相对应的耐压的IC(151、153)构成；

该IC提供输入上述栅极驱动信号从而输出上述栅极驱动电压的驱动电路(28)；

上述电压检测单元(107A、107B、125、180)被设置为能够检测上述两个半导体元件中的至少一个半导体元件的电压；

在对上述两个半导体元件中的一个半导体元件施加上述栅极驱动电压的期间,上述控制单元(26、27)禁止向另一个半导体元件施加上述栅极驱动电压。

25. 如权利要求19~22中任一项所述的驱动控制装置,

驱动控制装置对构成半桥电路的两个上述半导体元件进行驱动控制；

驱动控制装置由具有上述控制单元(26、27)的控制IC(21、121、163)、基于从上述控制IC输入的栅极驱动信号向上述半导体元件施加上述栅极驱动电压的驱动IC(65A、65B)、将从上述控制IC输出的栅极驱动信号电绝缘地向上述驱动IC传送的绝缘电路(64A、64B)、以及上述电压检测单元(107A、107B、125、168)构成；

在对上述两个半导体元件中的一个半导体元件施加上述栅极驱动电压的期间,上述控制IC输出禁止向另一个半导体元件施加上述栅极驱动电压的栅极驱动信号。

26. 如权利要求25所述的驱动控制装置,

上述电压检测单元(125)由上述控制IC(121)提供。

27. 如权利要求19~22中任一项所述的驱动控制装置，
上述电压检测单元(180)在上述半导体元件的元件形成区域(100)的外周侧隔开间隔地形成在半导体基板(8)上；
上述电压检测单元(180)使用与上述半导体基板(8)的导电类型相反导电类型的电场限制圈(8a)来检测中间电位。
28. 如权利要求19~22中任一项所述的驱动控制装置，
上述第1时间和上述第2时间的时间宽度被设定为与在输入针对上述半导体元件的导通指令信号的期间流经上述半导体元件的电流的大小相对应的值。
29. 如权利要求19~22中任一项所述的驱动控制装置，
该半导体元件包括一个半导体元件和另一个半导体元件；
一个半导体元件和另一个半导体元件构成半桥电路；
设定上述第1时间和上述第2时间，以使得当在上述半导体元件中以上述二极管构造的顺向的朝向流经电流的状态下输入截断指令信号后、经过一定的死区时间而针对另一个半导体元件输入导通指令信号时，经过上述第2时间上述栅极驱动电压被切断的时点与在上述另一个半导体元件的晶体管构造中开始流经超过该一个半导体元件中流经的电流的时点之间的时间宽度比零大且为规定的注入容许时间以下。
30. 如权利要求19~22中任一项所述的驱动控制装置，
以使在输入针对上述半导体元件的导通指令信号的期间流经该半导体元件的电流越大，越为长的时间的方式设定上述第1时间和第2时间的时间宽度。
31. 如权利要求23所述的驱动控制装置，
设定上述第1时间和上述第2时间，以使得基于上述栅极驱动信号的上述栅极驱动电压随着上述驱动电路的栅极驱动能力而单调地增加或单调地减小。
32. 如权利要求19~22中任一项所述的驱动控制装置，
设定上述第1时间和上述第2时间，以使得在基于上述栅极驱动信号的上述栅极驱动电压中不发生镜像期间。
33. 如权利要求23所述的驱动控制装置，
上述驱动电路在上述栅极驱动信号变化时，维持一定的栅极驱动能力输出上述栅极驱动电压。
34. 如权利要求23所述的驱动控制装置，
上述驱动电路在上述栅极驱动信号变化时，以与将上述半导体元件通断电时相比高的驱动能力输出上述栅极驱动电压。
35. 一种驱动控制装置，是半导体元件(1001A、1001B)的驱动控制装置(1038A、1038B)，该半导体元件在同一个半导体基板(1008)上形成有被施加栅极驱动电压的绝缘栅极型的晶体管构造(1005)和二极管构造(1006)，上述晶体管构造的通电电极和上述二极管构造的通电电极为共通的电极(1015、1018)，
该驱动控制装置具备：
电流检测单元(1007A、1007B、1025)，输出与流经上述半导体元件的电流相对应的电流检测信号；
控制单元(1027)，在输入针对上述半导体元件的导通指令信号的期间基于上述电流检

测信号判定为上述半导体元件中以上述二极管构造的顺向的朝向流经电流的情况下,以之后的截断指令信号的输入时点为起点,从预先设定的经过第1时间的时点到经过第2时间的时点,输出指示施加上述栅极驱动电压的栅极驱动信号;以及

驱动电路(1028),输入上述栅极驱动信号,输出上述栅极驱动电压;

上述第1时间和上述第2时间的时间宽度被设定为与在输入针对上述半导体元件的导通指令信号的期间流经上述半导体元件的电流的大小相对应的值。

36. 如权利要求35所述的驱动控制装置,

该半导体元件包括一个半导体元件和另一个半导体元件;

一个半导体元件和另一个半导体元件构成半桥电路;

设定上述第1时间和上述第2时间,以使得在上述半导体元件中以上述二极管构造的顺向的朝向流经电流的状态下输入截断指令信号后、在经过一定的死区时间而对另一个半导体元件输入了导通指令信号时,经过上述第2时间上述栅极驱动电压被切断的时点与在上述另一个半导体元件的晶体管构造中开始流经超过该一个半导体元件中流经的电流的电流的时点之间的时间宽度比零大且为规定的注入容许时间以下。

37. 如权利要求35所述的驱动控制装置,

以使在输入针对上述半导体元件的导通指令信号的期间流经该半导体元件的电流越大、越为长的时间的方式设定上述第1时间和第2时间的时间宽度。

38. 如权利要求36所述的驱动控制装置,

以使在输入针对上述半导体元件的导通指令信号的期间流经该半导体元件的电流越大、越为长的时间的方式设定上述第1时间和第2时间的时间宽度。

39. 如权利要求35~38中任一项所述的驱动控制装置,

设定上述第1时间和上述第2时间,以使得基于从经过上述第1时间的时点到经过第2时间的时点为止输出的栅极驱动信号的上述栅极驱动电压随着上述驱动电路的栅极驱动能力而单调地增加或单调地减小。

40. 如权利要求39所述的驱动控制装置,

设定上述第1时间和上述第2时间,以使得在基于从经过上述第1时间的时点到经过第2时间的时点为止输出的栅极驱动信号的上述栅极驱动电压不发生镜像期间。

41. 如权利要求39所述的驱动控制装置,

在经过上述第1时间的时点上述栅极驱动信号变化时,上述驱动电路维持一定的栅极驱动能力,输出上述栅极驱动电压。

42. 如权利要求40所述的驱动控制装置,

在经过上述第1时间的时点上述栅极驱动信号变化时,上述驱动电路维持一定的栅极驱动能力,输出上述栅极驱动电压。

43. 如权利要求35~38中任一项所述的驱动控制装置,

在经过上述第1时间的时点及经过上述第2时间的时点上述栅极驱动信号变化时,上述驱动电路以与将上述半导体元件通断电时相比高的驱动能力输出上述栅极驱动电压。

驱动控制装置

[0001] 本申请是申请日为2014年7月9日、申请号为201480039343.7 (国际申请号为PCT/JP2014/003639)、发明名称为“驱动控制装置”的发明专利申请的分案申请。

[0002] 相关申请的交叉引用

[0003] 本申请基于2013年7月10日提出的日本专利申请第2013-144561号、2013年7月10日提出的日本专利申请第2013-144560号、和2014年6月30日提出的日本专利申请第2014-134227号,在此引用其记载的内容。

技术领域

[0004] 本申请涉及绝缘栅极型的晶体管构造和二极管构造形成在相同的半导体基板上的半导体元件的驱动控制装置。

背景技术

[0005] 已知有在相同的半导体基板上形成有RC-IGBT、MOS晶体管、具备MOS栅极的二极管等晶体管元件和二极管元件、使晶体管元件的通电电极(集电极、发射极或漏极、源极)和二极管元件的通电电极(阴极、阳极)为共通的电极的半导体元件(参照非专利文献1)。在将这样的半导体元件在逆变器或变换器等的电力变换装置中作为开关元件使用的情况下,需要降低开关损失及/或导通损失。

[0006] 电力变换装置以半桥电路为基本结构,通过使上下臂的半导体元件互补地导通截断,进行交流一直流电压变换、直流-交流电压变换,或将输入电压升压、降压。在该半桥电路中,为了防止电源短路(臂短路),设有将上下的半导体元件同时截断的死区时间。

[0007] 在死区时间的期间中,负荷电流向一个半导体元件的二极管元件回流。如果在死区时间的结束后,另一个半导体元件导通,则负荷电流从上述二极管元件切换为该另一个半导体元件。此时,流经因储存在二极管元件中的载流子的释放带来的反向恢复电流。该反向恢复电流使开关损失增加并成为噪声的发生原因。

[0008] 对此,在非专利文献1中,公开了在另一个半导体元件导通的稍稍之前、对一个半导体元件施加正的栅极驱动电压的方法。根据该方法,随着半导体元件的电子电流的增加,空穴电流减少,空穴的注入被抑制,能够减小反向恢复电流。

[0009] 另一方面,上述半导体元件如果在二极管元件中流经电流的状态下被施加栅极驱动电压,则形成沟道而抑制空穴的注入,所以有导通损失增大的特性。对此,提出了判定在二极管元件中是否流经电流、当流经电流时将栅极驱动电压切断、当没有流经时施加栅极驱动电压的驱动控制。

[0010] 在半导体元件上暂时性地施加栅极驱动电压(栅极驱动脉冲)来抑制载流子的注入的非专利文献1中记载的方法为了减小反向恢复电流是有效的。但是,在构成半桥电路的两个半导体元件之间切换电流的过渡时需要施加栅极驱动脉冲,所以如果施加时刻即便稍稍延迟,也会发生臂短路。相反,如果施加时刻较早,则在栅极驱动脉冲的施加结束后再次被注入的空穴的量增加,反向恢复电流的低减效果减小。在上述非专利文献1中,没有示出

栅极驱动脉冲的具体的施加定时及脉冲宽度。为了使该方法实用化,需要确立这样的栅极驱动脉冲的施加手段。

[0011] 另一方面,因栅极驱动电压的施加/切断带来的半导体元件的导通损失的特性根据半导体元件的种类(RC-IGBT、MOS晶体管等)而较大地不同。因此,发生这样的情况,在半导体元件中以二极管元件的顺向的朝向是否流经电流的以往的判定基准中,不能将导通损失充分降低。

[0012] 现有技术文献

[0013] 非专利文献

[0014] 非专利文献1:Zhenxue Xu,Bo Zhang and Alex Q.huang,“Experimental Demonstration of the MOS Controlled Diode(MCD)”,IEEE 2000,Vol.2,p.1144-1148

发明内容

[0015] 本申请的目的是提供一种对于在同一个半导体基板上形成有晶体管构造和二极管构造的半导体元件,第1、通过以适当的定时施加栅极驱动脉冲从而能够降低开关损失,第2、不论半导体元件的种类如何都能够充分地降低半导体元件的导通损失的驱动控制装置。

[0016] 在本申请的第一技术方案中,一种两个半导体元件的驱动控制装置,各个半导体元件具有形成在同一个半导体基板上的、被施加栅极驱动电压的绝缘栅极型的晶体管构造和二极管构造,上述晶体管构造的通电电极和上述二极管构造的通电电极是共通的,具备:电流检测单元,输出与在上述两个半导体元件中的至少一个中流动的电流对应的电流检测信号;第1控制单元,在基于上述电流检测信号判定为在对于上述半导体元件的输入导通指令信号的期间中在上述半导体元件中以上述二极管构造的顺向的朝向流经电流的情况下,以以后的截断指令信号的输入时点为起点,从第1时间的经过时点到第2时间的经过时点,输出指令上述栅极驱动电压的施加的栅极驱动信号。两个半导体元件构成半桥电路。预先设定第1时间和第2时间,以使得在两个半导体元件之间不发生臂短路。

[0017] 根据本技术方案,在预先测量上述延迟及离差而掌握死区时间后,可以以截断指令信号的输入时点为起点,正确地设定为了将栅极驱动电压在希望的定时施加而需要的栅极驱动信号的定时、即第1时间和第2时间。

[0018] 结果,能够在防止臂短路的同时将再注入时间控制得较短,所以反向恢复电流减小,能够减小开关损失。此外,由于第1控制单元能够将截断指令信号作为基准定时施加栅极驱动信号,所以不再需要别的定时信号,从以往使用的驱动控制装置的替换变得容易。

[0019] 在本申请的第二技术方案中,一种半导体元件的驱动控制装置,被施加栅极驱动电压的绝缘栅极型的晶体管构造和二极管构造形成在同一个半导体基板上,上述晶体管构造的通电电极和上述二极管构造的通电电极为共通,具备:电流检测单元,输出与流经上述半导体元件的电流对应的电流检测信号;第2控制单元,在基于上述电流检测信号判定为输入对于上述半导体元件的导通指令信号的期间、以上述二极管构造的顺向的朝向流经的上述半导体元件的电流是上述电流阈值以上的情况下,输出指令上述栅极驱动电压的切断的栅极驱动信号。第2控制单元在基于上述电流检测信号判定为输入对于上述半导体元件的导通指令信号的期间、以上述二极管构造的顺向的朝向流经的上述半导体元件的电流小于

上述电流阈值的情况下,输出指令上述栅极驱动电压的施加的栅极驱动信号。在上述半导体元件中以上述二极管构造的顺向的朝向流经电流的情况下,预先测量上述栅极驱动电压被切断时的导通损失与被施加上述栅极驱动电压时的导通损失为相等的电流值,设定为电流阈值。

[0020] 根据该结构,能够得到与上述第一技术方案同样的作用及效果。进而,不论半导体元件的种类及耐压如何,都能够适当地减小导通损失。此外,由于在半导体元件中以二极管构造的逆方向的朝向流经电流的期间中可靠地施加栅极驱动电压,所以在晶体管构造中能够流经遵循导通指令信号的电流。

[0021] 在本申请的第三技术方案中,一种两个半导体元件的驱动控制装置,各个半导体元件具有形成在同一个半导体基板上的、被施加栅极驱动电压的绝缘栅极型的晶体管构造和二极管构造,上述晶体管构造的通电电极和上述二极管构造的通电电极是共通的,具备:电流检测单元,输出与流经上述两个半导体元件中的至少一方的电流对应的电流检测信号;控制单元,在基于上述电流检测信号判定为被输入对于上述一方的半导体元件的截断指令信号时上述一方的半导体元件中以上述二极管构造的顺向的朝向流经电流的情况下,在由上述电流检测单元检测到电流检测信号的变动的时点输出脉冲,以使得在两个半导体元件之间不发生臂短路,此时点是对于上述一方的半导体元件的导通指令信号的输入时点之前;两个半导体元件构成半桥电路。

[0022] 根据该结构,能够得到与上述第一技术方案同样的作用及效果。

[0023] 在本申请的第四技术方案中,一种两个半导体元件的驱动控制装置,各个半导体元件具有形成在同一个半导体基板上的、被施加栅极驱动电压的绝缘栅极型的晶体管构造和二极管构造,上述晶体管构造的通电电极和上述二极管构造的通电电极是共通的,具备:电压检测单元,输出基于一方的上述半导体元件的电极电位的电压检测信号;控制单元,在基于上述电压检测信号判定为被输入对于上述一方的半导体元件的截断指令信号时上述一方的半导体元件中以上述二极管构造的顺向的朝向流经电流的情况下,从对于上述一方的半导体元件的导通指令信号的输入时点输出脉冲,以使得在两个半导体元件之间不发生臂短路。两个半导体元件构成半桥电路。

[0024] 根据该结构,能够得到与上述第一技术方案同样的作用及效果。

[0025] 在本申请的第五技术方案中,一种两个半导体元件的驱动控制装置,各个半导体元件具有形成在同一个半导体基板上的、被施加栅极驱动电压的绝缘栅极型的晶体管构造和二极管构造,上述晶体管构造的通电电极和上述二极管构造的通电电极是共通的,具备:电流检测单元,输出与流经一方的上述半导体元件的电流对应的电流检测信号;输入单元,输出对于另一方的上述半导体元件的指令信号;控制单元,是在基于上述电流检测信号及上述输入单元的输入信号判定为被输入对于上述一方的半导体元件的截断指令信号时上述一方的半导体元件中以上述二极管构造的顺向的朝向流经电流的情况下、对应于向上述输入单元输入截断指令信号而输出脉冲的单元,在比对于上述一方的半导体元件的导通指令信号的输入时点规定时间前输出脉冲,以使得在两个半导体元件之间不发生臂短路。两个半导体元件构成半桥电路。

[0026] 根据该结构,能够得到与上述第一技术方案同样的作用及效果。

[0027] 在本申请的第六技术方案中,一种两个半导体元件的驱动控制装置,各个半导体

元件具有形成在同一个半导体基板上的、被施加栅极驱动电压的绝缘栅极型的晶体管构造和二极管构造,上述晶体管构造的通电电极和上述二极管构造的通电电极是共通的,具备:电压检测单元,输出基于一方的上述半导体元件的电极电位的电压检测信号;输入单元,输入对于另一方的上述半导体元件的指令信号;控制单元,是在基于上述电压检测信号及上述输入单元的输入信号判定为被输入对于上述一方的半导体元件的截断指令信号时上述一方的半导体元件中以上述二极管构造的顺向的朝向流经电流的情况下、对应于向上述输入单元输入截断指令信号而输出脉冲的单元,比对于上述一方的半导体元件的导通指令信号的输入时点规定时间前输出脉冲,以使得在两个半导体元件之间不发生臂短路。两个半导体元件构成半桥电路。

[0028] 根据该结构,能够得到与上述第一技术方案同样的作用及效果。

[0029] 在本申请的第七技术方案中,一种两个半导体元件的驱动控制装置,各个半导体元件具有形成在同一个半导体基板上的、被施加栅极驱动电压的绝缘栅极型的晶体管构造和二极管构造,上述晶体管构造的通电电极和上述二极管构造的通电电极是共通的,具备:电压检测单元,输出与至少一方的半导体元件的电极电位对应的电压检测信号;控制单元,在被输入对于上述一方的半导体元件的截断指令信号时基于上述电压检测信号判定为在上述一方的半导体元件中以上述二极管构造的顺向的朝向流经电流的情况下,以然后经过导通指令信号的输入被输入截断指令信号的时点为起点,从第1时间的经过时点到第2时间的经过时点,输出指令上述栅极驱动电压的施加的栅极驱动信号。预先设定第1时间和第2时间,以使得在两个半导体元件之间不发生臂短路。两个半导体元件构成半桥电路。

[0030] 根据该结构,能够得到与上述第一技术方案同样的作用及效果。

[0031] 在本申请的第八技术方案中,一种半导体元件的驱动控制装置,在同一个半导体基板上形成有被施加栅极驱动电压的绝缘栅极型的晶体管构造和二极管构造,上述晶体管构造的通电电极和上述二极管构造的通电电极为共通的电极,具备:电流检测单元,输出与流经上述半导体元件的电流对应的电流检测信号;控制单元,在基于上述电流检测信号判定为在被输入对于上述半导体元件的导通指令信号的期间中在上述半导体元件中以上述二极管构造的顺向的朝向流经电流的情况下,以然后的截断指令信号的输入时点为起点,从预先设定的第1时间的经过时点到第2时间的经过时点,输出指令上述栅极驱动电压的施加的栅极驱动信号;驱动电路,输入上述栅极驱动信号,输出上述栅极驱动电压。上述第1时间和上述第2时间的时间宽度被设定为与在被输入对于上述半导体元件的导通指令信号的期间中流经上述半导体元件的电流的大小对应的值。

[0032] 根据上述,能够正确地控制从对于一方的半导体元件的栅极驱动脉冲的施加结束时点到反向恢复电流开始流经的时间、例如在栅极驱动脉冲的施加结束后向该二极管构造再次注入载流子(空穴)的时间(载流子的再注入时间)。因而,根据本技术方案,能够在防止臂短路的同时将再注入时间控制得较短,所以反向恢复电流减小,能够减小开关损失。此外,由于控制单元能够将截断指令信号作为基准定时施加栅极驱动信号,所以不再需要别的定时信号,从以往使用的驱动控制装置的替换变容易。

附图说明

[0033] 关于本申请的上述目的及其他目的、特征及优点,一边参照附图一边通过下述详

细的记述会变得明确。附图有，

- [0034] 图1是表示第1实施方式的驱动控制系统的结构图，
- [0035] 图2是主元件和传感元件的电路结构图，
- [0036] 图3是半导体元件的示意性的纵剖视图，
- [0037] 图4是二极管元件的顺向的电压电流特性图，
- [0038] 图5是有关Vf控制和脉冲控制的波形图，
- [0039] 图6表示第2实施方式，是在MOS晶体管中以二极管元件的顺向的朝向流经电流的情况下的电压电流特性图，
- [0040] 图7是有关使用同步整流时的Vf控制和脉冲控制的波形图，
- [0041] 图8是表示第3实施方式的驱动控制系统的结构图，
- [0042] 图9是表示第4实施方式的驱动控制系统的结构图，
- [0043] 图10是表示第5实施方式的驱动控制系统的结构图，
- [0044] 图11是表示第6实施方式的驱动控制系统的结构图，
- [0045] 图12是表示第7实施方式的驱动控制系统的结构图，
- [0046] 图13是表示第8实施方式的驱动控制系统的结构图，
- [0047] 图14是表示第9实施方式的驱动控制系统的结构图，
- [0048] 图15是表示电流检测结构的变形例的图，
- [0049] 图16是表示电流检测结构的变形例的图，
- [0050] 图17是表示第10实施方式的驱动控制系统的结构图，
- [0051] 图18是表示第10实施方式的有关Vf控制和脉冲控制的波形图，
- [0052] 图19是表示第11实施方式的有关使用同步整流时的Vf控制和脉冲控制的波形图，
- [0053] 图20是表示第12实施方式的驱动控制系统的结构图，
- [0054] 图21是表示第13实施方式的驱动控制系统的结构图，
- [0055] 图22是表示第14实施方式的驱动控制系统的结构图，
- [0056] 图23是表示第15实施方式的驱动控制系统的结构图，
- [0057] 图24是表示第16实施方式的表示中间电位的检测方式的示意性的半导体构造剖视图，
- [0058] 图25是概略性地表示在各实施方式中与负荷电流的方向、大小对应的集电极电极电位的变化特性的说明图，
- [0059] 图26是概略性地表示各实施方式的与负荷电流的方向、大小(零电流附近)对应的集电极电极电位的变化特性的说明图，
- [0060] 图27是表示第1~第16实施方式的变形例的有关使用同步整流时的Vf控制和脉冲控制的波形图，
- [0061] 图28是表示第1~第16实施方式的变形例的驱动控制系统的结构图，
- [0062] 图29是表示第1~第16实施方式的变形例的驱动控制系统的结构图，
- [0063] 图30是表示第1~第16实施方式的变形例的驱动控制系统的结构图，
- [0064] 图31是表示第1~第16实施方式的变形例的驱动控制系统的结构图，
- [0065] 图32是表示第1~第16实施方式的变形例的有关使用同步整流时的Vf控制和脉冲控制的波形图，

- [0066] 图33是表示本申请的第17实施方式的驱动控制系统的结构图，
- [0067] 图34是驱动电路的驱动能力切换电路的结构图，
- [0068] 图35是脉冲控制部的块结构图，
- [0069] 图36是脉冲开始决定部的结构图，
- [0070] 图37是二极管元件的顺向的电压电流特性图，
- [0071] 图38是有关Vf控制和脉冲控制的波形图，
- [0072] 图39是表示元件电流、栅极驱动电压及二极管元件内的载流子浓度的图，
- [0073] 图40是再注入时间为零的情况下的波形图，
- [0074] 图41是表示再注入时间与开关损失的关系的图，
- [0075] 图42是表示脉冲宽度与开关损失的关系的图，
- [0076] 图43是第1时间和第2时间的说明图，
- [0077] 图44是脉冲开始决定部的动作说明图，
- [0078] 图45是存在镜像期间的情况和不存在镜像期间的情况下的波形图，
- [0079] 图46是与不同的驱动能力对应的栅极驱动电压的波形图，
- [0080] 图47是表示电流检测结构的变形例的图，
- [0081] 图48是表示电流检测结构的变形例的图。

具体实施方式

[0082] 在各实施方式中对实质上相同的部分赋予相同的标号而省略说明。

[0083] (第1实施方式)

[0084] 以下,参照图1至图5对本申请的第1实施方式进行说明。图1所示的驱动控制系统被用在驱动马达等的电感性负荷的逆变器装置、具备电感器而将直流电压升压/降压的变换器装置等的电力变换装置中。作为开关元件的半导体元件1A、1B夹着输出端子Nt串联地配设在高电位侧的直流电源线2与低电位侧的直流电源线3之间,构成半桥电路4。

[0085] 具有相同构造的半导体元件1A、1B是在同一个半导体基板上形成有绝缘栅极型的晶体管元件5和二极管元件6的逆导通型IGBT(RC-IGBT)。晶体管元件5的通电电极(集电极、发射极)和二极管元件6的通电电极(阴极、阳极)为共通的电极。

[0086] 除了该主元件以外,在半导体基板上,如图2所示那样还形成有由流经与在主元件中流动的电流成比例的微小的电流的晶体管元件5s和二极管元件6s构成的传感元件。在图1中将主元件和传感元件简单地表示。在半导体元件1A、1B的传感端子S1、S2间,分别连接着传感电阻7A、7B。传感电阻7A、7B与后述的电流检测部25一起构成电流检测单元。

[0087] 作为半导体元件1A、1B的一例,在图3中表示纵型构造的RC-IGBT。本实施方式的RC-IGBT在同一个半导体基板上设有晶体管构造和二极管构造。半导体基板8由n⁻型的硅基板构成。虽然没有图示,但在半导体基板8的元件形成区域的周缘部附近,以将该元件形成区域包围的方式形成有保护圈。

[0088] 在半导体基板8的上面侧表层部,形成有p型的基极层9。在基极层9中,形成有具有将基极层9贯通的深度的多个沟槽。在沟槽内埋入有多晶硅,由此形成具有沟槽构造的栅极电极10。对于各栅极电极10,经由共通的栅极布线11输入栅极驱动电压。栅极电极10在沿着基极层9的表层部的一方向上以等间隔设为条纹状。由此,基极层9被划分为沿着上述一方

向相互电气地分离的多个第1区域12和多个第2区域13。这些第1区域12和第2区域13交替地配设,第2区域13的宽度变得比第1区域12的宽度宽。

[0089] 在第1区域12的表层部,相邻于栅极电极10而形成有 n^+ 型的发射极区域14。在第1区域12之上形成有发射极电极15。发射极电极15连接在第1区域12的基极层9和发射极区域14上。第1区域12作为晶体管元件5的沟道区域动作,并作为二极管元件6的阳极区域动作。即,与第1区域12对应的发射极电极15为晶体管元件5的发射极电极及二极管元件6的阳极电极。

[0090] 设在集电极区域16(后述)的上方的第2区域13a对于哪个电极都没有连接。设在阴极区域17(后述)的上方的第2区域13b与发射极电极15连接。由此,仅第2区域13中的设在阴极区域17的上方的第2区域13b作为二极管元件6的阳极区域动作。即,发射极电极15在第2区域13b中为二极管元件6的阳极电极。

[0091] 在半导体基板8的下面侧表层部,对应于形成第2区域13a的范围(虚线的左侧)形成有 p^+ 型的集电极区域16,对应于形成第2区域13b的范围(虚线的右侧)形成有 n^+ 型的阴极区域17。集电极区域16和阴极区域17与集电极电极18连接。即,二极管元件6的阴极电极与晶体管元件5的集电极电极18共通。在半导体基板8与集电极区域16及阴极区域17之间,形成有 n 型的场截止层19。

[0092] 在图1所示的驱动控制系统中,微型计算机(微机)21具备生成半桥电路4的高侧和低侧的PWM信号FH、FL的PWM信号生成部22。PWM信号FH、FL具有同时为L电平(截断指令电平)的一定宽度的死区时间 T_d 。PWM信号FH、FL分别经由光电耦合器23A、23B被向驱动IC24A、24B输入。本申请中所述的导通指令信号,是具有H电平(导通指令电平)的PWM信号FH、FL,截断指令信号,是具有L电平(截断指令电平)的PWM信号FH、FL。

[0093] 驱动IC24A、24B具备电流检测部25、 V_f 控制部26、脉冲控制部27及驱动电路28,通过被供给电源电压 V_{DDA} 、 V_{ddb} (例如15V)而动作。对于高侧的半导体元件1A、低侧的半导体元件1B,分别设有独立的驱动IC24A、24B。因此,驱动IC24A、24B有与电源电压 V_{DDA} 、 V_{ddb} 对应的耐压(即与栅极驱动电压对应的耐压)就足够。由于驱动IC24A、24B是相同结构,所以主要说明关于驱动IC24B的结构。

[0094] 电流检测部25是基于在传感电阻7B中产生的传感电压 V_{SL} 、输出与在半导体元件1B中流动的电流对应的电流检测信号(电流的极性和大小)的电流检测单元。 V_f 控制部26和脉冲控制部27基于PWM信号FL生成栅极驱动信号SGL。驱动电路28输入栅极驱动信号SGL而输出栅极驱动电压VGL。

[0095] V_f 控制部26在PWM信号FL为H电平的期间中,当以二极管元件6的顺向的朝向流动的半导体元件1B的电流为电流阈值 I_{t} 以上时,进行将栅极驱动电压VGL切断的控制。该控制具有使半导体元件1B的电压(在RC-IGBT的情况下是二极管元件6的顺向电压 V_f)降低而减小导通损失的作用。在以下的说明中称作 V_f 控制。

[0096] 当在PWM信号FL为H电平的期间中在半导体元件1B中流经二极管元件6的顺向的朝向的电流时,脉冲控制部27以PWM信号FL的下降沿为基准,输出脉冲状的栅极驱动信号SGL。通过该栅极驱动信号SGL,向半导体元件1B的栅极施加脉冲状的栅极驱动电压VGL(以下称作栅极驱动脉冲)。该控制具有使储存到二极管元件6中的空穴减少而减小反向恢复电流的作用。在以下的说明中称作脉冲控制。

[0097] 由Vf控制部26和脉冲控制部27生成的栅极驱动信号SGL经由驱动电路28被向半导体元件1B的栅极给出。驱动电路28可以将对栅极进行充放电的驱动能力以多种方式切换。即,在PWM信号FL的上升沿时、从在晶体管元件5中流经电流的状态的PWM信号FL的下降沿时等、在流经半导体元件1B的电流(元件电流)或电压中发生急剧的变化时,为了抑制浪涌电压的发生可以切换为较低的驱动能力。在此情况下,驱动电路28在打开时使用定电流电路来驱动,在关断时使用提高了导通电阻的开关元件来驱动。

[0098] 相对于此,当如脉冲控制那样在元件电流或电压中不发生急剧的变化时,可以切换为较高的驱动能力。在此情况下,驱动电路28在打开时使用定电压电路来驱动,在关断时将提高了导通电阻的开关元件与降低了导通电阻的开关元件并联连接来驱动。

[0099] 在驱动IC24A上,外带有阈值设定电路29A、30A、31A。在驱动IC24B上,外带有阈值设定电路29B、30B、31B。阈值设定电路29A、30A、31A以与半导体元件1A的发射极电位相等的浮动地电位FG为基准电位而构成。阈值设定电路29A、29B将电压VDDA、VDDDB用电阻R1、R2分压而生成阈值电压 V_t 。阈值设定电路30A、30B将电压VDDA、VDDDB用电阻R3、R4分压而生成规定电压 V_{m1} 。阈值设定电路31A、31B将电压VDDA、VDDDB用电阻R5、R6分压而生成规定电压 V_{m2} 。

[0100] 阈值电压 V_t 决定由Vf控制部26使用的电流阈值 I_t 的大小。如后述那样,二极管元件6的与顺向电流 I_f 对应的顺向电压 V_f 的特性根据元件的种类(RC—IGBT、MOS晶体管等)及元件的耐压而不同。所以,Vf控制部26基于从外部给出的切换信号Sk和阈值电压 V_t ,选择适当的电流阈值 I_t 。

[0101] 规定电压 V_{m1} 决定在是否停止Vf控制的判定中使用的规定值 I_{m1} 的大小。规定电压 V_{m2} 决定在是否停止脉冲控制的判定中使用的规定值 I_{m2} 的大小。在电流检测时、和基于该检测电流的极性施加了栅极驱动电压VGH、VGL时,也有可能因控制的延迟而电流极性反转。因此、Vf控制部26在电流检测值低于规定值 I_{m1} 时将Vf控制停止,脉冲控制部27在电流检测值低于规定值 I_{m2} 时将脉冲控制停止。

[0102] 由以上说明的驱动IC24A和传感电阻7A构成驱动控制装置32A,由驱动IC24B和传感电阻7B构成驱动控制装置32B。

[0103] 接着,参照图4及图5,主要对低侧的驱动控制装置32B的作用进行说明。高侧的驱动控制装置32A的作用也同样。

[0104] 首先对Vf控制进行说明。作为RC—IGBT的半导体元件1A、1B如果在二极管元件6中流经电流的状态下被施加栅极驱动电压,则在第1区域12中形成沟道,空穴的注入被抑制。因此,如图4所示,流经顺向电流 I_f 的二极管元件6的顺向电压 V_f 变高,二极管元件6的导通损失($V_f \times I_f$)增大。

[0105] 在半导体元件1A、1B为MOS晶体管的情况下(参照第2实施方式)也发生同样的作用。通常,越是通过元件的高耐压化而漂移区域的厚度增加,在整体的导通电阻中所占的沟道的电阻比例越小,在栅极驱动电压的施加时越呈现二极管元件6的导通损失增大的趋势。

[0106] 在RC—IGBT的情况下,关于二极管元件6,栅极驱动电压被切断时的导通损失与施加时的导通损失成为相等的电流值(电流阈值 I_t)为较小的值。在图4所示的情况下大致是零。相对于此,在MOS晶体管等的情况下,栅极驱动电压被切断时的二极管元件6的导通损失与被施加栅极驱动电压时的晶体管元件5的导通损失成为相等的电流值(电流阈值 I_t)为较大的值(参照图6)。即,电流阈值 I_t 根据半导体元件1A、1B的种类及耐压而不同,所以预先

测量。

[0107] 在驱动RC—IGBT的情况下切换信号Sk例如被切换为L电平,在驱动MOS晶体管的情况下切换信号Sk例如被切换为H电平。切换信号Sk是从外部确定电流阈值 I_t 的阈值确定信号。Vf控制部26当切换信号Sk为L电平时,将电流阈值 I_t 设定为零而执行Vf控制。另一方面,当切换信号Sk为H电平时,设定与从外部输入的阈值电压 V_t 对应的电流阈值 I_t 而执行Vf控制。

[0108] 图5是在电流从输出端子 N_t 朝向负荷流动的情况下,在将半导体元件1A截断而将半导体元件1B导通后、将半导体元件1B截断而再次将半导体元件1A导通时的波形。从上起依次表示半导体元件1A的电流、栅极驱动电压 V_{GH} 、 V_{GL} ,PWM信号 FH 、指令栅极驱动电压 V_{GL} 的栅极驱动信号 SGL 、以及PWM信号 FL 。 V_{th} 是半导体元件1A的阈值电压。

[0109] 当通电在上下臂间切换时,如果栅极驱动电压 V_{GH} 成为阈值电压 V_{th} 以上(时刻 t_9),则在半导体元件1A的晶体管元件5中流动的电流增加。在图5所示的情况下,增加的晶体管元件5的电流中的、超过在半导体元件1B的二极管元件6中流动的电流的电流是反向恢复电流。在图中用阴影表示(时刻 $t_{10} \sim t_{11}$)。

[0110] 驱动IC24B的Vf控制部26在PWM信号 FL 为H电平的期间(时刻 $t_2 \sim t_3$)中,判定二极管元件6的检测电流在其顺向是否是电流阈值 I_t 以上。这里,如果判定为不到电流阈值 I_t ,则输出H电平的栅极驱动信号 SGL 。基于该栅极驱动信号 SGL ,根据驱动电路28中的延迟、半导体元件1B的元件电容的充电时间等,将栅极驱动电压 V_{GL} 向半导体元件1B的栅极施加。相对于此,如果判定为检测电流是电流阈值 I_t 以上(图5所示的情况下),则输出L电平的栅极驱动信号 SGL 。由此,栅极驱动电压 V_{GL} 被切断。

[0111] 接着,对脉冲控制进行说明。脉冲控制是在PWM信号 FL 为H电平的期间半导体元件1B的二极管元件6中流经电流的情况下、在PWM信号 FL 下降为L电平后到开始流经反向恢复电流之前向半导体元件1B施加栅极驱动脉冲的控制。在PWM信号 FH 为H电平的期间半导体元件1A的二极管元件6中流经电流的情况下,在PWM信号 FH 下降为L电平后也是同样的。由此,储存到二极管元件6中的载流子(空穴)减少,所以能够得到减小反向恢复电流的作用。

[0112] 在图5中,脉冲控制部27在PWM信号 FL 为H电平的期间中、更优选的是当PWM信号 FL 下降为L电平时(时刻 t_3),判定在半导体元件1B的二极管元件6中是否流经电流。在流经电流的情况下(其中,电流检测值是规定值 I_{m2} 以上的情况下),以PWM信号 FL 的下降时点为起点,从经过第1时间 T_1 的时点(时刻 t_4)到经过第2时间 T_2 的时点(时刻 t_6),使栅极驱动信号 SGL 为H电平。通过上述Vf控制,在PWM信号 FL 的下降时点,栅极驱动信号 SGL 为L电平。

[0113] 脉冲控制部27在PWM信号 FL 下降为L电平后,也继续判定在半导体元件1B的二极管元件6中是否流经电流。如果电流检测值低于规定值 I_{m2} ,则在经过第1时间 T_1 后,即使是经过第2时间 T_2 前,脉冲控制部27也直接使栅极驱动信号 SGL 回到L电平。

[0114] 另一方面,脉冲控制部27如果在PWM信号 FL 下降为L电平时判定为在二极管元件6中没有流经电流,则直接将栅极驱动信号 SGL 维持为L电平。即,不施加栅极驱动脉冲。

[0115] 预先设定第1时间 T_1 和第2时间 T_2 ,以使得不发生臂短路。在PWM信号 FL 为L电平的期间中二极管元件6中流经电流的情况和晶体管元件5中流经电流的情况下,赋予栅极驱动脉冲时的栅极驱动电压 V_{GL} 的波形不同。

[0116] 在二极管元件6中流经电流的情况下,由于半导体元件1B的集电极—发射极间电

压不变化,所以不发生镜像期间。此外,在半导体元件1B中不发生急剧的电流变化、电压变化。因此,驱动电路28在栅极驱动电压VGL的上升时及下降时,能够以比通常高的栅极驱动能力输出栅极驱动电压VGL。进而,当在二极管元件6中流经电流时,不会以经由半导体元件1A、1B的路径而短路。因此,在栅极驱动电压VGL的增加过程中,不需要进行将栅极驱动电压VGL暂时性地停留在中间电压、将另一侧的半导体元件1A短路故障时的短路电流减小的两阶段驱动。

[0117] 考虑栅极驱动脉冲的施加时的栅极驱动电压VGL的波形及驱动电路28的驱动方式,第1时间T1和第2时间T2被设定为栅极驱动电压VGL随着驱动电路28的栅极驱动能力单调地增加或单调地减小。此时,将从栅极驱动脉冲的施加结束时点到开始流经反向恢复电流的时间 T_c (载流子的再注入时间)设定为比零长且注入容许时间以下。注入容许时间根据容许的反向恢复电流的大小来规定。

[0118] 具体而言,一边将流经二极管元件6的电流进行各种各样地改变、一边以PWM信号FL的下降时点为起点预先测量栅极驱动信号SGL的施加定时、实际施加栅极驱动电压VGL的定时、以及开始流经反向恢复电流的定时来设定第1时间T1和第2时间T2。该第1时间T1和第2时间T2在本实施方式中与电流建立对应而存储在脉冲控制部27内的存储器等中。另外,该第1时间T1和第2时间T2也可以使用1或几个模式的逻辑电路或模拟延迟电路等来生成。

[0119] 脉冲控制部27在施加栅极驱动脉冲的情况下,参照电流检测信号求出流经二极管元件6的电流,从存储器读出与该电流值对应的第1时间T1和第2时间T2。脉冲控制部27以PWM信号FL的下降时点为起点,在第1时间T1的经过时点使栅极驱动信号SGL上升,在第2时间T2的经过时点使栅极驱动信号SGL下降。

[0120] 如以上说明,本实施方式的驱动控制装置32A、32B在分别判定在PWM信号FH、FL为H电平的期间中以二极管元件6的顺向的朝向流动的半导体元件1A、1B的电流(二极管电流)是电流阈值 I_t (在本实施方式中是0)以上的情况下,使栅极驱动信号SGH、SGL为L电平。电流阈值 I_t 是栅极驱动电压VGH、VGL被切断时的半导体元件1A、1B的导通损失与被施加栅极驱动电压VGH、VGL时的半导体元件1A、1B的导通损失为相等的电流值。通过该 V_f 控制,不论半导体元件1A、1B的种类及耐压如何,都能够减小二极管元件6的导通损失。

[0121] 当通电在上下臂间切换时,如果分别判定在PWM信号FH、FL为H电平的期间中半导体元件1A、1B中以二极管元件6的顺向的朝向流经电流,则驱动控制装置32A、32B输出指令栅极驱动脉冲的施加的栅极驱动信号SGH、SGL。通过该脉冲控制,储存到二极管元件6中的空穴减少从而反向恢复电流减小,所以能够减小开关损失。

[0122] 驱动IC24A、24B的脉冲控制部27以PWM信号FH、FL的下降时点为起点,从经过第1时间T1的时点到经过第2时间T2的时点使栅极驱动信号SGH、SGL为H电平。PWM信号FH、FL的下降时点也是死区时间 T_d 的起点,所以能够将具有一定的时间的死区时间 T_d 有效利用,从而一边防止臂短路一边施加栅极驱动脉冲。

[0123] 第1时间T1和第2时间T2基于死区时间 T_d 、对应于元件电流而预先测量的栅极驱动电压VGH、VGL的延迟及离差、以及到反向恢复电流开始流动的时间而设定。此外,第1时间T1和第2时间T2是考虑栅极驱动脉冲的施加时的栅极驱动电压的波形及驱动电路28的驱动方式而设定的。由此,能够确保栅极驱动脉冲的脉冲宽度 T_w 较宽。此外,能够提高栅极驱动脉冲的施加定时的精度,能够正确地控制再注入时间 T_c 。结果,能够防止臂短路并且将再注入

时间 T_c 控制得较短,能够进一步减小开关损失。

[0124] 即使是基于脉冲控制施加栅极驱动脉冲的期间(时刻 $t_4 \sim t_6$),如果判定为有可能在二极管元件6中不再流经电流(电流检测值不到规定值 I_{m2})或不流经电流,则脉冲控制部27直接将栅极驱动脉冲的施加停止。由此,即使是负荷电流急剧变化的情况,也能够可靠地防止臂短路。进而,由于不需要为负荷电流的急剧变化准备而将规定值 I_{m2} 设定得较高,所以能够确保执行脉冲控制的电流范围较大,能够进一步减小开关损失。

[0125] 脉冲控制部27由于以PWM信号FH、FL的下降时点为起点而施加栅极驱动信号,所以不需要别的定时信号,容易从现有使用的驱动控制装置置换。驱动控制装置32A、32B由于控制环较短,所以能够得到高响应。由于驱动IC24A、24B经由光电耦合器23A、23B设在半桥电路4侧,所以在电流检测部25中不需要绝缘功能。

[0126] 如果负荷电流的大小分别变得比规定值 I_{m1} 、 I_{m2} 小,则Vf控制部26、脉冲控制部27将Vf控制、脉冲控制停止而进行通常控制。所谓通常控制,是不论在二极管元件6中流经的电流如何、在PWM信号上升时使栅极驱动信号上升、在PWM信号下降时使栅极驱动信号下降的控制。由此,能够防止因电流检测精度的下降造成的误控制。

[0127] (第2实施方式)

[0128] 对于在半导体元件1A、1B中使用MOS晶体管的第2实施方式,参照图6及图7进行说明。驱动控制装置32A、32B的结构是图1所示那样的。这里主要对低侧的驱动控制装置32B的作用进行说明。高侧的驱动控制装置32A的作用也相同。

[0129] 在作为半导体元件1A、1B而使用MOS晶体管的情况下,将切换信号 S_k 例如切换为H电平。驱动控制装置32B根据从阈值设定电路29B输入的阈值电压 V_t 设定电流阈值 I_t ,执行Vf控制。

[0130] 图6是在MOS晶体管中以二极管元件6的顺向的朝向流经电流的情况下的电压电流特性图。以电流阈值 I_t 为边界,栅极驱动电压被切断时的二极管元件6的顺向电压Vf与被施加栅极驱动电压时的晶体管元件5的漏极—源极间电压VDS的大小关系反转。在为电压 $V_{DS} < V_f$ 的区域1中,通过施加栅极驱动电压,能够减小导通损失。在为电压 $V_{DS} \geq V_f$ 的区域2中,通过将栅极驱动电压切断,能够减小导通损失。

[0131] 在PWM信号FL为H电平的期间中,在半导体元件1B中流经区域1的范围内的电流的情况下,Vf控制部26执行施加栅极驱动电压VGL的通常控制(同步整流)。之后在PWM信号FL成为L电平时,需要对半导体元件1B施加栅极驱动脉冲。

[0132] 在此情况下,在Vf控制部26使栅极驱动信号SGL成为L电平后,脉冲控制部27只要以PWM信号FL的下降时点为起点、从经过第1时间 T_1 的时点到经过第2时间 T_2 的时点使栅极驱动信号SGL为H电平就可以。但是,与将栅极驱动电压VGL暂时切断相比,到经过第2时间 T_2 的时点为止连续施加栅极驱动电压VGL更能够减小导通损失。所以,Vf控制部26为了接着Vf控制进行脉冲控制,将H电平的栅极驱动信号SGL超过时刻 t_3 而延长到经过第2时间 T_2 的时点(时刻 t_6)而输出(脉冲的扩展)。

[0133] 在PWM信号FL为H电平的期间中,在半导体元件1B中流经区域2的范围内的电流的情况下,Vf控制部26和脉冲控制部27输出与图5所示的RC—IGBT的控制同样的栅极驱动信号SGL。此外,在PWM信号FL为H电平的期间中在半导体元件1B中没有流经区域1、2的范围内的电流的情况下、即流经MOS晶体管的顺向(二极管元件6的逆方向)的朝向的电流的情况

下,Vf控制部26和脉冲控制部27进行通常控制。通过本实施方式也能够得到与第1实施方式同样的效果。

[0134] (第3、第4、第5实施方式)

[0135] 图8、图9、图10是使用都具有高耐压的驱动IC51、53、55的驱动控制装置52、54、56。所谓高耐压,是与向半桥电路4施加的电源电压对应的耐压。驱动控制装置52、54、56对构成半桥电路4的两个半导体元件1A、1B进行驱动控制。

[0136] 驱动IC51、53、55具备对于半导体元件1A、1B共通的Vf控制部26和共通的脉冲控制部27,通过被供给电源电压VDD(例如15V)而动作。栅极驱动信号SGH经由电平移动电路57和驱动电路28被向半导体元件1A给出,栅极驱动信号SGL经由驱动电路28被向半导体元件1B给出。

[0137] 驱动IC51具备基于在传感电阻7A、7B中产生的传感电压VSH、VSL输出电流检测信号的电流检测部25。高侧的电流检测部25经由电平移动电路58而输出电流检测信号。驱动IC53具备省去了高侧的电流检测部25和电平移动电路58的结构。驱动IC55具备电流检测电路60,代替传感电压VSL而输入空穴传感器59等的传感信号。驱动IC53的电流检测部25及驱动IC55的电流检测电路60基于流到某一方(例如半导体元件1B)中的电流检测信号,推测流到另一方(例如半导体元件1A)中的电流。其他结构与第1实施方式是同样的。

[0138] 脉冲控制部27由于生成栅极驱动信号SGH、SGL,所以在向两个半导体元件1A、1B中的一方的半导体元件施加栅极驱动电压的期间中,禁止向另一方的半导体元件施加栅极驱动电压。由此,PWM信号FH、FL被输入到控制IC63的Vf控制部26中,所以Vf控制部26及脉冲控制部27能够综合地执行一方及另一方的臂的控制,能够可靠地防止臂短路。此外,由于能够在高侧和低侧共用电流检测部25或电流检测电路60,所以能够使电路结构简单化(图9、图10)。优选的是在共用化的情况下,基于由阈值设定电路30、31生成的规定电压Vm1、Vm2,将高侧的规定值Im1、Im2设定得比第1实施方式大。除此以外,能够得到与第1、第2实施方式同样的作用及效果。

[0139] (第6、第7实施方式)

[0140] 图11、图12表示将控制部和驱动电路分离而构成的驱动控制装置61、62。驱动控制装置61、62对构成半桥电路4的两个半导体元件1A、1B进行驱动控制。驱动控制装置61由控制IC63、光电耦合器64A、64B、驱动IC65A、65B、以及电流检测电路60等构成。

[0141] 控制IC63由专用ASIC、微机的硬件IP(Intellectual Property)、FPGA等构成,安装有上述Vf控制部26和脉冲控制部27。光电耦合器64A、64B是将栅极驱动信号SGH、SGL电气地绝缘而向驱动IC65A、65B传送的绝缘电路。驱动IC65A、65B具备驱动电路28,输入栅极驱动信号SGH、SGL并输出栅极驱动电压VGH、VGL。电流检测电路60用空穴传感器59等检测负荷电流,对控制IC63输出电流检测信号。

[0142] 驱动控制装置62代替空穴传感器59和电流检测电路60而具备以传感电压VSH、VSL为输入的光电耦合器67A、67B和电流极性检测电路68。电流极性检测电路68检测在半导体元件1A、1B中流动的电流值或电流的朝向(极性)。即,既可以检测电流的大小,也可以仅检测电流的极性。由此,能够执行脉冲控制及对于RC-IGBT的Vf控制。

[0143] 通过本实施方式,脉冲控制部27也能够向两个半导体元件1A、1B中的一方的半导体元件施加栅极驱动电压的期间中,禁止向另一方的半导体元件施加栅极驱动电压。由

此,能够可靠地防止臂短路。

[0144] 由于PWM信号FH、FL被输入到控制IC63的Vf控制部26中,所以Vf控制部26及脉冲控制部27能够综合地执行一方及另一方的臂的控制。通过该实施方式,也能够得到与第1、第2实施方式同样的作用及效果。此外,在实施例7中,也可以与第4实施方式同样将光电耦合器67A、67B的某一方省略。此时,也可以将与省略的光电耦合器67A、67B对应的传感元件(5s、6s)及传感电阻(7)省略。在此情况下,电流极性检测部68基于在某一方(例如半导体元件1B)中流动的电流的极性检测信号来推测在另一方(例如半导体元件1A)中流动的电流的极性。也可以不是在电流极性检测部68的前段而是在电流极性检测部68的后段设置与光电耦合器67A、67B同样的结构的光电耦合器。也可以将电流检测电路60、电流极性检测电路68形成在控制IC63或驱动IC65内。

[0145] (第8、第9实施方式)

[0146] 图13、图14表示将控制部和驱动电路分离、并将Vf控制部26、脉冲控制部27及电流检测部25取入到微机21中的结构的驱动控制装置71、72。驱动控制装置71、72对构成半桥电路4的两个半导体元件1A、1B进行驱动控制。驱动控制装置71由微机21、光电耦合器64A、64B、驱动IC65A、65B等构成。驱动控制装置72具备以传感电压VSH、VSL为输入的光电耦合器67A、67B。

[0147] 微机21通过执行预先存储在存储器73中的控制程序,实现上述Vf控制部26、脉冲控制部27及电流检测部25的功能。驱动控制装置71的微机21输入空穴传感器59的传感信号从而得到电流检测信号。驱动控制装置72的微机21经由光电耦合器67A、67B的输出信号得到电流检测信号。在存储器73中,除了控制程序以外,还存储有第1时间T1和第2时间T2、阈值等。

[0148] 通过本实施方式,脉冲控制部27也能够在对两个半导体元件1A、1B中的一方的半导体元件施加栅极驱动电压的期间中禁止向另一方的半导体元件施加栅极驱动电压。由此,能够可靠地防止臂短路。

[0149] 由于PWM信号FH、FL被输入到微机21的Vf控制部26中,所以Vf控制部26及脉冲控制部27能够综合地执行一方及另一方的臂的控制。通过该实施方式,也能够得到与第1、第2实施方式同样的作用及效果。此外,在实施例9中,也可以与第4实施方式同样将光电耦合器67A、67B的某一方省略。此时,也可以将与省略的光电耦合器67A、67B对应的传感元件(5s、6s)及传感电阻(7)省略。在此情况下,电流极性检测部68基于在某一方(例如半导体元件1B)中流动的电流的极性检测信号,推测在另一方(例如半导体元件1A)中流动的电流的极性。

[0150] (关于第1~第9实施方式的其他实施方式)

[0151] 以上,对第1~第9实施方式进行了说明,但可以如以下这样在不脱离申请的主旨的范围内进行各种各样的变形、扩展。

[0152] 各实施方式也可以变更为仅进行通过Vf控制部26的Vf控制和通过脉冲控制部27的脉冲控制中的Vf控制的结构或仅进行脉冲控制的结构。在第3至第7实施方式中仅进行Vf控制的结构的情况下,Vf控制部26当然在对半导体元件1A、1B中的一方的半导体元件施加栅极驱动电压的期间中禁止向另一方的半导体元件施加栅极驱动电压。

[0153] 输入切换信号Sk和阈值电压Vt(电流阈值It的设定)的结构只要根据需要而具备

就可以。

[0154] 如果负荷电流的大小分别比规定值 I_{m1} 、 I_{m2} 小,则Vf控制部26、脉冲控制部27将Vf控制、脉冲控制停止而进行通常控制,但该向通常控制的切换控制只要根据需要执行就可以。

[0155] 在第1、第2实施方式中,电流检测部25也可以代替传感电压VSH、VSL而输入空穴传感器59的传感信号来得到电流检测信号。

[0156] 在第2实施方式中,也可以做成如果负荷电流的大小变得比规定值 I_{m1} 、 I_{m2} 小则分别将Vf控制、脉冲控制停止而进行通常控制的结构。此外,在驱动控制系统的运转区域总是处于图6所示的区域1中的情况下,也可以从Vf控制部26省去区域1与区域2之间的控制切换功能。即、Vf控制部26在PWM信号FL为H电平的期间中,总是将栅极驱动电压VGL向半导体元件1B的栅极施加。如果在该期间中判定为在半导体元件1B中以二极管元件6的顺向的朝向流经电流,则与第2实施方式同样Vf控制部26进行脉冲的扩展直到经过第2时间 $T2$ 的时点(时刻 $t6$)。

[0157] 在第8、第9实施方式中,也可以构成为从外部输入确定电流阈值 I_t 的阈值确定信号(切换信号 S_k),具备阈值设定电路29A、29B。此外,也可以做成具备阈值设定电路30A、30B、31A、31B、如果负荷电流的大小变得比规定值 I_{m1} 、 I_{m2} 小则将Vf控制、脉冲控制停止而进行通常控制的结构。

[0158] 第3至第9实施方式对于在半导体元件1A、1B中使用MOS晶体管的结构也能够与第2实施方式同样地适用。半导体元件1A、1B也可以是具有控制用的栅极并且形成有寄生二极管的元件、例如具备MOS栅极的二极管。RC-IGBT并不限于沟槽栅极型,也可以是平面栅极型等。MOS晶体管并不限于沟槽栅极型,也可以是平面栅极型等。MOS晶体管也可以是SJ(Super Junction)构造。

[0159] 在上述实施方式中,作为电流检测单元而在半导体元件1A、1B上形成传感元件后装备传感电阻7A、7B。或者具备空穴传感器59。也可以代替它们而如图15所示那样与去除传感元件的半导体元件1A、1B串联地设置传感电阻7A、7B。由于传感电阻7A、7B与主元件被直接连接,所以能够实现高响应。此外,如图16所示,也可以对半导体元件1A、1B设置空穴传感器59A、59B。在哪种结构中,都能够高精度地检测电流。这些变形例不仅是第1、第2实施方式,对于第3至第9实施方式也能够应用。进而,也可以代替空穴传感器而使用GMR(Giant Magneto Resistance)传感器等的绝缘型电流传感器。

[0160] 在第1、第3、第4、第9实施方式、第2实施方式中因驱动控制系统的运转区域总是区域1而省去了控制切换功能的结构的情况下,以及在图15所示的结构中,都也可以将电流检测部25或电流检测电路60替换为电流极性检测电路68,与第7实施方式同样执行脉冲控制及Vf控制。在这些情况下,与第7实施方式同样,在对半导体元件1A、1B中的一方的半导体元件施加栅极驱动电压的期间中,能够禁止向另一方的半导体元件施加栅极驱动电压。此外,电流极性检测电路68能够基于在一方的半导体元件中流动的电流的极性检测信号,推测在另一方的半导体元件中流动的电流的极性。

[0161] 电流极性检测电路68可以代替在传感电阻7A、7B中发生的传感电压VSH、VSL,基于晶体管元件5的集电极-发射极间电压(或漏极-源极间电压)或栅极驱动电压VGH、VGL来检测在半导体元件1A、1B中流动的电流的极性。

[0162] (第10实施方式)

[0163] 图17~图18是表示第10实施方式的图,表示代替半导体元件1A、1B而使用半导体元件101A、101B并代替电流检测部25而使用电压检测部125的形态。关于相同或类似的结构赋予相同或类似的标号而省略说明。

[0164] 半导体元件101A、101B是在同一个半导体基板8上形成有绝缘栅极型的晶体管元件105和二极管元件106的逆导通型IGBT(RC-IGBT),表示与上述实施方式的晶体管元件5和二极管元件6分别对应的主元件(晶体管元件105、二极管元件106)。晶体管元件105的通电电极(集电极、发射极)和二极管元件106的通电电极(阴极、阳极)分别为共通的电极。

[0165] 此外,除了该主元件以外,在半导体基板上还构成有用来检测主元件的集电极电位(相当于电极电位)的传感元件(传感晶体管105s、传感二极管106s)。传感晶体管105s的通电电极(集电极、发射极)和传感二极管106s的通电电极(阴极、阳极)分别为共通的电极。绝缘栅极型的传感晶体管105s的栅极发射极间被共通连接。在传感晶体管105s的发射极电极与晶体管元件105的发射极电极之间连接着传感电阻107A、107B。传感电阻107A、107B与电压检测部125一起构成电压检测单元。

[0166] 在代替驱动IC24A、24B的驱动IC124A、124B中构成有电压检测部125。在驱动IC124A、124B中,构成有Vf控制部26、脉冲控制部27、驱动电路28。这些Vf控制部26、脉冲控制部27、驱动电路28的结构由于控制方法与上述实施方式类似,所以在图中赋予相同标号。由于驱动IC124A、124B相互是相同结构,所以仅说明作为驱动IC124B内的不同部分的电压检测部125的结构。

[0167] 电压检测部125是基于在传感电阻107B中产生的传感电压VSL来输出半导体元件101B的电压检测信号的电压检测单元。电压检测部125如果使用传感元件(105s、106s),则检测由传感二极管106s的端子间电压和传感电阻107A、107B分压的分压电压。Vf控制部26和脉冲控制部27基于PWM信号FL生成栅极驱动信号SGL。驱动电路28输入栅极驱动信号SGL从而输出栅极驱动电压VGL。其他结构与上述实施方式是同样的,所以省略详细说明。此外,关于作用也大致与第1实施方式的说明是大致同样的,参照图18对作为与第1实施方式不同部分的脉冲控制进行说明。

[0168] 如图18所示,即使是本实施方式的脉冲控制,也与第1实施方式同样,在PWM信号FL下降到L电平后、反向恢复电流开始流动之前对半导体元件101B施加栅极驱动脉冲这一点上是相同的。但是,施加该栅极驱动脉冲的条件判定与第1实施方式不同。

[0169] 即,在图18中,如果PWM信号FH从H电平下降到L电平,则半导体元件101A的集电极发射极间电压增加,此时同时半导体元件101B的集电极电极电位Vco(晶体管元件105B的集电极电极电位)下降。此时,电压检测部125能够通过传感元件(105s、106s)检测电极电位Vco的下降定时。另外,半导体元件101A的集电极发射极间电压在镜像期间中逐渐增加,然后迅速增加。因此,在镜像期间中集电极电极电位Vco逐渐下降,然后迅速下降。

[0170] 电压检测部125在上述镜像期间中检测集电极电极电位Vco的下降定时(时刻t1a)。Vf控制部26通过电压检测部125检测电极电位Vco的下降,能够根据输入的PWM信号FL的导通截断指令信号与集电极电极电位Vco的关系推测极性。

[0171] 驱动IC124B的Vf控制部26判定从检测到集电极电极电位Vco下降的时点(t1a)起是否输入PWM信号FL的导通指令信号,当输入了导通指令信号时输出L电平的栅极驱动信号

SGL (时刻 $t_2 \sim t_3$)。此时,与该栅极驱动信号SGL对应的栅极驱动电压VGL被向半导体元件101B的栅极施加。由此,栅极驱动电压VGL被切断。在此期间中,持续进行极性判定。

[0172] 图25及图26表示与负荷电流的方向、大小对应的集电极电极电位的变化特性的参考图。关于电流从负荷向图17所示的节点Nt流入的方向将负荷电流设为负(图25(a)左栏),关于从图17的节点Nt向负荷侧流出的方向将负荷电流定义为正(图25(a)右栏)。

[0173] 当负荷电流为负时,电流向节点Nt流入。因此,在图25(b)中表示图25(a)的部分NM的放大图,在原理上集电极电极电位Vco变高。当负荷电流为正时,电流从节点Nt向负荷侧流出,所以如在图25(c)中表示图25(a)的部分NP的放大图那样,集电极电极电位Vco变低。

[0174] 因而,当在负荷电流为0附近的条件下负荷电流的极性反转时,根据半导体元件101A、101B的导通电阻的平衡决定电压检测部125的检测电压。如果负荷电流的极性反转,则如图26所示,集电极电极电位Vco较大地变动,或引起震颤。因此,如上述那样,通过判定电压检测部125的检测电压是否较大地变动,判定负荷电流、二极管元件106的电流是否是0附近的规定范围,在判定为满足该条件而负荷电流为0附近、几乎不流动的情况下,Vf控制部26持续输出L电平的栅极驱动信号SGL。由此,能够提高控制的可靠性、稳定性。

[0175] 相反,如果在判定极性而将栅极驱动信号SGL以L电平持续输出的期间中、在其中途检测到集电极电极电位Vco较大地变动,则Vf控制部26输出与PWM信号FL的指令信号匹配的栅极驱动信号SGL。在此情况下,能够提高控制的响应性能。

[0176] 此外,如果时点 t_1 与时点 t_2 之间的死区时间Td变短或从PWM信号FH的截断指令信号的发生定时起栅极驱动电压VGH的下降的延迟时间变长,则也有比集电极电极电位Vco急剧地下降的定时靠前输入PWM信号FL的导通指令信号的情况。在此情况下,可以以从PWM信号FL的导通指令信号的输入时点起在规定时间内以内由电压检测部125检测到集电极电极电位Vco急剧地下降为条件,Vf控制部26通过上述同样的控制方法输出栅极驱动信号SGL。

[0177] 另一方面,在图18中,如果PWM信号FH从L电平上升为H电平(时刻 t_7),则然后半导体元件101B的集电极发射极间电压增加,半导体元件101B的电极电位Vco(晶体管元件105B的集电极电位)增加。此时,电压检测部125可以由传感元件(105s、106s)根据二极管6的电压和电阻107A的电压的分压电压检测电极电位Vco的增加定时。

[0178] 当接受Vf控制部26的极性判定、判定为对于二极管元件106在顺向上流经电流时,脉冲控制部27以PWM信号FL的截断指令信号被输入的时点(时刻 t_3)为起点,从第1时间T1的经过时点(时刻 t_4)到第2时间T2的经过时点(时刻 t_6)将栅极驱动信号SGL设为H电平。通过该栅极驱动信号SGL,对半导体元件101B的栅极施加栅极驱动脉冲VGL。

[0179] 此外,脉冲控制部27在PWM信号FL下降到L电平后,也通过判定电压检测部125的电压是否变动,来持续判定在半导体元件101B的二极管元件106中是否流经电流。另一方面,脉冲控制部27如果在PWM信号FL下降为L电平时判定为在二极管元件6中没有流经电流,则直接使栅极驱动信号SGL成为L电平并维持。即,不施加栅极驱动脉冲。

[0180] 图18所示的第1时间T1和第2时间T2被预先设定,以使得不发生臂短路。在PWM信号FL为L电平的期间中在二极管元件106中流经电流的情况和在晶体管元件105中流经电流的情况中,赋予栅极驱动脉冲时的栅极驱动电压VGL的波形不同。

[0181] 在二极管元件106中流经电流的情况下,半导体元件101B的集电极—发射极间电压不变化。此外,在导体元件101B中不发生急剧的电流变化、电压变化。因此,驱动电路28在

栅极驱动电压VGL的上升时及下降时,能够以比通常高的栅极驱动能力输出栅极驱动电压VGL。

[0182] 第1时间T1和第2时间T2考虑栅极驱动脉冲的施加时的栅极驱动电压VGL的波形及驱动电路28的驱动方式,设定为栅极驱动电压VGL按照驱动电路28的栅极驱动能力单调地增加或单调地减小。此时,将从栅极驱动脉冲的施加结束时点到开始流经反向恢复电流的时间 T_c (载流子的再注入时间)设定为比零长且注入容许时间以下。注入容许时间根据容许的反向恢复电流的大小来规定。

[0183] 具体而言,第1时间T1和第2时间T2一边将流到二极管元件106中的电流各种各样地改变,一边以PWM信号FL的下降时点为起点,预先测量并设定栅极驱动信号SGL的施加定时、实际施加栅极驱动电压VGL的定时、以及反向恢复电流开始流动的定时。该第1时间T1和第2时间T2在本实施方式中被存储在脉冲控制部27内的存储器等中。另外,该第1时间T1和第2时间T2也可以使用1或多个样式的逻辑电路或模拟延迟电路等构成。

[0184] 脉冲控制部27在施加栅极驱动脉冲的情况下,从存储器读出第1时间T1和第2时间T2。脉冲控制部27以集电极电极电位 V_{co} 的下降检测定时为起点,在第1时间T1的经过时点使栅极驱动信号SGL上升,在第2时间T2的经过时点使栅极驱动信号SGL下降。

[0185] 如以上说明,在第10实施方式的结构中,即使是第1实施方式不能控制的电流阈值以下也有可能起到大致同样的效果。

[0186] (第11实施方式)

[0187] 图19是表示第11实施方式的图,表示在半导体元件101A、101B中使用MOS晶体管等而进行同步整流更能够降低导通损失的情况下的时间图。驱动控制装置132A、132B的结构是图17所示那样的。这里,主要对低侧的驱动控制装置132B的作用进行说明。高侧的驱动控制装置132A的作用也相同。如果以MOS晶体管的情况说明,则其特性如图6所示那样,在为电压 $V_{DS} < V_f$ 的区域1中,通过施加栅极驱动电压能够降低导通损失。在为电压 $V_{DS} \geq V_f$ 的区域2中,通过将栅极驱动电压切断能够减小导通损失。关于动作与上述实施方式相同的部分省略说明。电压检测部125在上述镜像期间中检测集电极电极电位 V_{co} 的下降定时(时刻 t_{1a})。Vf控制部26通过电压检测部125检测电极电位 V_{co} 的下降,可以根据输入的PWM信号FL的导通截断指令信号与集电极电极电位 V_{co} 的关系推测极性。

[0188] 驱动IC124B的Vf控制部26判定从检测到集电极电极电位 V_{co} 下降的时点(t_{1a})起是否输入了PWM信号FL的导通指令信号,当输入了导通指令信号时输出H电平的栅极驱动信号SGL(时刻 $t_2 \sim t_3$)。此时,将与该栅极驱动信号SGL对应的栅极驱动电压VGL向半导体元件101B的栅极施加。

[0189] 此外,在PWM信号FL为H电平的期间中,在半导体元件101B中流经区域1的范围内的电流的情况下,Vf控制部26执行施加栅极驱动电压VGL的通常控制(同步整流)。然后,如果PWM信号FL成为L电平,则Vf控制部26向半导体元件101B施加栅极驱动脉冲。

[0190] 在此情况下,脉冲控制部27只要以截断指令信号的输入时点为起点、从第1时间T1的经过时点到第2时间T2的经过时点使栅极驱动信号SGL为H电平就可以。但是,与将栅极驱动电压VGL暂时切断相比,到第2时间T2的经过时点将栅极驱动电压VGL连续施加更能够减小导通损失。所以,Vf控制部26为了接着Vf控制进行脉冲控制,可以将H电平的栅极驱动信号SGL超过时刻 t_3 而延长输出到第2时间T2的经过时点(时刻 t_6)(脉冲的扩展)。

[0191] 在PWM信号FL为H电平的期间中在半导体元件101B中流经图6所示的区域2的范围内的电流的情况下,Vf控制部26和脉冲控制部27输出与图5所示的RC-IGBT的控制同样的栅极驱动信号SGL。

[0192] 在PWM信号FL为L电平的期间中,也可以如在第10实施方式中说明那样,控制单元(Vf控制部26或脉冲控制部27)进行脉冲控制以回溯到导通指令信号的输入时点(t_2)而输出,以使得在比电压检测部125通过传感元件(105s、106s)检测到集电极电极电位Vco的下降的时点(时刻 t_{1a})靠后继续进行Vf控制部26的通常的Vf控制(参照时刻 t_{1b} → t_2 的区间的脉冲的扩展)。

[0193] 为了防止臂短路,可以在从栅极驱动电压VGH成为不到阈值电压Vth的时点(即流不再流经的时点)到再次达到阈值电压Vth的时点(即电流流出的时点)的期间中使栅极驱动电压VGL上升。

[0194] 从给出栅极驱动信号SGL到使栅极驱动电压VGL上升,Vf控制部26及脉冲控制部27产生用来进行信号生成处理等的各种处理的延迟时间。可以是,利用实验、模拟预先测量该延迟时间,Vf控制部26及脉冲控制部27进行栅极驱动信号SGL的脉冲扩展,以使得在使该栅极驱动电压VGL上升的期间中不发生臂短路。

[0195] 此时,可以在成为不到栅极驱动电压VGH的阈值电压Vth的定时(即电流不再流经的时点)与栅极驱动电压VGL成为阈值电压Vth以上的定时之间设置富余时间(图19的余量时间Ma)。可以在栅极驱动电压VGL成为不到阈值电压Vth的定时与栅极驱动电压VGH成为阈值电压Vth以上的定时(即电流流出的时点)之间设置富余时间(图19的余量时间Mb)。

[0196] 即,发生从由电压检测部125检测到电压到实际实施控制的延迟离差(电压检测部125的离差、半导体元件101A等的结构离差、温度特性的变化、因老化等带来的延迟离差等),但可以估计将这些延迟离差作为余量考虑的延迟时间而进行脉冲扩展。

[0197] 电压检测部125在上述镜像期间中检测集电极电极电位Vco的下降定时(时刻 t_{1a})。Vf控制部26可以通过电压检测部125检测电极电位Vco的下降,根据输入的PWM信号FL的导通截断指令信号与集电极电极电位Vco的关系来推测极性。该极性的推测方法与第10实施方式所示的方法是同样的。

[0198] 通过实验或模拟等判定是否流经区域1或区域2的范围内的电流,当判定为区域1是支配性(控制时间为规定比例以上)时,Vf控制部26执行施加栅极驱动电压VGL的通常控制(同步整流)。然后,如果PWM信号FL成为L电平,则需要对半导体元件101B施加栅极驱动脉冲。

[0199] 在此情况下,只要在Vf控制部26将栅极驱动信号SGL设为L电平后,脉冲控制部27以PWM信号FL的下降时点为起点、从第1时间T1的经过时点到第2时间T2的经过时点将栅极驱动信号SGL设为H电平就可以。但是,与将栅极驱动电压VGL暂时切断相比,到第2时间T2的经过时点连续施加栅极驱动电压VGL更能够减小导通损失。所以,Vf控制部26接着Vf控制而进行脉冲控制,所以将H电平的栅极驱动信号SGL超过时刻 t_3 延长到第2时间T2的经过时点(时刻 t_6)而输出(脉冲的扩展)。

[0200] 从时点 t_{1a} 到 t_2 的检测处理通过与第10实施方式同样的方法进行,但关于时点 t_2 以后,Vf控制部26将栅极驱动信号SGL设为H电平,所以当在负荷电流为0附近的条件下负荷电流的极性反转时,也不会发生在第10实施方式中说明的震颤。因而,Vf控制部26只要原样

将H电平的栅极驱动信号SGL在时点t2以后持续输出到时点t6就可以。

[0201] 通过本实施方式也能够得到与第2或第10实施方式同样的效果。

[0202] (第12、第13实施方式)

[0203] 图20表示第12实施方式,图21表示第13实施方式,表示使用都具有高耐压的驱动IC151、153的驱动控制装置152、154。所谓高耐压,是与向半桥电路4施加的电源电压对应的耐压。驱动控制装置152、154将构成半桥电路4的两个半导体元件101A、101B驱动控制。

[0204] 驱动IC151、153对于半导体元件101A、101B具备共通的Vf控制部26和共通的脉冲控制部27,通过被供给电源电压VDD(例如15V)而动作。栅极驱动信号SGH经由电平移动部57和驱动电路28被向半导体元件101A给出,栅极驱动信号SGL经由驱动电路28被向半导体元件101B给出。

[0205] 驱动IC151具备基于在传感电阻107A、107B中产生的传感电压VSH、VSL输出电压检测信号的电压检测部125。高侧的电压检测部125经由电平移动电路58输出电压检测信号。驱动IC153具备将高侧的电压检测部125和电平移动电路58省去的结构。

[0206] 脉冲控制部27由于生成栅极驱动信号SGH、SGL,所以在对两个半导体元件101A、101B中的一方的半导体元件施加栅极驱动电压的期间中,能够禁止向另一方的半导体元件的栅极驱动电压的施加。由此,能够可靠地防止臂短路。

[0207] 此外,如表示第13实施方式的图21所示,由于在高侧和低侧能够使电压检测部125共用化,所以能够使电路结构简单化。在此情况下,也可以将与通过共用化而省略的电压检测部125对应的传感元件(105s、106s)及传感电阻(107)省略。在共用化的情况下,优选的是基于由阈值设定电路30、31生成的规定电压Vm1、Vm2,将高侧的规定电压设定得比第10实施方式大。除此以外,能够得到与第10、第11实施方式同样的作用及效果。

[0208] (第14实施方式)

[0209] 图22是表示第14实施方式的图,表示将控制部和驱动电路分离而构成的驱动控制装置162。驱动控制装置162将构成半桥电路4的两个半导体元件101A、101B驱动控制。驱动控制装置162由控制IC163、光电耦合器64A、64B、67A、67B、驱动IC65A、65B、电压检测部168等构成。

[0210] 控制IC163由专用ASIC、微机的硬件IP(Intellectual Property)、FPGA等构成,安装着上述Vf控制部26和脉冲控制部27。光电耦合器64A、64B是将栅极驱动信号SGH、SGL电气地绝缘而向驱动IC65A、65B传送的绝缘电路。驱动IC65A、65B具备驱动电路28,输入栅极驱动信号SGH、SGL而输出栅极驱动电压VGH、VGL。

[0211] 电压检测部168经由光电耦合器67A、67B检测传感电压VSH、VSL。电压检测部168可以通过作用在传感元件105s、106s上的电压和作用在电阻107A、107B上的电压的分压电压检测出流到半导体元件101A、101B中的电流值或电流的朝向(极性)。由此,能够执行脉冲控制及对于RC-IGBT的Vf控制。

[0212] 通过本实施方式,脉冲控制部27也能够在对两个半导体元件101A、101B中的一方的半导体元件施加栅极驱动电压的期间中,禁止向另一方的半导体元件的栅极驱动电压的施加。由此,能够可靠地防止臂短路。此外,也可以将光电耦合器67A、67B的某一方省略。此时,也可以将与省略的光电耦合器67A、67B对应的传感元件(105s、106s)及传感电阻(107)省略。在此情况下,电压检测部168基于在半导体元件101B中流经的电流的极性检测信号,

推测在另一方的半导体元件101A中流经的电流的极性。也可以不是电压检测部168的前段而是在电压检测部168的后段设置与光电耦合器67A、67B同样的结构的光电耦合器。也可以将电压检测部168形成在控制IC63或驱动IC65内。

[0213] 由于PWM信号FH、FL被输入到控制IC163的Vf控制部26中,所以Vf控制部26及脉冲控制部27能够综合地执行一方及另一方的臂的控制。通过该实施方式,也能够得到与第10、第11实施方式同样的作用及效果。

[0214] (第15实施方式)

[0215] 图23是表示第15实施方式的图,表示将控制部和驱动电路分离、并将Vf控制部26、脉冲控制部27及电压检测部125取入到微机121中的结构的驱动控制装置172。驱动控制装置172将构成半桥电路4的两个半导体元件101A、101B驱动控制。驱动控制装置172由微机121、光电耦合器64A、64B、驱动IC65A、65B等构成。驱动控制装置172具备以传感电压VSH、VSL为输入的光电耦合器67A、67B。

[0216] 微机121通过将预先存储在存储器73中的控制程序执行,实现上述Vf控制部26、脉冲控制部27及电压检测部125的功能。驱动控制装置172的微机121经由光电耦合器67A、67B的输出信号得到电压检测信号。在存储器73中,除了控制程序以外,还存储有第1时间T1和第2时间T2、阈值等。

[0217] 通过本实施方式,微机121也能够在对两个半导体元件101A、101B中的一方的半导体元件施加栅极驱动电压的期间中,禁止向另一方的半导体元件的栅极驱动电压的施加。由此,能够可靠地防止臂短路。此外,也可以将光电耦合器67A、67B的某一方省略。此时,也可以将与省略的光电耦合器67A、67B对应的传感元件(105s、106s)及传感电阻(107)省略。在共用化的情况下,优选的是基于由阈值设定电路30、31生成的规定电压Vm1、Vm2,将高侧的规定电压设定得比第10实施方式大。除此以外,能够得到与第10、第11实施方式同样的作用及效果。

[0218] 由于PWM信号FH、FL被输入到控制IC163的Vf控制部26中,所以Vf控制部26及脉冲控制部27能够综合地执行一方及另一方的臂的控制。与第14实施方式同样,也可以将光电耦合器67A省略。通过这些实施方式,也能够得到与第10、第11实施方式同样的作用及效果。

[0219] (第16实施方式)

[0220] 图24是表示第16实施方式的图,表示设有作为检测中间电位的电压检测单元的电压检测部180的形态。图24所示的电压检测部180设置为,检测设在晶体管元件105、二极管构造106的元件形成区域100的外周侧的半导体基板8上的保护圈8a的电位。在半导体基板8的下面侧表层部,形成有二极管构造6的阴极区域17、晶体管构造5的集电极电极18,但不仅是这些元件形成区域100,还原样连通到外周缘侧而达到耐压保持区域101。

[0221] 在该耐压保持区域101中形成保护圈8a。该保护圈8a形成有多个。该保护圈8a形成为与半导体层8不同的导电型(在此情况下是 p^+ (逆导电型)),在平面上形成为例如同心圆状,以将元件形成区域100的外周包围。

[0222] 并且,在作为比半导体基板8的保护圈8a靠外周区域的最外周区域中,作为沟道截止区域而形成有通常为与半导体基板8相同导电型的 n^+ 的等价电位环(EQR:Equivalent Potential ing)8b,为了将漏极电位固定而设置。保护圈8a在半导体基板8的外周缘侧相互离开而形成,为了最外周的等价电位环8b与设在元件形成区域100侧的源极电极之间发生

的电场缓和而设置。

[0223] 这些保护圈8a从外周侧起依次阶段性地电位变低,能够保持耐压。电压检测部180通过从其中某一个保护圈8a的层的上部检测电压,能够检测集电极发射极间的中间电位。该中间电位的变化是与在上述实施方式中说明的集电极电极电位VCO的变化同样的变化,即使这样电压检测部180检测到该中间电位,也能够同样地控制。

[0224] 该实施方式所示的电压检测部180既可以代替第10~第15实施方式的电压检测部125而使用,也可以与电压检测部125一起使用。此外,也可以与上述第1~第9实施方式的各实施方式所示的电流检测单元(7A、7B、25、59、60、68)的结构组合而使用。

[0225] 此外,从电压检测部180检测到的中间电位根据需要也可以通过电阻分压等进一步降压而使用。

[0226] (关于第1~第16实施方式的其他实施方式)

[0227] 以上,对第1~第16实施方式进行了说明,但可以如以下这样在不脱离申请的主旨的范围内进行各种各样的变形、扩展。

[0228] 各实施方式也可以变更为仅进行Vf控制部26的Vf控制和脉冲控制部27的脉冲控制中的Vf控制的结构或仅进行脉冲控制的结构。在第3至第7实施方式中仅进行Vf控制的结构的情况下,Vf控制部26当然在对半导体元件1A、1B中的一方的半导体元件施加栅极驱动电压的期间中,禁止向另一方的半导体元件的栅极驱动电压的施加。

[0229] Vf控制部26、脉冲控制部27如果检测电压的大小分别比规定值小,则将Vf控制、脉冲控制停止而进行通常控制,但这一向通常控制的切换控制只要根据需要执行就可以。

[0230] 在第11实施方式中,也可以做成如果负荷电流的大小变得比规定值 I_{m1} 、 I_{m2} 小则分别将Vf控制、脉冲控制停止而进行通常控制的结构。此外,在驱动控制系统的运转区域总是处于图6所示的区域1中的情况下,也可以从Vf控制部26将区域1与区域2之间的控制切换功能省去。即,Vf控制部26在PWM信号FL为H电平的期间中,总是将栅极驱动电压VGL向半导体元件1B的栅极施加。Vf控制部26如果判定为在该期间中在半导体元件1B中以二极管元件6的顺向的朝向流经电流,则与第11实施方式同样,从时刻 t_2 到第2时间 T_2 的经过时点(时刻 t_6)进行脉冲的扩展。

[0231] 第12至第16实施方式对于在半导体元件101A、101B中使用MOS晶体管的结构也能够与第11实施方式同样地应用。半导体元件101A、101B也可以是具有控制用的栅极而形成有寄生二极管的元件、例如具备MOS栅极的二极管。RC-IGBT并不限于沟槽栅极型,也可以是平面栅极型等。MOS晶体管并不限于沟槽栅极型,也可以是平面栅极型等。MOS晶体管也可以是SJ(Super Junction)构造。

[0232] 使用将传感元件105s、106s并联连接的结构进行了说明,但也可以代替它而将传感二极管106s单独构成为传感元件,电压检测部125检测作用在该传感元件的两端上的直流电压(DC电压)。在这些结构的情况下,也可以不仅是电压检测、还作为电流检测用而共用。此外,也可以代替传感二极管106s而使用电阻来检测直流电压(DC电压)。或者,也可以将传感晶体管105s单独作为传感元件使用。在此情况下,由于传感晶体管105s作为晶体管电容发挥功能,所以能够检测电压变化作为脉冲电压/电流。

[0233] 在采用图1的结构的情况下,如图27所示,电流检测部25也可以检测半导体元件1A的电流,在检测到该电流的变动的时点 t_{1c} ,Vf控制部26比 t_2 靠前而将脉冲扩展、将栅极驱

动信号SGL设为H电平并输出。也可以代替图1的电流检测部25而设置其他形态的电流检测部25,也可以设置第7实施方式的电流极性检测电路68。

[0234] 此外,如图28所示,也可以以图17所示的形态为基本结构,设置检测逆臂侧的栅极驱动电压VGH的电压检测部225作为控制电压检测单元,在检测到由该电压检测部225检测的栅极驱动电压VGH成为不到阈值电压 V_{th} 的时点,Vf控制部26(控制单元)比 t_2 靠前将脉冲扩展、将栅极驱动信号SGL设为H电平并输出。有关Vf控制、脉冲控制的各节点的控制信号、驱动信号等的波形与图27相同,所以省略。电压检测部225既可以组装到驱动IC124A、124B内,也可以与驱动IC124A、124B独立地构成。

[0235] 同样,如对应于图12表示的图29所示,也可以分别设置经由光电耦合器267A、267B检测逆臂侧的栅极驱动电压VGH的电压检测部225,在由该电压检测部225检测到栅极驱动电压VGH成为不到阈值电压 V_{th} 的时点,Vf控制部26(控制单元)比 t_2 靠前将脉冲扩展、将栅极驱动信号SGL设为H电平并输出。各节点的控制信号、驱动信号等的波形与图27相同,所以省略图示。同样,图29所示的电压检测部225也既可以组装到控制IC63内,也可以与控制IC63独立地构成。

[0236] 此外,如图30所示,也可以是,自臂侧的驱动IC24A、24B将逆臂侧的PWM信号FL或FH向Vf控制部26(或脉冲控制部27)输入,Vf控制部26(或脉冲控制部27)在从检测到该PWM信号的下降的时点起经过了规定时间的定时,Vf控制部26比 t_2 靠前进行脉冲扩展、将栅极驱动信号SGL设为H电平并输出。该规定时间可以设定为预先设定以使得不会臂间短路的时间。

[0237] 此外,如图31所示,也可以是,自臂侧的驱动IC124A、124B将逆臂侧的PWM信号FL或FH向Vf控制部26(或脉冲控制部27)输入,Vf控制部26(或脉冲控制部27)在从检测到该PWM信号的下降的时点起经过了规定时间的定时,Vf控制部26比 t_2 靠前进行脉冲扩展、将栅极驱动信号SGL设为H电平并输出。该规定时间可以设定为预先设定以使得不会臂间短路的时间。

[0238] 在图28~图31中表示了一例,但除此以外,也可以将第1~第9实施方式所示的电流检测单元(电流检测部25、空穴传感器59、电流检测电路60、电流极性检测电路68等)、第10~第15实施方式所示的电压检测单元(电压检测部125、电压检测部168等)、控制电压检测单元(电压检测部225)的某两个组合而构成。

[0239] 特别是,如果将电流检测单元与电压检测单元组合而构成,则如图32所示,能够以不发生臂短路的程度,Vf控制部26从比时点 t_2 靠前的时点 t_{1b} 进行脉冲扩展、将栅极驱动信号SGL设为H电平并输出。在该图32所示的例子(的情况下),能够使栅极驱动电压VGL的余量期间 M_a (参照图19)成为最短(≈ 0)。

[0240] 也可以将向自臂侧的驱动IC24A、24B的Vf控制部26或脉冲控制部27输入逆臂侧的PWM信号FH、FL的形态与通过电流检测部25、电压检测部125、电压检测部225检测并控制电流或电压的形态组合。

[0241] 例如,如图18、图19所示,将半导体元件101A的电流的下降时点与集电极电极电位 V_{co} 的下降检测时点比较可知,集电极电极电位 V_{co} 的下降检测时点比半导体元件101A的电流的下降时点早。

[0242] 因而,例如在使用在第10实施方式等中说明的电压检测单元、当在Vf控制部26中

被输入PWM信号FL的截断指令信号时基于电压检测信号判定为以二极管构造6的顺向的朝向流经电流的情况下,如图32所示,可以将栅极驱动信号SGL从比定时 t_2 靠前的时点 t_{1b} 进行脉冲扩展,以使栅极驱动电压VGL上升的定时比在半导体元件101A中开始不再流经电流的定时 t_{1c} (例如电流向半导体元件101B流出的定时)靠后。

[0243] 另外,从将脉冲扩展而输出栅极驱动信号SGL到生成栅极驱动电压VGL,需要规定的延迟时间。因此,也可以预先测量该延迟时间,估计该测量时间,将脉冲扩展开始的定时 t_{1b} 预先设定为比时点 t_2 靠前。如在第11实施方式中说明那样,在电压检测部125、驱动器28、半导体元件101A、101B等中发生各种延迟离差,但也可以预先测量该延迟离差并估计余量。但是,如果使用电压检测部125及电流检测部25等将电压检测控制及电流检测控制组合,则能够在检测到电压变动的时点(t_{1a})决定脉冲扩展开始的定时,所以也可以不将脉冲扩展开始的定时设定为比预先测量出延迟离差的时点 t_2 靠前。

[0244] 如果进行这样的控制,则与在第1~第9实施方式中说明的仅使用电流检测单元进行控制相比,能够将Vf控制部26进行的第11实施方式的脉冲扩展从更早的时点进行,能够实现栅极驱动处理所需要的时间的确保和同步整流期间的扩展,能够得到最大限度的效果。

[0245] 在图中,1A、1B、101A、101B是半导体元件,4是半桥电路,5、105是晶体管元件(晶体管构造),6、106是二极管元件(二极管构造)、7A、7B、107A、107B是传感电阻(电流检测单元),8是半导体基板,8a是保护圈(电场限制圈),15是发射极电极(通电电极),18是集电极电极(通电电极),21、121是微机(控制IC),24A、24B、124A、124B、51、53、55、151、153是驱动IC(IC),25是电流检测部(电流检测单元),125、168是电压检测部(电压检测单元),26是Vf控制部(控制单元、第2控制单元、输入单元),27是脉冲控制部(控制单元、第1控制单元、输入单元),28是驱动电路,32A、32B、132A、132B、52、54、56、152、154、61、62、162、71、72、172是驱动控制装置,59是空穴传感器(电流检测单元),60是电流检测电路(电流检测单元),63是控制IC,64A、64B、67A、67B是光电耦合器(绝缘电路),65A、65B是驱动IC,68是电流极性检测电路(电流检测单元),180是电压检测部(电压检测单元),225是电压检测部(控制电压检测单元)。

[0246] (第17实施方式)

[0247] 以下,参照附图对本申请的第17实施方式进行说明。虽然能够应用到上述全部的实施方式中,但使用作为基本结构的图33(相当于第1实施方式的图1)的驱动控制系统进行说明。图33所示的驱动控制系统被用在驱动马达等的电感性负荷的逆变器装置、具备电感器而将直流电压升压/降压的变换器装置等的电力变换装置中。作为开关元件的半导体元件1001A、1001B在高电位侧的直流电源线1002与低电位侧的直流电源线1003之间夹着输出端子 N_t 而串联地配设,构成半桥电路1004。

[0248] 由Vf控制部1026和脉冲控制部1027生成的栅极驱动信号SGL经由驱动电路1028被向半导体元件1001B的栅极给出。驱动电路1028如图34所示,能够将栅极驱动能力多种地切换。

[0249] 驱动电路1028在打开时,通过MOS晶体管1029驱动栅极。对于MOS晶体管1029的栅极,经由切换开关1030给出定电流驱动放大器1031的输出电压(A侧)或浮动地电位FG的电压(B侧)。在前者的情况下为通常的驱动能力,在后者的情况下为较高的驱动能力。此外,驱

动电路1028在通常的驱动能力的情况下,在驱动中途进行对于短路电流的保护动作。因此,定电流驱动放大器1031在栅极驱动电压VGL的增加过程中,将栅极驱动电压VGL暂时性地停留在中间电压。

[0250] 驱动电路1028在关断时,通过MOS晶体管1032、1033驱动栅极。如果将切换开关1034向A侧切换而仅用MOS晶体管1032驱动,则成为通常的驱动能力,如果将切换开关1034向B侧切换而用MOS晶体管1032、1033驱动,则成为较高的驱动能力。MOS晶体管1033具有比MOS晶体管1032低的导通电阻。另外,MOS晶体管1033在将半导体元件1001B保持为截断状态时也使用。

[0251] 在PWM信号FL的上升时,在从在晶体管元件1005中流经电流的状态起的PWM信号FL的下降时等、在半导体元件1001B中流经的电流(元件电流)、电压中发生急剧的变化时,为了抑制电压浪涌的发生而切换为通常的驱动能力。相对于此,在如脉冲控制那样在元件电流及电压中不发生急剧的变化时,切换为较高的驱动能力。

[0252] 在驱动IC1024A上,外带有阈值设定电路1035A、1036A、1037A。在驱动IC1024B上,外带有阈值设定电路1035B、1036B、1037B。阈值设定电路1029A、1030A、1031A将与半导体元件1001A的发射极电位相等的浮动地电位FG作为基准电位而构成。阈值设定电路1035A、1035B将电压VDDA、VDDB用电阻R1、R2分压而生成阈值电压 V_t 。阈值设定电路1036A、1036B将电压VDDA、VDDB用电阻R3、R4分压而生成规定电压 V_{m1} 。阈值设定电路1037A、1037B将电压VDDA、VDDB用电阻R5、R6分压而生成规定电压 V_{m2} 。

[0253] 阈值电压 V_t 决定在Vf控制部1026中使用的电流阈值 I_t 的大小。二极管元件1006的与顺向电流 I_f 对应的顺向电压 V_f 的特性根据元件的种类(RC—IGBT、MOS晶体管等)及元件的耐压而不同。所以,Vf控制部1026基于从外部给出的切换信号Sk和阈值电压 V_t 选择适当的电流阈值 I_t 。

[0254] 规定电压 V_{m1} 决定在是否停止Vf控制的判定中使用的规定值 I_{m1} 的大小。规定电压 V_{m2} 决定在是否停止脉冲控制的判定中使用的规定值 I_{m2} 的大小。在电流检测时和基于该检测电流的极性施加了栅极驱动电压VGH、VGL时,也有可能因控制的延迟而电流极性反转。因此,Vf控制部1026如果电流检测值低于规定值 I_{m1} 则将Vf控制停止,脉冲控制部1027如果电流检测值低于规定值 I_{m2} 则将脉冲控制停止。

[0255] 由以上说明的驱动IC1024A和传感电阻1007A构成驱动控制装置1038A,由驱动IC1024B和传感电阻1007B构成驱动控制装置1038B。

[0256] 接着,参照图35至图46,主要对低侧的驱动控制装置1038B的作用进行说明。高侧的驱动控制装置1038A的作用也相同。首先,对Vf控制简单地说明。作为RC—IGBT的半导体元件1001A、1001B如果在二极管元件1006中流经电流的状态下施加栅极驱动电压,则在第1区域1012中形成沟道,空穴的注入被抑制。因此,如图37所示,流经顺向电流 I_f 的二极管元件1006的顺向电压 V_f 变高,二极管元件1006的导通损失($V_f \times I_f$)增大。

[0257] 所以,在二极管元件1006中流经电流阈值 I_t 以上的电流的情况下,通过将栅极驱动电压切断,能够减小导通损失。电流阈值 I_t 在RC—IGBT的情况下大致是零,在MOS晶体管的情况下对应于耐压等成为比零大的值。在驱动RC—IGBT的情况下切换信号Sk例如被切换为L电平,在驱动MOS晶体管的情况下切换信号Sk例如被切换为H电平。Vf控制部1026在切换信号Sk为H电平时,设定与阈值电压 V_t 对应的电流阈值 I_t 来执行Vf控制。

[0258] 图38是在从输出端子 N_t 朝向负荷流经电流的情况下、在将半导体元件1001A截断而将半导体元件1001B导通后、将半导体元件1001B截断而再次将半导体元件1001A导通时的波形。从上方起,依次表示半导体元件1001A的电流、栅极驱动电压 V_{GH} 、 V_{GL} 、PWM信号 FH 、栅极驱动信号 SGL 、PWM信号 FL 。 V_{th} 是半导体元件1001A的阈值电压。

[0259] 驱动IC1024B的 V_f 控制部1026在PWM信号 FL 为H电平的期间(时刻 $t_2 \sim t_3$)中,判定二极管元件1006的检测电流在其顺向上是否是电流阈值 I_t 以上。这里,如果判定检测电流是电流阈值 I_t 以上,则如图38所示那样输出L电平的栅极驱动信号 SGL 。由此,栅极驱动电压 V_{GL} 被切断,导通损失减小。

[0260] 接着,对脉冲控制进行说明。脉冲控制是在PWM信号 FL 为H电平的期间中在半导体元件1001B的二极管元件1006中流经电流的情况下、在PWM信号 FL 下降到L电平后到开始流经反向恢复电流之前对半导体元件1001B施加栅极驱动脉冲的控制。在PWM信号 FH 为H电平的期间中在半导体元件1001A的二极管元件1006中流经电流的情况下,在PWM信号 FH 下降到L电平后也是同样的。由此,向二极管元件1006储存的载流子(空穴)减少,所以能够得到减小反向恢复电流的作用。

[0261] 在图38中,脉冲控制部1027在PWM信号 FL 下降到L电平时(时刻 t_3)如果判定为在半导体元件1001B的二极管元件1006中流经电流(电流检测值为规定值 I_{m2} 以上),则以该下降时点为起点,从第1时间 T_1 的经过时点(时刻 t_4)到第2时间 T_2 的经过时点(时刻 t_6)将栅极驱动信号 SGL 设为H电平。通过上述 V_f 控制,在PWM信号 FL 的下降时点,栅极驱动信号 SGL 成为L电平。

[0262] 脉冲控制部1027在PWM信号 FL 下降到L电平后,也继续判定在半导体元件1001B的二极管元件1006中是否流经电流。脉冲控制部1027如果电流检测值低于规定值 I_{m2} ,则在经过第1时间 T_1 后,即使是经过第2时间 T_2 前,也直接使栅极驱动信号 SGL 回到L电平。

[0263] 另一方面,脉冲控制部1027在PWM信号 FL 下降到L电平时如果判定为在二极管元件1006中没有流经电流,则直接将栅极驱动信号 SGL 设为L电平并维持。即,不施加栅极驱动脉冲。

[0264] 如图38所示,当在上下臂间通电切换时,如果栅极驱动电压 V_{GH} 成为阈值电压 V_{th} 以上(时刻 t_9),则在半导体元件1001A的晶体管元件1005中流动的电流增加。在该晶体管元件1005中流动的电流中,超过在半导体元件1001B的二极管元件1006中流动的电流的电流是反向恢复电流。在图中用阴影表示(时刻 $t_{10} \sim t_{11}$)。在图39、图40中,将负荷电流(在半导体元件1001A、1001B中流动的电流)为100A的情况和为200A的情况一起表示。

[0265] 如图39所示,如果被施加栅极驱动电压 V_{GL} (栅极驱动脉冲),则半导体元件1001B的二极管元件1006内的载流子减少,所以载流子浓度下降(时刻 $t_5 \sim t_8$)。如果栅极驱动脉冲的施加结束,则在二极管元件1006中再次被注入载流子,所以载流子浓度上升。从该栅极驱动脉冲的施加结束时点(时刻 t_8)到反向恢复电流开始流动(时刻 t_{10})的时间 T_c (T_{c1} 、 T_{c2})是载流子的再注入时间。

[0266] 再注入时间 T_c 越短,储存到二极管元件1006中的载流子浓度越低,所以反向恢复电流变小。如图41所示,再注入时间 T_c 越短,开关损失越减小。因而,再注入时间 T_c 被控制为与容许的反向恢复电流的大小对应的注入容许时间以下。图40表示再注入时间 T_c 为零的情况。实际上,为了防止臂短路,再注入时间 T_c 被控制为短路富余时间 $T_m (>0)$ 以上。

[0267] 如图39所示,负荷电流越大,反向恢复电流开始流动的时点(时刻 t_{10})越晚。因此,如果以PWM信号FL的下降时点为起点将栅极驱动电压VGL的施加结束时点固定(时刻 t_8),则当负荷电流为100A时,再注入时间为 T_{c1} ,当负荷电流为200A时,再注入时间为 T_{c2} ($>T_{c1}$)。即,负荷电流越大,再注入时间越长,反向恢复电流越大。此外,负荷电流越大,储存到二极管元件1006中的载流子浓度自身越高,所以为了充分降低载流子浓度而减小开关损失,需要如图42所示那样某种程度地确保栅极驱动脉冲的宽度,充分确保用于载流子减少的时间。

[0268] 通过这样的理由,脉冲控制部1027根据负荷电流控制栅极驱动电压VGL的施加定时。脉冲控制部1027以PWM信号FL的下降时点为起点,将使栅极驱动信号SGL为H电平的第1时间 T_1 和回到L电平的第2时间 T_2 的时间宽度 T_w 设定为与在PWM信号FL为H电平的期间中在二极管元件1006中流动的电流的大小对应的值。具体而言,在PWM信号FL为H电平的期间中在二极管元件1006中流经的电流越大,设定越长的时间宽度。

[0269] 第1时间 T_1 和第2时间 T_2 一边将在二极管元件6中流动的电流各种各样地改变,一边以PWM信号FL的下降时点为起点,预先测量并设定栅极驱动信号SGL的施加定时、实际施加栅极驱动电压VGL的定时、以及反向恢复电流开始流动的定时。该第1时间 T_1 和第2时间 T_2 与电流建立对应而存储在后述的存储器1039等(也可以用模拟电路等设计)中。也可以代替第1时间 T_1 和第2时间 T_2 而存储第1时间 T_1 和脉冲宽度 T_w ($=T_2-T_1$)。

[0270] 图35是关于驱动IC1024B的脉冲控制部1027的块结构图。存储器1039输入电流检测信号,输出脉冲控制所需要的第1时间 T_1 和第2时间 T_2 (或第1时间 T_1 和脉冲宽度 T_w)。脉冲开始决定部1040如图43所示,根据PWM信号FL和第1时间 T_1 生成栅极驱动信号SGL的上升的定时信号。脉冲宽度决定部1041根据PWM信号FL和第2时间 T_2 (或脉冲宽度 T_w),生成栅极驱动信号SGL的下降定时信号。脉冲生成部1042基于这些定时信号生成栅极驱动信号SGL,向驱动电路1028输出。

[0271] 脉冲开始决定部1040具备例如图36所示的结构。在PWM信号FL为H电平的期间中,通过经由缓存1043的栅极电压,MOS晶体管1044导通,所以电容器1045的电压为零。如果PWM信号FL下降到L电平,则MOS晶体管1044截断,通过定电流电路1046将电容器1045充电。比较器1047将电容器1045的电压与对应于第1时间 T_1 的基准电压比较,输出定时信号。脉冲宽度决定部1041也具备同样的结构。

[0272] 图44表示根据在PWM信号FL为H电平的期间中流经二极管元件1006的电流、从存储器1039输出的第1时间 T_1 即基准电压变化、由此栅极驱动信号SGL的上升的定时信号变化的状况。另外,也可以使存储器1039存储第1时间 T_1 ,使读出的值对应于元件电流而变化。

[0273] 在PWM信号FL为L电平的期间中在二极管元件1006中流经电流的情况和在晶体管元件1005中流经电流的情况中,赋予栅极驱动脉冲时的栅极驱动电压VGL的波形不同。所以,在考虑以下所述的(1)至(3)所示的事项的基础上,栅极驱动电压VGL随着驱动电路1028的栅极驱动能力而单调地增加或单调地减小,设定第1时间 T_1 和第2时间 T_2 (或第1时间 T_1 和脉冲宽度 T_w)。

[0274] (1) 死区时间 T_d

[0275] PWM信号FH、FL的死区时间 T_d 是一定时间。因此,正确地保证了从PWM信号FL为L电平到PWM信号FH为H电平的时间、以及从PWM信号FH为L电平到PWM信号FL为H电平的时间。通

过利用该死区时间 T_d ,能够在防止臂短路的同时施加栅极驱动脉冲。

[0276] (2) 镜像期间

[0277] 在晶体管元件1005中流经电流的情况下,在栅极驱动电压 V_{GL} 的施加时及切断时发生集电极-发射极间电压的变化,发生镜像期间。该镜像期间较长,例如根据条件而有为几 μsec 的时间的情况。相对于此,在二极管元件1006中流经电流的情况下,由于集电极-发射极间电压不变化,所以不发生镜像期间。

[0278] 图45表示假设存在镜像期间而设定栅极驱动脉冲的定时的情况、和假设不存在镜像期间而设定栅极驱动脉冲的定时的情况下的再注入时间。在前者的情况下,如果设想镜像期间而设定再注入时间 T_c ,则实际上不发生镜像期间,所以实际的再注入时间变得比 T_c 长。相对于此,如果假设从最初不发生镜像期间而设定,则能够设定如目标那样的再注入时间 T_c 。因而,使用除了镜像期间以外的时间设定栅极驱动脉冲的定时。由此,还有能够将栅极驱动脉冲的脉冲宽度 T_w 确保得更长的效果。

[0279] (3) 驱动电路1028的驱动能力

[0280] 在输出栅极驱动脉冲的情况下,驱动电路1028在栅极驱动电压 V_{GL} 的上升时及下降时,将切换开关1030、1034(参照图34)切换到B侧,以较高的栅极驱动能力(这里是最大的栅极驱动能力)输出栅极驱动电压 V_{GL} 。这是因为,在栅极驱动脉冲的施加期间中,在二极管元件1006中持续流经电流,所以不发生因急剧的电流变化造成的浪涌。

[0281] 此外,驱动电路1028在栅极驱动电压 V_{GL} 的上升时,维持一定的栅极驱动能力而输出栅极驱动电压 V_{GL} 。在晶体管元件1005中流经电流的情况下,采用通过在栅极驱动电压 V_{GL} 的增加过程中将栅极驱动电压 V_{GL} 暂时性地停留在中间电压 V_m (例如12V)、减小另一方的半导体元件1001A短路故障时的短路电流的方法。但是,当在半导体元件1001B的二极管元件1006中流经顺向电流时,不会发生以经由半导体元件1001A、1001B的路径短路。因此,不需要使用中间电压 V_m 的2阶段驱动。

[0282] 图46将驱动电路1028为通常的驱动能力且通过2阶段驱动输出栅极驱动电压 V_{GL} 的情况、与驱动电路1028维持较高的驱动能力而输出栅极驱动电压 V_{GL} 的情况下的波形对比表示。在驱动电路1028的驱动能力、半导体元件1001B的栅极电容等中有离差,所以在栅极驱动电压 V_{GL} 的上升时间及下降时间中也发生离差。驱动能力越低,该离差越大地显现。

[0283] 因此,在设定为使得再注入时间 T_c 总是为短路富余时间 T_m 以上的情况下,通过驱动电路1028维持较高的驱动能力而输出栅极驱动电压 V_{GL} ,能够使再注入时间 T_c 与短路富余时间 T_m 的背离变小。即,能够正确地控制再注入时间 T_c 。此外,栅极驱动脉冲的脉冲宽度 T_w 的离差减小,并且能够确保更长的脉冲宽度 T_w 。

[0284] 如以上说明,本实施方式的驱动控制装置1038A、1038B当在上下臂间通电切换时,如果判定为分别在PWM信号 F_H 、 F_L 为H电平的期间中在半导体元件1001A、1001B中以二极管元件1006的顺向的朝向流经电流,则输出指令栅极驱动脉冲的施加的栅极驱动信号 S_{GH} 、 S_{GL} 。通过该脉冲控制,储存到二极管元件1006中的空穴减少而反向恢复电流减小,所以能够减小开关损失。

[0285] 驱动IC1024A、1024B的脉冲控制部1027以PWM信号 F_H 、 F_L 的下降时点为起点,从第1时间 T_1 的经过时点到第2时间 T_2 的经过时点使栅极驱动信号 S_{GH} 、 S_{GL} 为H电平。由于PWM信号 F_H 、 F_L 的下降时点也是死区时间 T_d 的起点,所以能够有效地利用具有一定的时间的死区时

间 T_d ,在防止臂短路的同时施加栅极驱动脉冲。

[0286] 第1时间 T_1 和第2时间 T_2 (或第1时间 T_1 和脉冲宽度 T_w)基于死区时间 T_d 、对应于元件电流预先测量的栅极驱动电压 V_{GH} 、 V_{GL} 的延迟、离差及到反向恢复电流开始流动的时间设定,存储在脉冲控制部27的存储器1039中。

[0287] 当在上下臂间通电切换时,负荷电流越大,反向恢复电流流动的定时越晚。所以,在PWM信号 FH 、 FL 为H电平的期间中流经二极管元件1006的电流越大,第1时间 T_1 和第2时间 T_2 的时间宽度(脉冲宽度 T_w)设定得越长。由此,不论负荷电流的大小如何,都能够抑制与二极管元件1006对应的载流子的再注入时间 T_c (从栅极驱动脉冲的施加结束到反向恢复电流开始流动的时间)的增大,能够减小开关损失。

[0288] 设定第1时间 T_1 和第2时间 T_2 ,以使再注入时间 T_c 比零大。由此,能够防止在半桥电路4中流经短路电流。此外,脉冲宽度 T_w 被设定为规定的注入容许时间以下。由此,能够将反向恢复电流限制为与注入容许时间对应的大小以下,能够减小开关损失。

[0289] 进而,第1时间 T_1 和第2时间 T_2 考虑栅极驱动脉冲的施加时的栅极驱动电压的波形及驱动电路1028的驱动方式而设定。即,如果在二极管元件1006中流经电流时给出栅极驱动脉冲,则不发生镜像期间。所以,设为不发生镜像期间,设定第1时间 T_1 和第2时间 T_2 。

[0290] 此外,在栅极驱动脉冲的施加期间中,在二极管元件1006中持续流经电流,所以不发生因急剧的电流变化、电压变化造成的浪涌。因此,驱动电路1028按照自己具有的最大的栅极驱动能力输出栅极驱动电压 V_{GH} 、 V_{GL} 。进而,只要在二极管元件1006中流经电流,就没有短路的可能性。因此,驱动电路1028在栅极驱动电压 V_{GL} 、 V_{GH} 的上升时,维持一定的栅极驱动能力,使栅极驱动电压 V_{GL} 、 V_{GH} 单调地增加。匹配于使用这样的驱动方式的情况,设定第1时间 T_1 和第2时间 T_2 。

[0291] 这样的在栅极驱动脉冲中使用特有的驱动方式时的栅极驱动电压与使用使晶体管元件1005通断电的驱动方式时的栅极驱动电压相比,延迟或离差变小。因此,驱动IC1024A、1024B能够提高栅极驱动脉冲的施加定时的精度,能够正确地控制再注入时间 T_c 。结果,能够在防止臂短路的同时将再注入时间控制得较短,能够进一步减小开关损失。此外,能够将栅极驱动脉冲的脉冲宽度 T_w 确保得更大。进而,脉冲控制部1027由于以PWM信号 FH 、 FL 的下降时点为起点施加栅极驱动信号,所以不需要别的定时信号,从以往使用的驱动控制装置的替换变容易。

[0292] 脉冲控制部1027即使是基于脉冲控制施加栅极驱动脉冲的期间(时刻 $t_4 \sim t_6$),如果判定为在二极管元件1006中有可能不再流经电流(电流检测值成为不到规定值 I_{m2})或不流经电流,则也直接停止栅极驱动脉冲的施加。由此,即使是负荷电流急剧变化的情况,也能够可靠地防止臂短路。进而,由于不需要为负荷电流的急剧变化准备而将规定值 I_{m2} 设定得较高,所以能够将执行脉冲控制的电流范围确保得较大,能够进一步减小开关损失。

[0293] 此外,在第17实施方式中,可以是,在如在第2实施方式中记载那样在半导体元件1A、1B中使用MOS晶体管等而进行同步整流更能够减小导通损失的情况下,如果判定为在半导体元件中以二极管构造的顺向的朝向流经电流,则代替上述第1时间 T_1 ,如图7所记载那样,根据栅极驱动控制信号 S_{GL} 、 S_{GH} 的上升(t_2)和上述第2时间 T_2 以较高的驱动能力输出栅极驱动电压 V_{GH} 、 V_{GL} 。

[0294] 此外,在第17实施方式中对相当于第1实施方式的电路结构的驱动控制系统进行

了说明,但代替图33所示的电路结构(相当于第1实施方式),对于在第3、4、5、6、7、8、9的实施方式中记载的驱动控制系统也能够应用。在此情况下,也可以是,在对图8、9、10、11、12、13、14所记载的半导体元件1A、1B使用MOS晶体管等而进行同步整流更能够减小导通损失的情况下,如果判定为在半导体元件中以二极管构造的顺向的朝向流经电流,则代替上述第1时间T1,如图7所记载那样,根据栅极驱动控制信号SGL、SGH的上升(t2)和上述第2时间T2以较高的驱动能力输出栅极驱动电压VGH、VGL。

[0295] 此外,在第17实施方式中,对相当于第1实施方式的电路结构的驱动控制系统进行了说明,但代替图33所示的电路结构(相当于第1实施方式),对于第11、12、13、14、15的实施方式所记载的驱动控制系统也能够采用。在此情况下,可以是,在图17、20、21、22、23所记载的半导体元件101A、101B中使用MOS晶体管等进行同步整流更能够减小导通损失的情况下,如果判定为在半导体元件中以二极管构造的顺向的朝向流经电流,则代替上述第1时间T1,如图19所记载那样,根据栅极驱动控制信号SGL、SGH的上升(t2)和上述第2时间T2,以较高的驱动能力输出栅极驱动电压VGH、VGL。

[0296] 此外,在第17实施方式中,对相当于第1实施方式的电路结构的驱动控制系统进行了说明,但代替图33所示的电路结构(相当于第1实施方式),对于实施上述图7、19、27、32所记载的驱动控制的第1~第16实施方式的变形例所记载的驱动控制系统也能够应用。在此情况下,可以是,在半导体元件1A、1B或101A、101B中使用MOS晶体管等进行同步整流更能够减小导通损失的情况下,如果判定为在半导体元件中以二极管构造的顺向的朝向流经电流,则代替上述第1时间T1,如图27所记载那样,根据栅极驱动控制信号SGL、SGH的上升(t2、t1c、t1b)和上述第2时间T2,以较高的驱动能力输出栅极驱动电压VGH、VGL。

[0297] 以上,对本申请的优选的实施方式进行了说明,但本申请并不限定于上述实施方式,在不脱离申请的主旨的范围内能够进行各种各样的变形、扩展。

[0298] RC-IGBT并不限于沟槽栅极型,也可以是平面栅极型等。半导体元件1001A、1001B也可以是具有控制用的栅极且形成有寄生二极管的元件、例如MOS晶体管、具备MOS栅极的二极管。MOS晶体管并不限于沟槽栅极型,也可以是平面栅极型等。MOS晶体管也可以是SJ(Super Junction)构造。

[0299] 在上述实施方式中,作为电流检测单元,在半导体元件1001A、1001B中形成传感元件后装备传感电阻1007A、1007B。也可以代之而如图47所示,与去除了传感元件的半导体元件1001A、1001B串联地设置传感电阻1007A、1007B。由于传感电阻1007A、1007B与主元件直接连接,所以能够高速响应。此外,如图48所示,也可以对于半导体元件1001A、1001B设置空穴传感器1059A、1059B。也可以代替空穴传感器1059A、1059B而在从输出端子Nt到负荷的输出线中设置空穴传感器。不论是哪种结构,都能够高精度地检测电流。也可以代替空穴传感器而使用GMR(Giant Magneto Resistance)传感器等的绝缘型电流传感器。

[0300] 本申请包括下述技术方案。

[0301] 在本申请的第一技术方案中,一种驱动两个半导体元件的驱动控制装置,各个半导体元件具有形成在同一个半导体基板上的、被施加栅极驱动电压的绝缘栅极型的晶体管构造和二极管构造,上述晶体管构造的通电电极和上述二极管构造的通电电极是共通的,具备:电流检测单元,输出与在上述两个半导体元件中的至少一方中流动的电流对应的电流检测信号;第1控制单元,在基于上述电流检测信号判定为在对于上述半导体元件的输入

导通指令信号的期间中在上述半导体元件中以上述二极管构造的顺向的朝向流经电流的情况下,以然后的截断指令信号的输入时点为起点,从第1时间的经过时点到第2时间的经过时点,输出指令上述栅极驱动电压的施加的栅极驱动信号。两个半导体元件构成半桥电路。预先设定第1时间和第2时间,以使得在两个半导体元件之间不发生臂短路。

[0302] 驱动对象的半导体元件具备对于晶体管构造和二极管构造共通的栅极构造。当通电在上下臂间切换时,例如如果在一方的半导体元件的二极管构造中流经电流的状态下,第1控制单元向该一方的半导体元件施加栅极驱动电压,则储存到该二极管构造中的空穴减少,产生减小反向恢复电流的作用。

[0303] 但是,关于被输入截断指令信号的半导体元件,在以二极管构造的顺向的朝向流经元件电流(例如二极管电流)的情况、和以逆方向的朝向流经元件电流(晶体管电流)的情况中,给出栅极驱动脉冲时的栅极驱动电压的波形不同。例如,在前者的情况下不发生半导体元件间的电压—电流的急剧的变化及镜像期间,所以栅极驱动电压的上升时间及下降时间变短(或能够变短)。由此,栅极驱动脉冲的延迟及离差变小。另一方面,在后者的情况下发生半导体元件间的电压—电流的急剧的变化及镜像期间,所以栅极驱动脉冲的延迟及离差变大。驱动控制装置仅限于在半导体元件中以二极管构造的顺向的朝向流经电流的情况施加栅极驱动脉冲,所以能够进行基于前者的情况下的较小的延迟及离差的控制,能够提高施加定时的精度。

[0304] 第1控制单元输入互补地变化的高电位侧(高侧)和低电位侧(低侧)的指令信号(例如PWM信号)中的至少一方的指令信号,向至少一方侧的半导体元件施加栅极驱动电压。该指令信号在切换时具有死区时间(为了防止臂短路而两侧截断的期间)。由于死区时间是一定时间,所以正确地保证了从一方侧的截断指令信号的输入到另一方侧的导通指令信号的输入的时间。

[0305] 根据本技术方案,在预先测量上述延迟及离差而掌握死区时间后,可以以截断指令信号的输入时点为起点,正确地设定为了将栅极驱动电压在希望的定时施加而需要的栅极驱动信号的定时、即第1时间和第2时间。

[0306] 由此,能够正确地控制从对于一方的半导体元件的栅极驱动脉冲的施加结束时点到开始流经反向恢复电流的时间、例如在栅极驱动脉冲的施加结束后向二极管构造再次注入载流子(空穴)的时间(载流子的再注入时间)。结果,能够在防止臂短路的同时将再注入时间控制得较短,所以反向恢复电流减小,能够减小开关损失。此外,由于第1控制单元能够将截断指令信号作为基准定时施加栅极驱动信号,所以不需要别的定时信号,从以往使用的驱动控制装置的替换变容易。

[0307] 作为代案,驱动控制装置也可以还具备第2控制单元,所述第2控制单元在被输入对于驱动控制的上述半导体元件的导通指令信号的期间中,如果基于上述电流检测信号判定为以上述二极管构造的顺向的朝向流经的上述半导体元件的电流是电流阈值以上,则输出指令上述栅极驱动电压的切断的栅极驱动信号。第2控制单元在被输入对于驱动控制的上述半导体元件的导通指令信号的期间中,如果基于上述电流检测信号判定为以上述二极管构造的顺向的朝向流动的上述半导体元件的电流不到上述电流阈值,则输出指令上述栅极驱动电压的施加的栅极驱动信号。在上述半导体元件中以上述二极管构造的顺向的朝向流经电流的情况下,预先测量上述栅极驱动电压被切断时的导通损失与被施加上述栅极驱

动电压时的导通损失成为相等的电流值,设定为电流阈值。

[0308] 半导体元件具有栅极驱动电压被切断时和施加时的导通损失不同的特性。这是因为通过沟道的形成而空穴的注入受到影响。栅极驱动电压被切断时的导通损失和施加时的导通损失的大小关系根据半导体元件的种类、耐压等而不同。所以,在本技术方案中,预先测量该关系而设定大小关系替换的电流阈值。

[0309] 第2控制单元当在半导体元件中以二极管构造的顺向的朝向流经的电流为电流阈值以上时输出栅极驱动电压的切断指令,当不到电流阈值时输出栅极驱动电压的施加指令。由此,不论半导体元件的种类及耐压如何,都能够适当地减小导通损失。此外,由于在半导体元件中以二极管构造的逆方向的朝向流经电流的期间中可靠地施加栅极驱动电压,所以能够使晶体管构造中流经遵循导通指令信号的电流。

[0310] 作为代案,也可以是,上述第2控制单元在被输入对于驱动控制的上述半导体元件的导通指令信号的期间中,如果判定为在上述半导体元件中以上述二极管构造的顺向的朝向流经不到上述电流阈值的电流,则将指令上述栅极驱动电压的施加的栅极驱动信号超过对于该半导体元件的截断指令信号的输入时点延长到上述第2时间的经过时点而输出。

[0311] 由此,能够将第2控制单元的控制和第1控制单元的控制通过一系列的栅极驱动电压执行,能够进一步减小导通损失。

[0312] 作为代案,驱动控制装置也可以还具备第2控制单元,所述第2控制单元在被输入对于驱动控制的上述半导体元件的导通指令信号的期间中,输出指令上述栅极驱动电压的施加的栅极驱动信号,如果在该期间中判定为在上述半导体元件中以上述二极管构造的顺向的朝向流经电流,则将指令上述栅极驱动电压的施加的栅极驱动信号超过对于该半导体元件的截断指令信号的输入时点延长到上述第2时间的经过时点而输出。

[0313] 由此,能够将被输入导通指令信号的期间的栅极驱动电压和有关然后的第一控制单元的控制的栅极驱动电压作为一系列的栅极驱动电压执行,能够进一步减小导通损失。

[0314] 在本申请的第二技术方案中,一种半导体元件的驱动控制装置,被施加栅极驱动电压的绝缘栅极型的晶体管构造和二极管构造形成在同一个半导体基板上,上述晶体管构造的通电电极和上述二极管构造的通电电极为共通,具备:电流检测单元,输出与流经上述半导体元件的电流对应的电流检测信号;第2控制单元,在被输入对于上述半导体元件的导通指令信号的期间中,如果基于上述电流检测信号判定为以上述二极管构造的顺向的朝向流经的上述半导体元件的电流是上述电流阈值以上,则输出指令上述栅极驱动电压的切断的栅极驱动信号。第2控制单元在被输入对于上述半导体元件的导通指令信号的期间中,如果基于上述电流检测信号判定为以上述二极管构造的顺向的朝向流经的上述半导体元件的电流不到上述电流阈值,则输出指令上述栅极驱动电压的施加的栅极驱动信号。在上述半导体元件中以上述二极管构造的顺向的朝向流经电流的情况下,预先测量上述栅极驱动电压被切断时的导通损失与被施加上述栅极驱动电压时的导通损失为相等的电流值,设定为电流阈值。

[0315] 第2控制单元如果在被输入对于半导体元件的导通指令信号的期间中,基于电流检测信号判定为在半导体元件中以二极管构造的顺向的朝向流经的电流是电流阈值以上,则输出指令栅极驱动电压的切断的栅极驱动信号。如果判定为不到电流阈值,则输出指令栅极驱动电压的施加的栅极驱动信号。根据该结构,能够得到与上述第一技术方案同样的

作用及效果。进而,不论半导体元件的种类及耐压如何,都能够适当地减小导通损失。此外,由于在半导体元件中以二极管构造的逆方向的朝向流经电流的期间中可靠地施加栅极驱动电压,所以能够使晶体管构造流经遵循导通指令信号的电流。

[0316] 作为代案,上述第2控制单元也可以从外部输入确定上述电流阈值的阈值确定信号而构成。上述第2控制单元在被输入上述导通指令信号的期间中,将与输入的上述阈值特定信号对应的电流阈值用于流经上述半导体元件的电流的判定。

[0317] 由此,驱动控制装置能够将种类、耐压等不同的各种各样的半导体元件以较低的导通损失驱动。

[0318] 作为代案,也可以是第1控制单元或第2控制单元的至少一方执行通常控制。在通常控制中,第1控制单元或第2控制单元的至少一方在经由上述半导体元件流到负荷中的电流比规定值小的情况下,如果被输入对于驱动控制的上述半导体元件的导通指令信号,则输出指令上述栅极驱动电压的施加的栅极驱动信号。在通常控制中,第1控制单元或第2控制单元的至少一方在经由上述半导体元件流到负荷中的电流比规定值小的情况下,如果被输入对于驱动控制的上述半导体元件的截断指令信号,则输出指令上述栅极驱动电压的切断的栅极驱动信号。

[0319] 由此,能够防止因电流检测精度的下降造成的误控制。

[0320] 作为代案,驱动控制装置也可以还具备输入上述栅极驱动信号而输出上述栅极驱动电压的驱动电路。驱动电路由具有与上述栅极驱动电压对应的耐压的IC构成。

[0321] 根据该结构,按照构成半桥电路的半导体元件设置驱动控制装置。由于对于已经被广泛使用的半导体元件的驱动系统只要将驱动控制装置(驱动IC)替换就可以,所以驱动系统的变更变容易。

[0322] 作为代案,驱动控制装置也可以将构成半桥电路的两个半导体元件驱动控制。驱动控制装置由具有与向上述半桥电路施加的电源电压对应的耐压的IC构成。该IC具备输入上述栅极驱动信号而输出上述栅极驱动电压的驱动电路。上述电流检测单元可检测流经上述两个半导体元件中的至少一方的电流而设置。第1控制单元或第2控制单元的至少一方在对上述两个半导体元件中的一方的半导体元件施加上述栅极驱动电压的期间中,禁止向另一方的半导体元件的上述栅极驱动电压的施加。

[0323] 电流检测单元检测在两个半导体元件中的至少一方中流经的电流。只要能够检测一方的电流,另一方的半导体元件的电流就能够间接地检测。

[0324] 本驱动控制装置能够掌握构成半桥电路的两个半导体元件的驱动状态。控制单元在对两个半导体元件中的一方的半导体元件施加栅极驱动电压的期间中,禁止向另一方的半导体元件的栅极驱动电压的施加。由此,能够可靠地防止臂短路。

[0325] 作为代案,驱动控制装置1也可以将构成半桥电路的两个上述半导体元件驱动控制。驱动控制装置由提供第1控制单元或第2控制单元的至少一方的控制IC、基于从上述控制IC输入的栅极驱动信号对各半导体元件施加上述栅极驱动电压的驱动IC、将从上述控制IC输出的栅极驱动信号电气地绝缘并向上述驱动IC传送的绝缘电路和上述电流检测单元构成。上述控制IC在对上述两个半导体元件中的一方的半导体元件施加上述栅极驱动电压的期间中,输出禁止向另一方的半导体元件的上述栅极驱动电压的施加的栅极驱动信号。

[0326] 本驱动控制装置能够掌握构成半桥电路的两个半导体元件的驱动状态。控制IC在

对两个半导体元件中的一方的半导体元件施加栅极驱动电压的期间中,输出禁止向另一方的半导体元件的栅极驱动电压的施加的栅极驱动信号。由此,能够可靠地防止臂短路。此外,电流检测单元只要仅能够检测两个半导体元件中的一方的电流,另一方的半导体元件的电流就也能够间接地检测。

[0327] 作为代案,上述电流检测单元也可以由上述控制IC提供。

[0328] 例如,控制IC将上述各控制进行软件处理。

[0329] 在本申请的第三技术方案中,一种两个半导体元件的驱动控制装置,各个半导体元件具有形成在同一个半导体基板上的、被施加栅极驱动电压的绝缘栅极型的晶体管构造和二极管制构造,上述晶体管构造的通电电极和上述二极管制构造的通电电极是共通的,具备:电流检测单元,输出与流经上述两个半导体元件中的至少一方的电流对应的电流检测信号;控制单元,在被输入对于上述一方的半导体元件的截断指令信号时基于上述电流检测信号判定为在上述一方的半导体元件中以上述二极管制构造的顺向的朝向流经电流的情况下,在由上述电流检测单元检测到电流检测信号的变动的时点输出脉冲,以使得在两个半导体元件之间不发生臂短路,此时点是对于上述一方的半导体元件的导通指令信号的输入时点之前;两个半导体元件构成半桥电路。

[0330] 根据该结构,能够得到与上述第一技术方案同样的作用及效果。

[0331] 在本申请的第四技术方案中,一种两个半导体元件的驱动控制装置,各个半导体元件具有形成在同一个半导体基板上的、被施加栅极驱动电压的绝缘栅极型的晶体管构造和二极管制构造,上述晶体管构造的通电电极和上述二极管制构造的通电电极是共通的,具备:电压检测单元,输出基于一方的上述半导体元件的电极电位的电压检测信号;控制单元,在被输入对于上述一方的半导体元件的截断指令信号时基于上述电压检测信号判定为在上述一方的半导体元件中以上述二极管制构造的顺向的朝向流经电流的情况下,从对于上述一方的半导体元件的导通指令信号的输入时点输出脉冲,以使得在两个半导体元件之间不发生臂短路。两个半导体元件构成半桥电路。

[0332] 根据该结构,能够得到与上述第一技术方案同样的作用及效果。

[0333] 作为代案,驱动控制装置也可以还具备:电流检测单元,输出与流经至少一方的半导体元件的电流对应的电流检测信号;其他的控制单元,在被输入对于上述一方的半导体元件的截断指令信号时基于上述电流检测信号判定为在上述一方的半导体元件中以上述二极管制构造的顺向的朝向流经电流的情况下,以延迟时间量从对于上述一方的半导体元件的导通指令信号的输入时点之前输出脉冲。延迟时间在上述一方的半导体元件中开始不再流经电流的定时与上述栅极驱动电压上升的定时之间定义。

[0334] 在本申请的第五技术方案中,一种两个半导体元件的驱动控制装置,各个半导体元件具有形成在同一个半导体基板上的、被施加栅极驱动电压的绝缘栅极型的晶体管构造和二极管制构造,上述晶体管构造的通电电极和上述二极管制构造的通电电极是共通的,具备:电流检测单元,输出与流经一方的上述半导体元件的电流对应的电流检测信号;输入单元,输出对于另一方的上述半导体元件的指令信号;控制单元,是在被输入对于上述一方的半导体元件的截断指令信号时基于上述电流检测信号及上述输入单元的输入信号判定为在上述一方的半导体元件中以上述二极管制构造的顺向的朝向流经电流的情况下、对应于向上述输入单元输入截断指令信号而输出脉冲的单元,在比对于上述一方的半导体元件的导通

指令信号的输入时点规定时间前输出脉冲,以使得在两个半导体元件之间不发生臂短路。两个半导体元件构成半桥电路。

[0335] 根据该结构,能够得到与上述第一技术方案同样的作用及效果。

[0336] 在本申请的第六技术方案中,一种两个半导体元件的驱动控制装置,各个半导体元件具有形成在同一个半导体基板上的、被施加栅极驱动电压的绝缘栅极型的晶体管构造和二极管构造,上述晶体管构造的通电电极和上述二极管构造的通电电极是共通的,具备:电压检测单元,输出基于一方的上述半导体元件的电极电位的电压检测信号;输入单元,输入对于另一方的上述半导体元件的指令信号;控制单元,是在被输入对于上述一方的半导体元件的截断指令信号时基于上述电压检测信号及上述输入单元的输入信号判定为在上述一方的半导体元件中以上述二极管构造的顺向的朝向流经电流的情况下、对应于向上述输入单元输入截断指令信号而输出脉冲的单元,比对于上述一方的半导体元件的导通指令信号的输入时点规定时间前输出脉冲,以使得在两个半导体元件之间不发生臂短路。两个半导体元件构成半桥电路。

[0337] 根据该结构,能够得到与上述第一技术方案同样的作用及效果。

[0338] 作为代案,驱动控制装置也可以还具备输出与另一方的上述半导体元件的控制电压对应的控制电压检测信号的控制电压检测单元。上述控制单元基于上述控制电压检测单元的控制电压检测信号的变动输出脉冲。

[0339] 在本申请的第七技术方案中,一种两个半导体元件的驱动控制装置,各个半导体元件具有形成在同一个半导体基板上的、被施加栅极驱动电压的绝缘栅极型的晶体管构造和二极管构造,上述晶体管构造的通电电极和上述二极管构造的通电电极是共通的,具备:电压检测单元,输出与至少一方的半导体元件的电极电位对应的电压检测信号;控制单元,在被输入对于上述一方的半导体元件的截断指令信号时基于上述电压检测信号判定为在上述一方的半导体元件中以上述二极管构造的顺向的朝向流经电流的情况下,以然后经过导通指令信号的输入被输入截断指令信号的时点为起点,从第1时间的经过时点到第2时点的经过时点,输出指令上述栅极驱动电压的施加的栅极驱动信号。预先设定第1时间和第2时间,以使得在两个半导体元件之间不发生臂短路。两个半导体元件构成半桥电路。

[0340] 根据该结构,能够得到与上述第一技术方案同样的作用及效果。

[0341] 作为代案,上述控制单元也可以通过由上述电压检测部判定电压是否变动,判定流经负荷的电流。上述控制单元如果判定上述负荷的电流是0附近的规定范围,则输出指令上述栅极驱动电压的切断的栅极驱动信号。上述控制单元如果判定上述负荷的电流是0附近的规定范围外,则输出指令上述栅极驱动电压的施加的栅极驱动信号。

[0342] 作为代案,上述控制单元也可以如果在被输入对于驱动控制的上述半导体元件的导通指令信号的期间中基于上述电压检测信号判定为以上述二极管构造的顺向的朝向流经,则输出指令上述栅极驱动电压的切断的栅极驱动信号。上述控制单元如果在被输入对于驱动控制的上述半导体元件的导通指令信号的期间中基于上述电压检测信号判定为没有以上述二极管构造的顺向的朝向流经,则输出指令上述栅极驱动电压的施加的栅极驱动信号。

[0343] 作为代案,驱动控制装置也可以还具备输入上述栅极驱动信号而输出上述栅极驱动电压的驱动电路。驱动电路由具有与上述栅极驱动电压对应的耐压的IC构成。

[0344] 作为代案,驱动控制装置也可以将构成半桥电路的两个上述半导体元件驱动控制。驱动控制装置由具有与向上述半桥电路施加的电源电压对应的耐压的IC构成。该IC提供输入上述栅极驱动信号而输出上述栅极驱动电压的驱动电路。上述电压检测单元可检测上述两个半导体元件中的至少一方的电压而设置。上述控制单元在对上述两个半导体元件中的一方的半导体元件施加上述栅极驱动电压的期间中,禁止向另一方的半导体元件的上述栅极驱动电压的施加。

[0345] 作为代案,驱动控制装置也可以将构成半桥电路的两个上述半导体元件驱动控制。驱动控制装置由具有上述控制单元的控制IC、基于从上述控制IC输入的栅极驱动信号向上述半导体元件施加上述栅极驱动电压的驱动IC、将从上述控制IC输出的栅极驱动信号电气地绝缘并向上述驱动IC传送的绝缘电路和上述电压检测单元构成。上述控制IC在对上述两个半导体元件中的一方的半导体元件施加上述栅极驱动电压的期间中,输出禁止向另一方的半导体元件的上述栅极驱动电压的施加的栅极驱动信号。

[0346] 作为代案,上述电压检测单元也可以由上述控制IC提供。

[0347] 作为代案,上述电压检测单元也可以在上述半导体元件的元件形成区域的外周侧离开而形成在半导体基板上。上述电压检测单元使用与上述半导体基板的导电型逆导电型的电场限制圈检测中间电位。

[0348] 在本申请的第八技术方案中,一种半导体元件的驱动控制装置,在同一个半导体基板上形成有被施加栅极驱动电压的绝缘栅极型的晶体管构造和二极管构造,上述晶体管构造的通电电极和上述二极管构造的通电电极为共通的电极,具备:电流检测单元,输出与流经上述半导体元件的电流对应的电流检测信号;控制单元,在基于上述电流检测信号判定为在被输入对于上述半导体元件的导通指令信号的期间中在上述半导体元件中以上述二极管构造的顺向的朝向流经电流的情况下,以以后的截断指令信号的输入时点为起点,从预先设定的第1时间的经过时点到第2时间的经过时点,输出指令上述栅极驱动电压的施加的栅极驱动信号;驱动电路,输入上述栅极驱动信号,输出上述栅极驱动电压。上述第1时间和上述第2时间的时间宽度被设定为与在被输入对于上述半导体元件的导通指令信号的期间中流经上述半导体元件的电流的大小对应的值。

[0349] 驱动对象的半导体元件具备对于晶体管构造和二极管构造共通的栅极构造。当在上下臂间通电切换时,例如如果在一方的半导体元件的二极管构造中流经电流的状态下,控制单元对该一方的半导体元件施加栅极驱动电压,则储存到该二极管构造中的空穴减少,发生减小反向恢复电流的作用。

[0350] 但是,关于被输入截断指令信号的半导体元件,在以二极管构造的顺向的朝向流经元件电流(例如二极管电流)的情况、和以逆方向的朝向流经元件电流(晶体管电流)的情况中,给出栅极驱动脉冲时的栅极驱动电压的波形不同。例如,在前者的情况下不发生急剧的电流变化、电压变化及镜像期间,所以栅极驱动电压的上升时间及下降时间变短(或能够变短)。由此,栅极驱动脉冲的延迟及离差变小。另一方面,在后者的情况下发生急剧的电流变化、电压变化及镜像期间,所以栅极驱动脉冲的延迟及离差变大。由于驱动控制装置仅限于在半导体元件中以二极管构造的顺向的朝向流经电流的情况施加栅极驱动脉冲,所以能够进行基于前者的情况下的较小的延迟及离差的控制,能够提高施加定时的精度。

[0351] 上述半导体元件例如夹着输出端子串联地配设高电位侧(高侧)和低电位侧(低

侧)而构成半桥电路。驱动控制装置输入互补地变化的高侧和低侧的指令信号(例如PWM信号)中的至少一方的指令信号,向至少一方侧的半导体元件施加栅极驱动电压。该指令信号在切换时具有死区时间。由于死区时间是一定时间,所以正确地保证了从一方侧的截断指令信号的输入到另一方侧的导通指令信号的输入的时间。

[0352] 控制单元预先测量上述延迟及离差,在掌握死区时间后,将第1时间和第2时间的时间宽度控制为与在被输入对于半导体元件的导通指令信号的期间中流经半导体元件的电流的大小对应的值。由此,能够以截断指令信号的输入时点为起点,正确地设定为了将栅极驱动电压在希望的定时施加所需要的栅极驱动信号的定时、即第1时间和第2时间。

[0353] 结果,能够正确地控制从对于一方的半导体元件的栅极驱动脉冲的施加结束时点到反向恢复电流开始流经的时间、例如在栅极驱动脉冲的施加结束后向该二极管构造再次注入载流子(空穴)的时间(载流子的再注入时间)。因而,根据本技术方案,能够在防止臂短路的同时将再注入时间控制得较短,所以反向恢复电流减小,能够减小开关损失。此外,由于控制单元能够将截断指令信号作为基准定时施加栅极驱动信号,所以不再需要别的定时信号,从以往使用的驱动控制装置的替换变容易。

[0354] 作为代案,该半导体元件也可以包括一方的半导体元件和另一方的半导体元件。一方的半导体元件和另一方的半导体元件构成半桥电路。设定上述第1时间和上述第2时间,以使得在上述半导体元件中以上述二极管构造的顺向的朝向流经电流的状态下被输入截断指令信号后,在经过一定的死区时间而对另一方的半导体元件输入了导通指令信号时,上述第2时间经过而上述栅极驱动电压被切断的时点和在上述另一方的半导体元件的晶体管构造中开始流经超过流经该一方的半导体元件的电流的电流的时点的时间宽度比零大且为规定的注入容许时间以下。

[0355] 上述时间宽度是上述载流子再注入时间。通过将此时间设定得比零大,能够防止在半桥电路中流经短路电流。此外,通过将此时间设定为规定的注入容许时间以下,能够将反向恢复电流限制为与注入容许时间对应的大小,能够减小开关损失。

[0356] 作为代案,也可以设定上述第1时间和第2时间的时间宽度,以使得在被输入对于上述半导体元件的导通指令信号的期间中流经该半导体元件的电流越大,其为越长的时间。

[0357] 根据上述,设定第1时间和第2时间的时间宽度,以使得在被输入对于半导体元件的导通指令信号的期间中流经该半导体元件的电流越大,其为越长的时间。这是因为,电流越大,从被输入截断指令信号的时点到反向恢复电流开始流经的时间越长。由此,不论电流的大小如何,都能够抑制再注入时间的增大,能够减小开关损失。

[0358] 作为代案,也可以使得基于从上述第1时间的经过时点到第2时间的经过时点输出的栅极驱动信号的上述栅极驱动电压随着上述驱动电路的栅极驱动能力而单调地增加或单调地减小,设定上述第1时间和上述第2时间。

[0359] 在截断指令信号的输入后施加的上述栅极驱动脉冲具有使储存到二极管构造中的空穴减少的作用,不具有使半导体元件通电或断电的作用。因此,晶体管元件的通电端子间(CE间、DS间)的电压不变化,不发生镜像期间。此外,在栅极驱动脉冲的施加期间中,由于在半导体元件中以二极管构造的顺向的朝向持续流经电流,所以也不需要具有为臂短路准备的保护作用的特别的栅极驱动电压。因而,通过使栅极驱动电压单调地增减而设定栅极

驱动信号,能够将载流子再注入时间控制为希望的值。

[0360] 作为代案,也可以使得在基于从上述第1时间的经过时点到第2时间的经过时点输出的栅极驱动信号的上述栅极驱动电压中不发生镜像期间,设定上述第1时间和上述第2时间。

[0361] 根据上述,使得在基于从第1时间的经过时点到第2时间的经过时点输出的栅极驱动信号的栅极驱动电压中不发生镜像期间,设定第1时间和第2时间。由此,相对于设想镜像期间的发生而进行了栅极驱动信号的设定的情况,能够抑制载流子再注入时间的增大。

[0362] 作为代案,驱动电路也可以当在上述第1时间的经过时点上述栅极驱动信号变化时,维持一定的栅极驱动能力而输出上述栅极驱动电压。

[0363] 根据上述,驱动电路当在第1时间的经过时点栅极驱动信号变化时,维持一定的栅极驱动能力而输出栅极驱动电压。在使半导体元件通电的驱动中,使用通过在栅极驱动电压的增加过程中将栅极驱动电压暂时性地停留在中间电压、来减小半导体元件短路故障时的短路电流的方法。但是,如果在适当的定时施加栅极驱动脉冲,则不会流经短路电流。根据本技术方案,通过维持一定的栅极驱动能力将无用的中间电压排除,能够减小栅极驱动电压的上升时间的离差,正确地控制再注入时间。

[0364] 作为代案,上述驱动电路也可以当在上述第1时间的经过时点及上述第2时间的经过时点上述栅极驱动信号变化时,以比将上述半导体元件通断电时高的驱动能力输出上述栅极驱动电压。

[0365] 根据上述,驱动电路当在第1时间的经过时点及第2时间的经过时点栅极驱动信号变化时,以比将半导体元件通断电时高的驱动能力输出栅极驱动电压。这是因为,在栅极驱动脉冲的施加期间中,在半导体元件中以二极管构造的顺向的朝向持续流经电流,所以不发生因急剧的电流变化、电压变化造成的浪涌。由此,能够减小栅极驱动电压的上升时间及下降时间的离差,正确地控制再注入时间。

[0366] 在此,本申请所记载的流程图或流程图的处理由多个部(或称作步骤)构成,各部例如被表现为S100。进而,各部可以分割为多个子部,另一方面,也可以多个部合并成为一个部。进而,这样构成的各部可以称作设备、模块、方法。

[0367] 本申请依据实施例进行了记述,但应理解的是本申请并不限于该实施例及构造。本申请也包含各种各样的变形例及等同范围内的变形。除此以外,各种各样的组合及形态、还有在它们中仅包含一要素、其以上或其以下的其他组合及形态也包含在本申请的范畴及思想范围中。

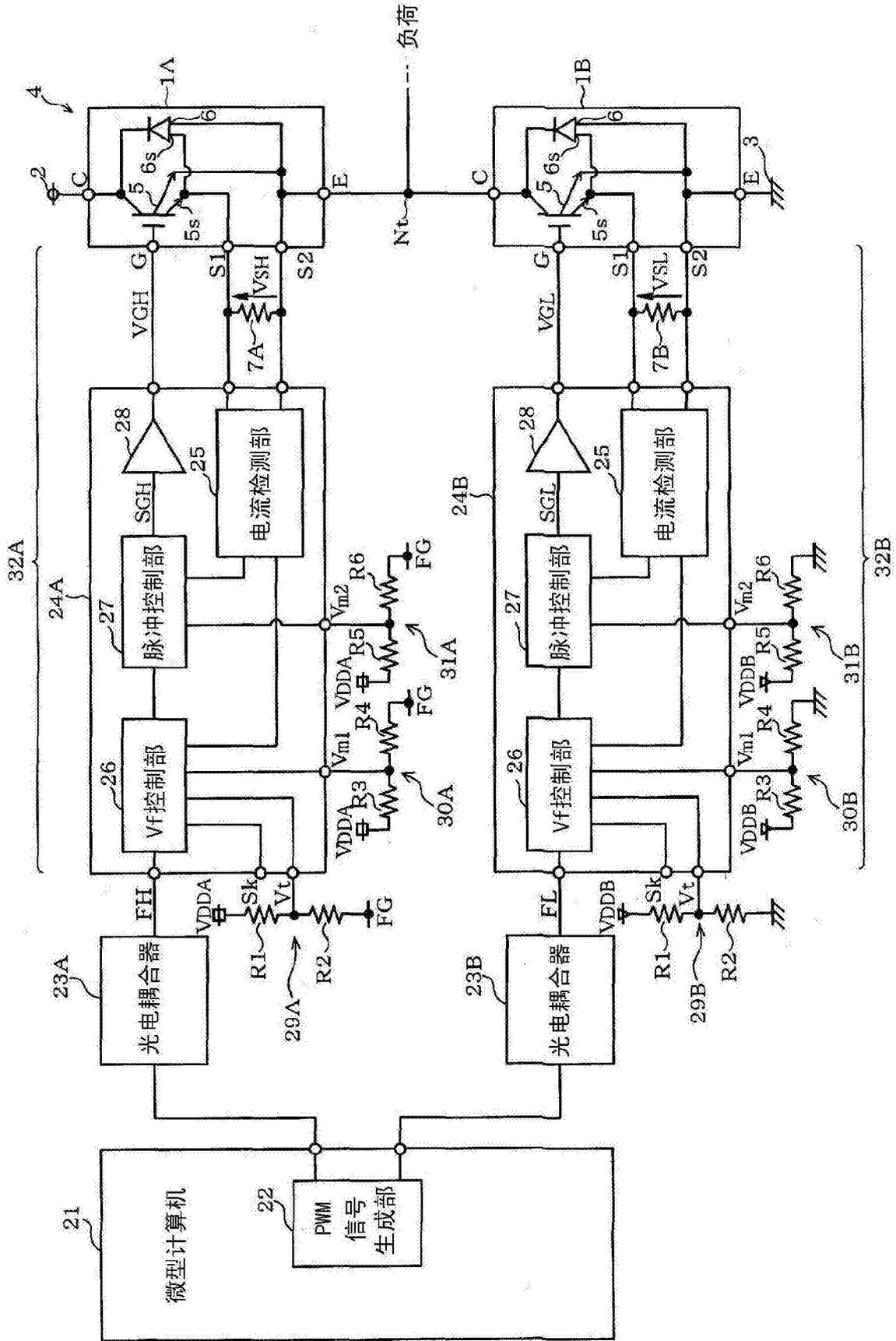


图1

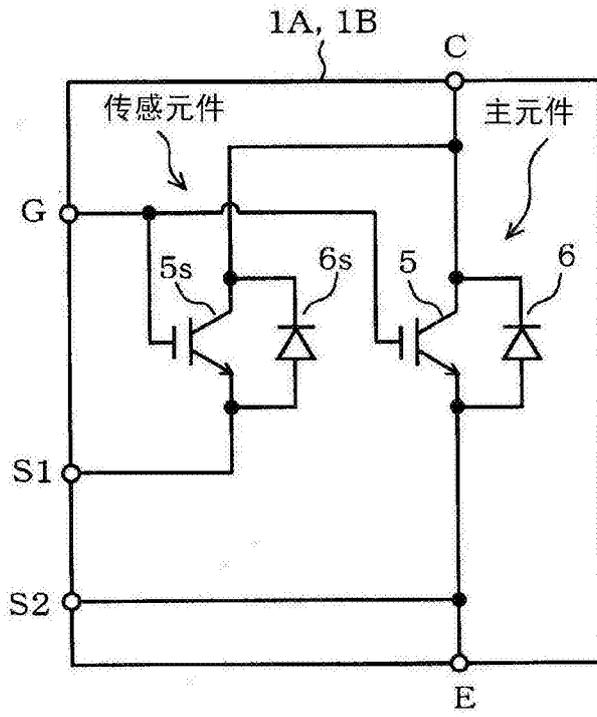


图2

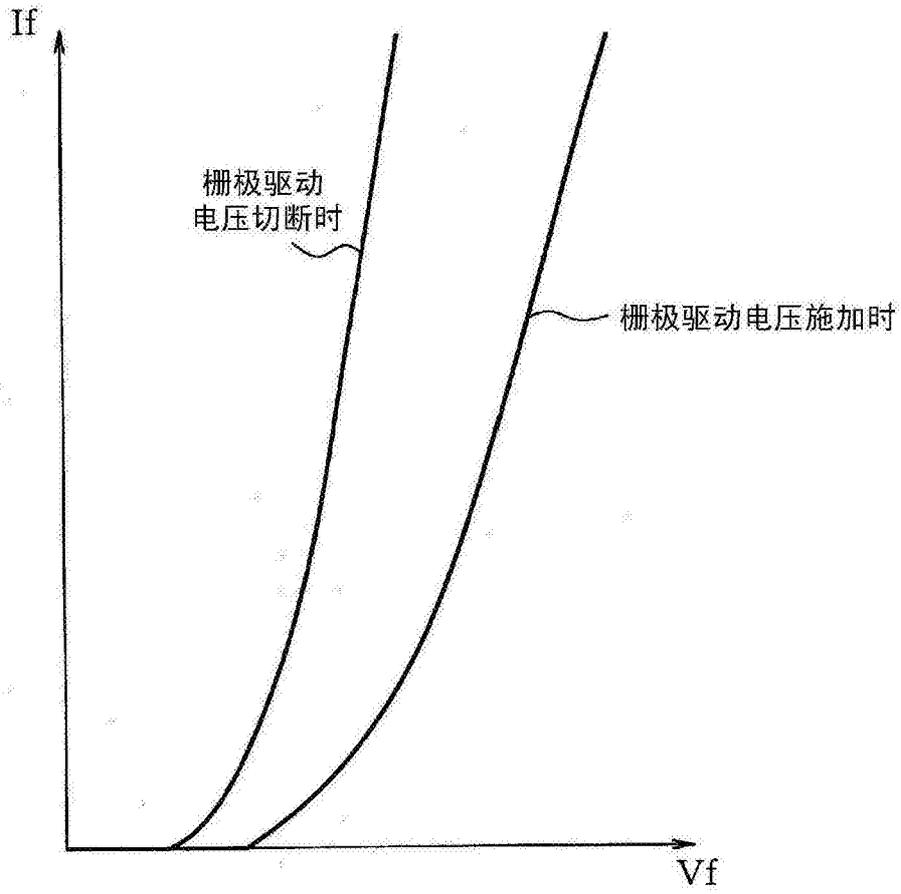


图4

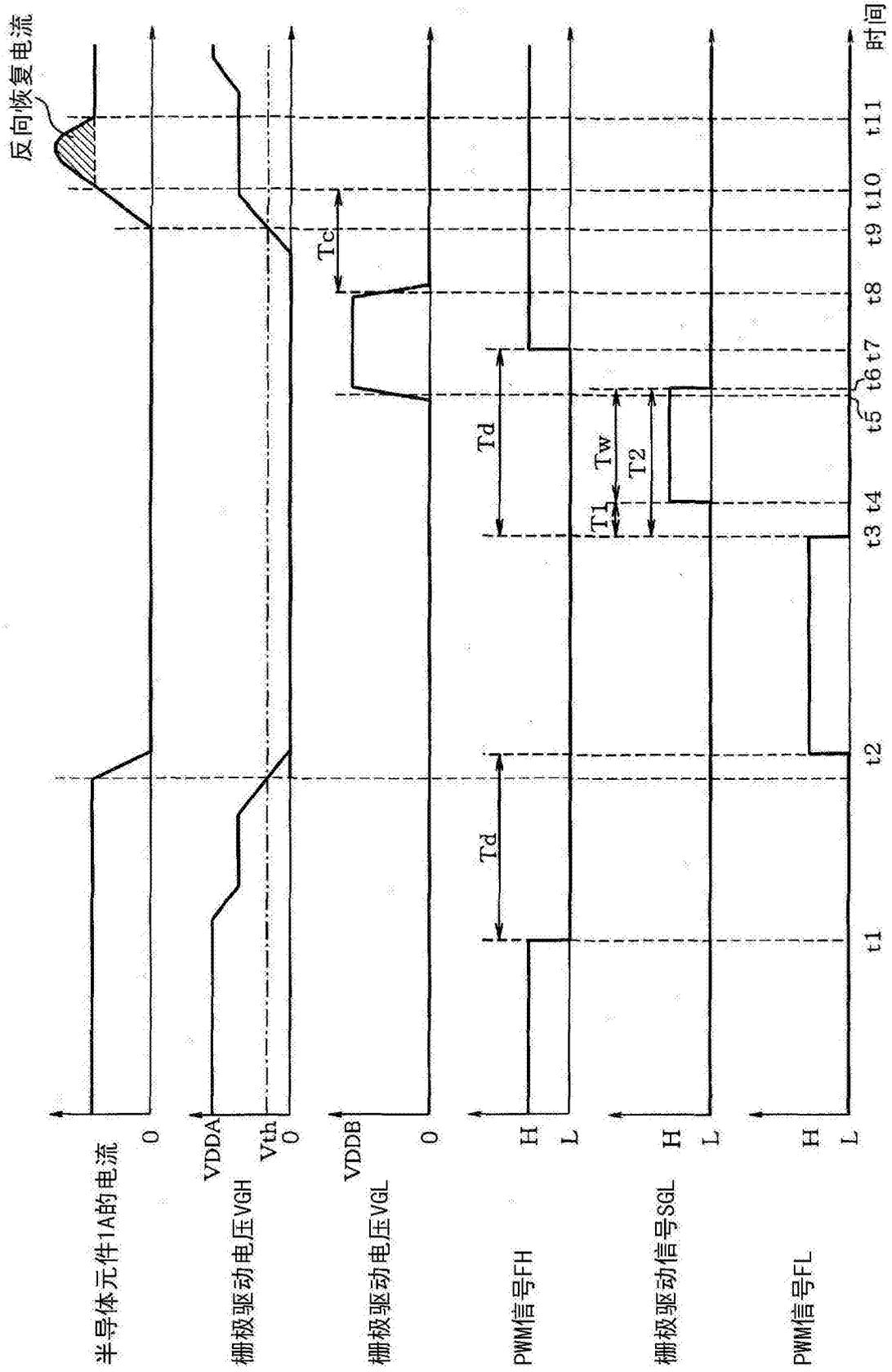


图5

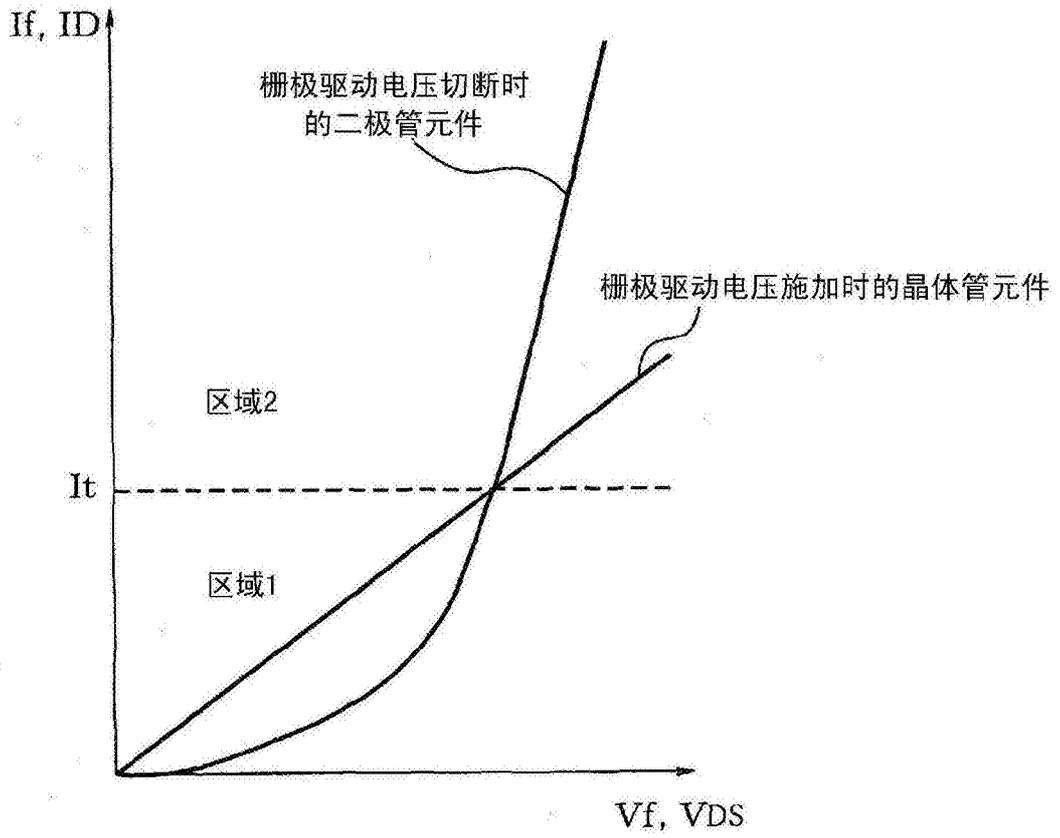


图6

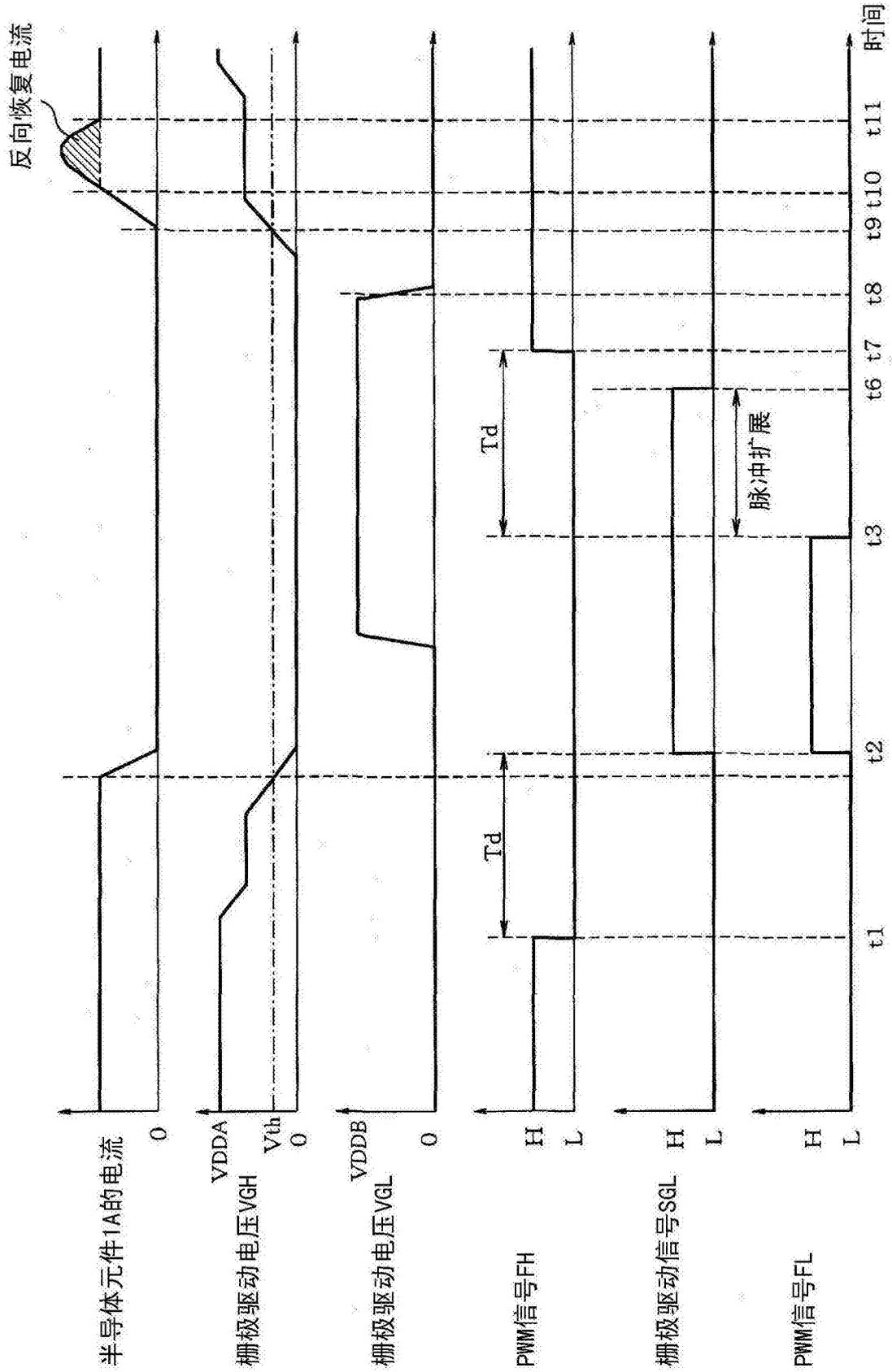


图7

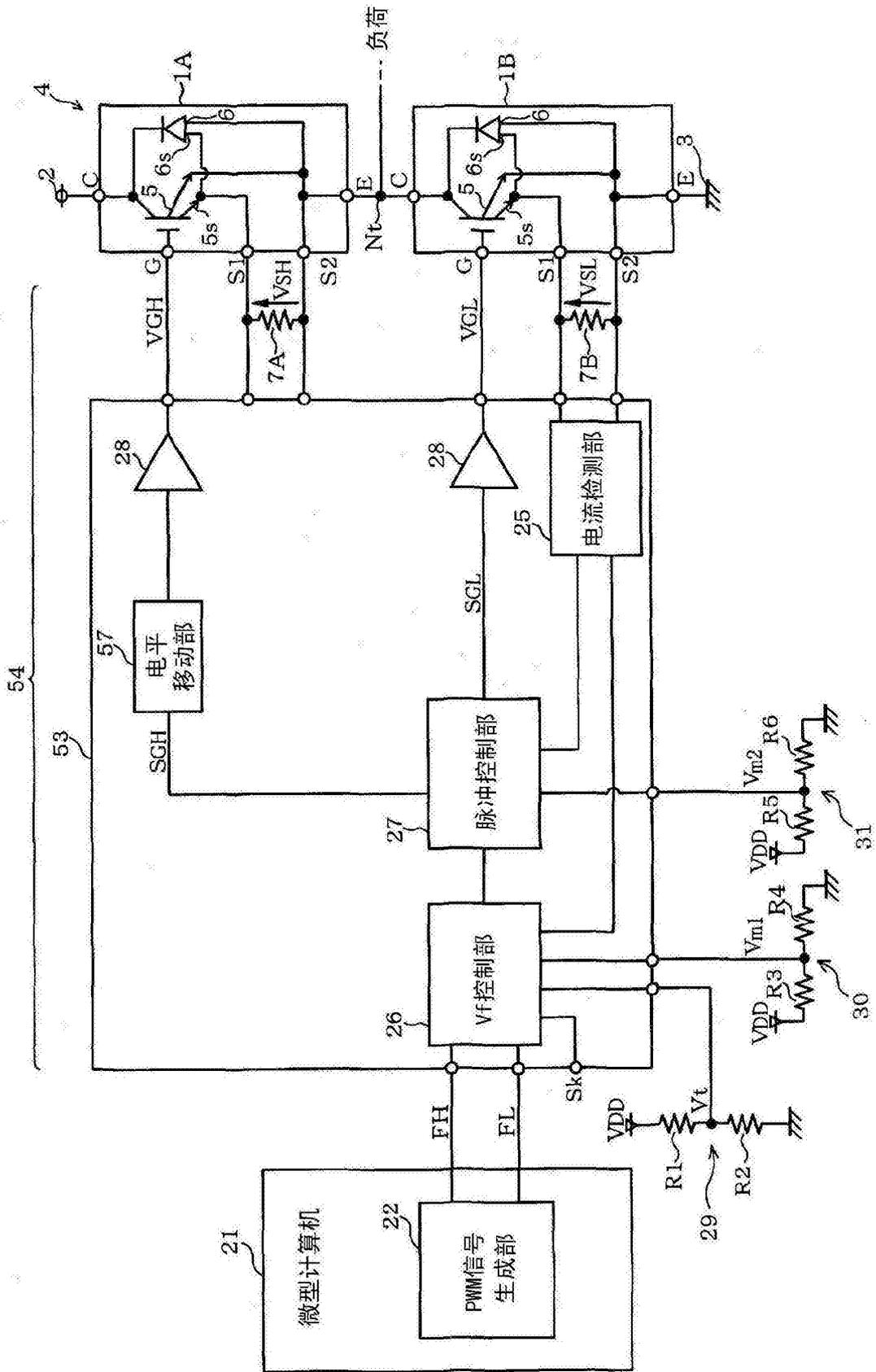


图9

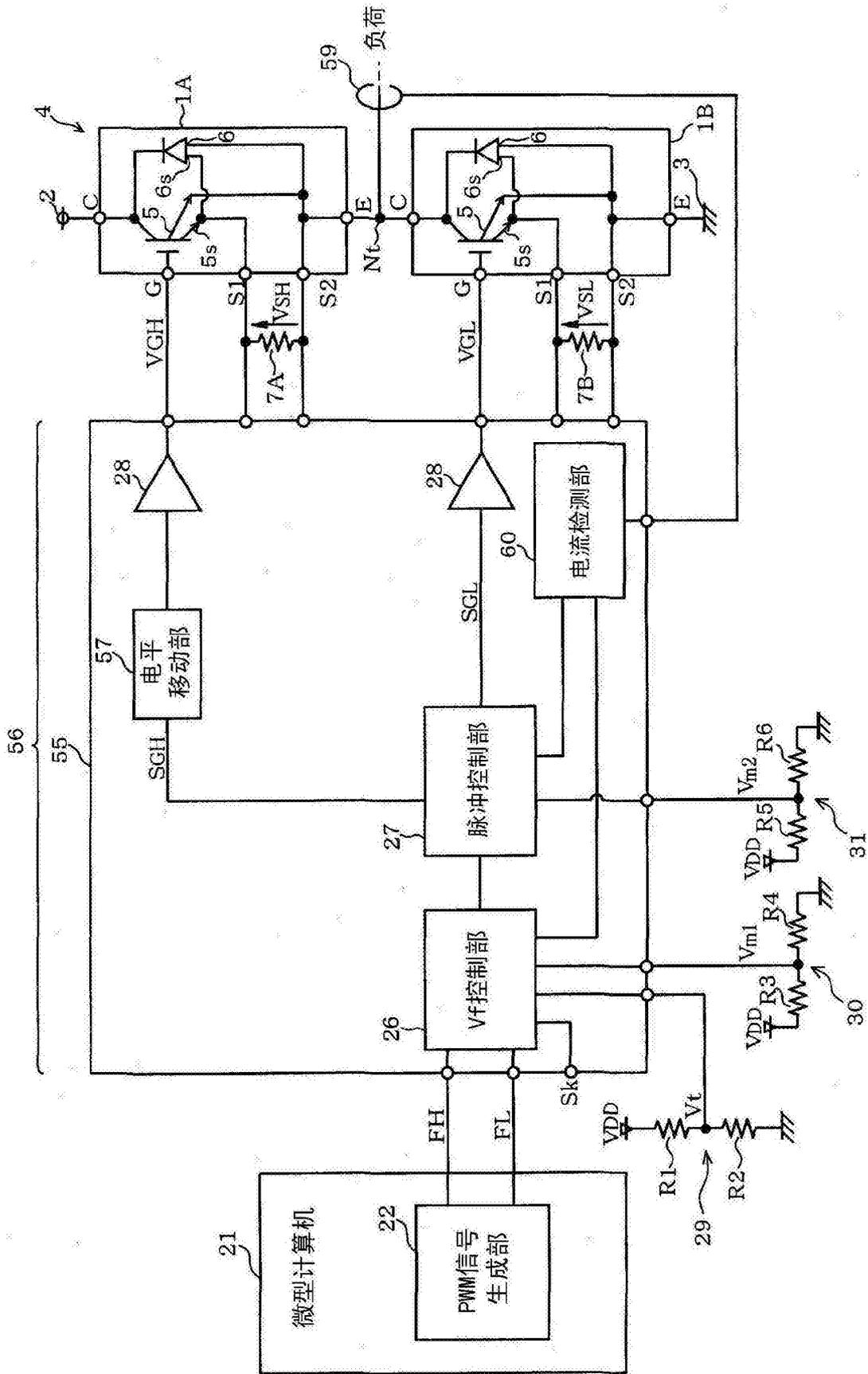


图10

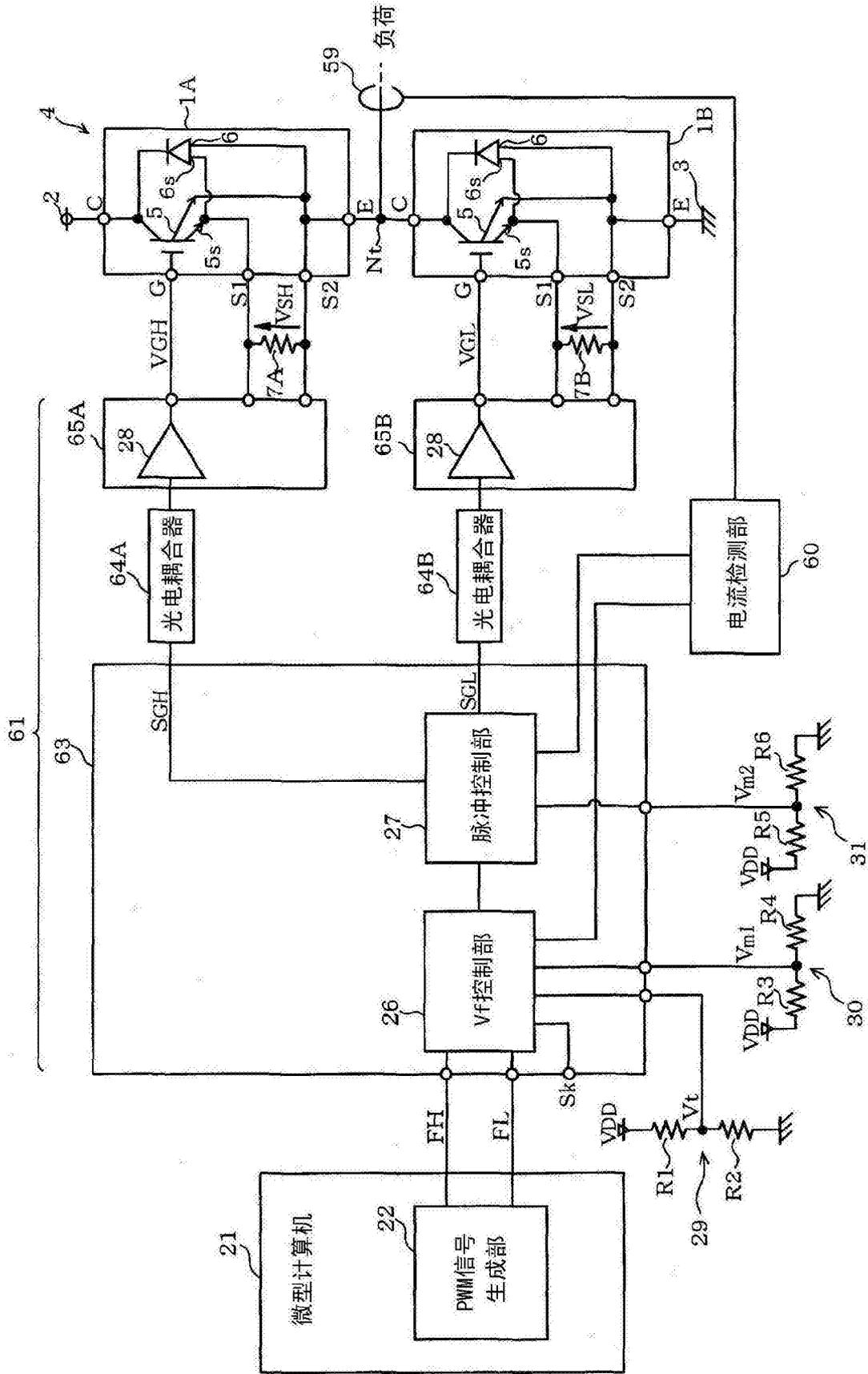


图11

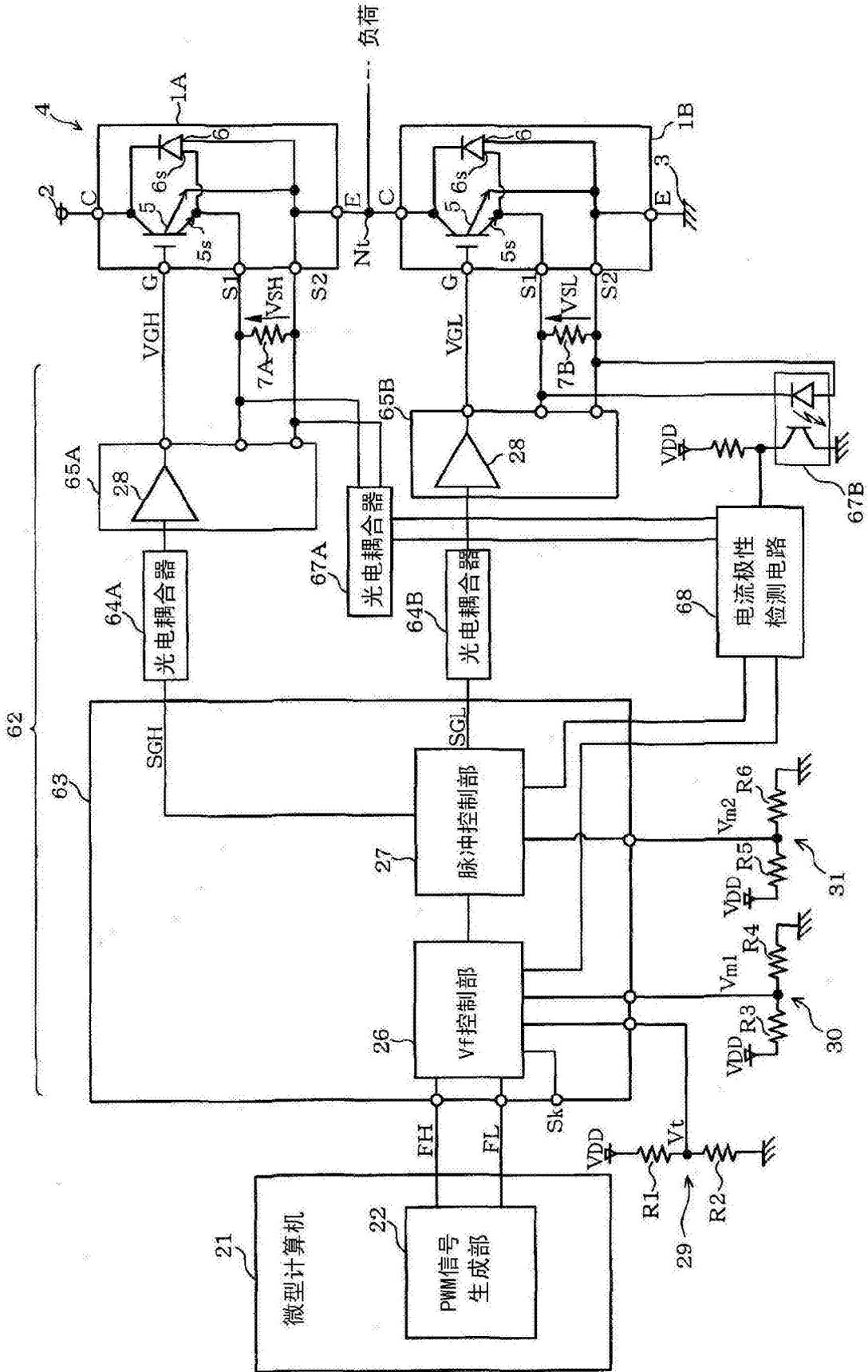


图12

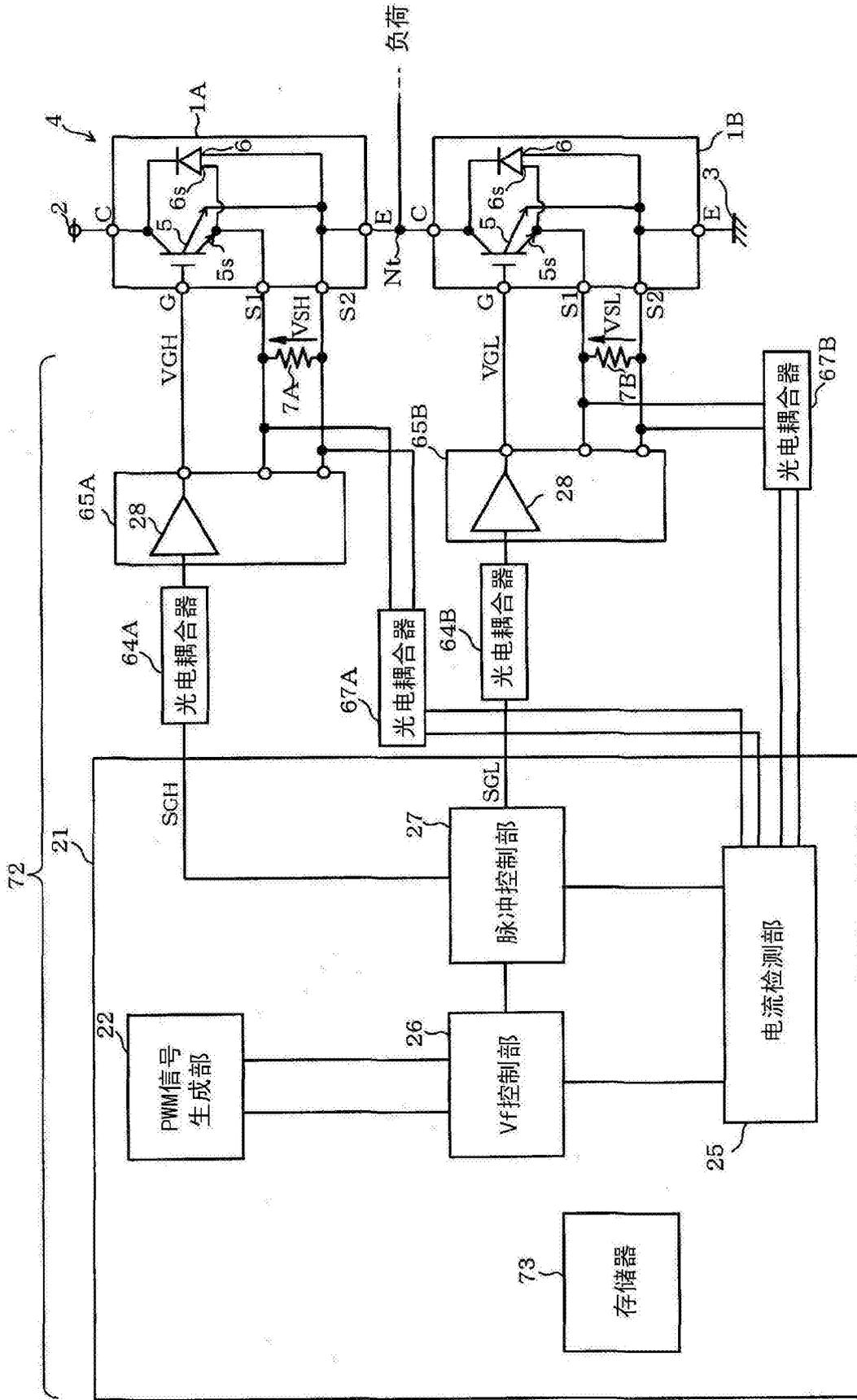


图14

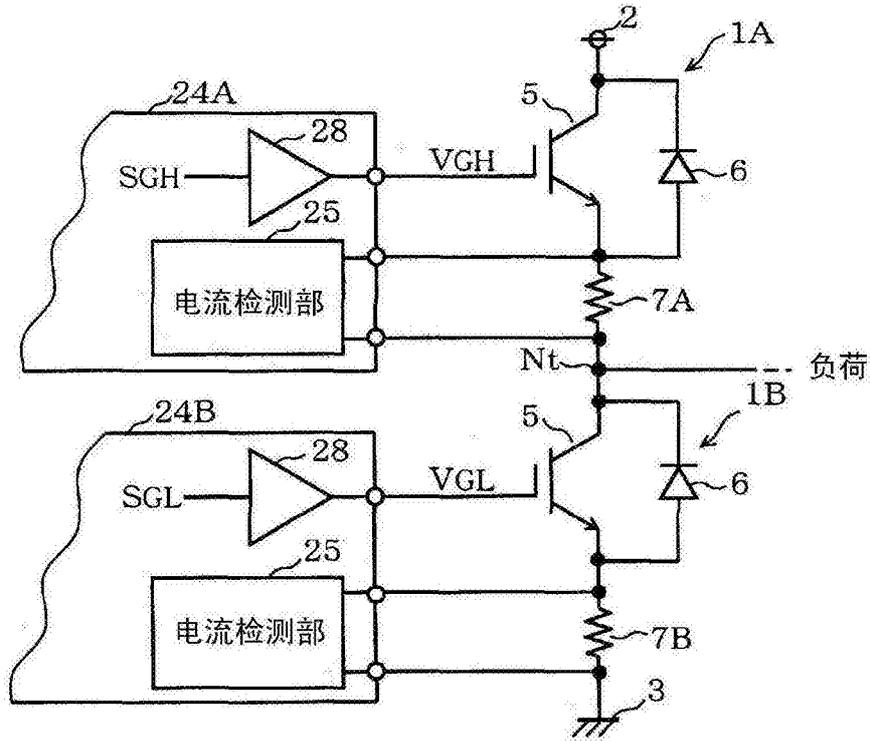


图15

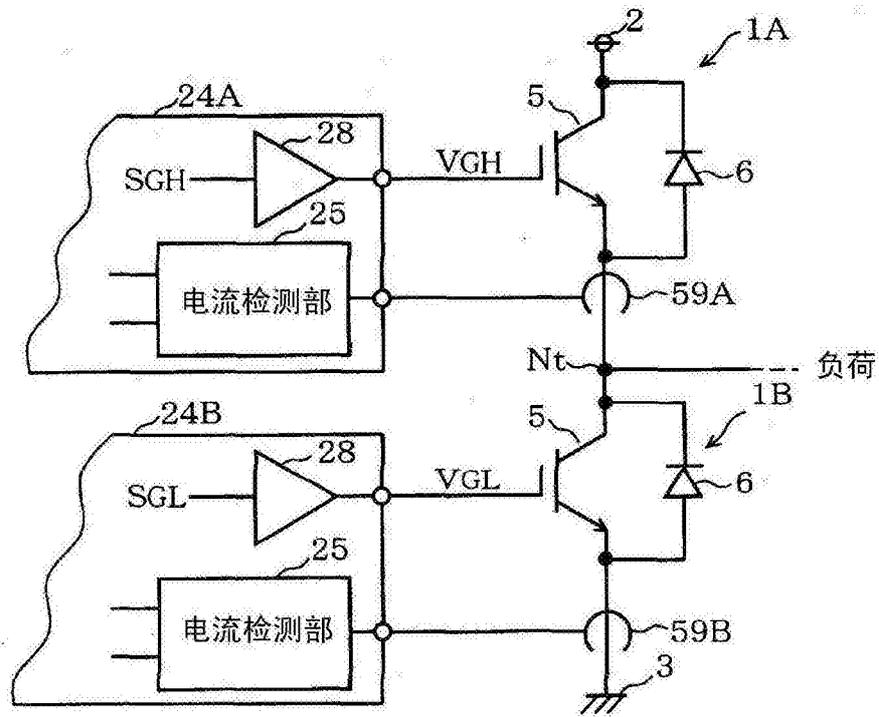


图16

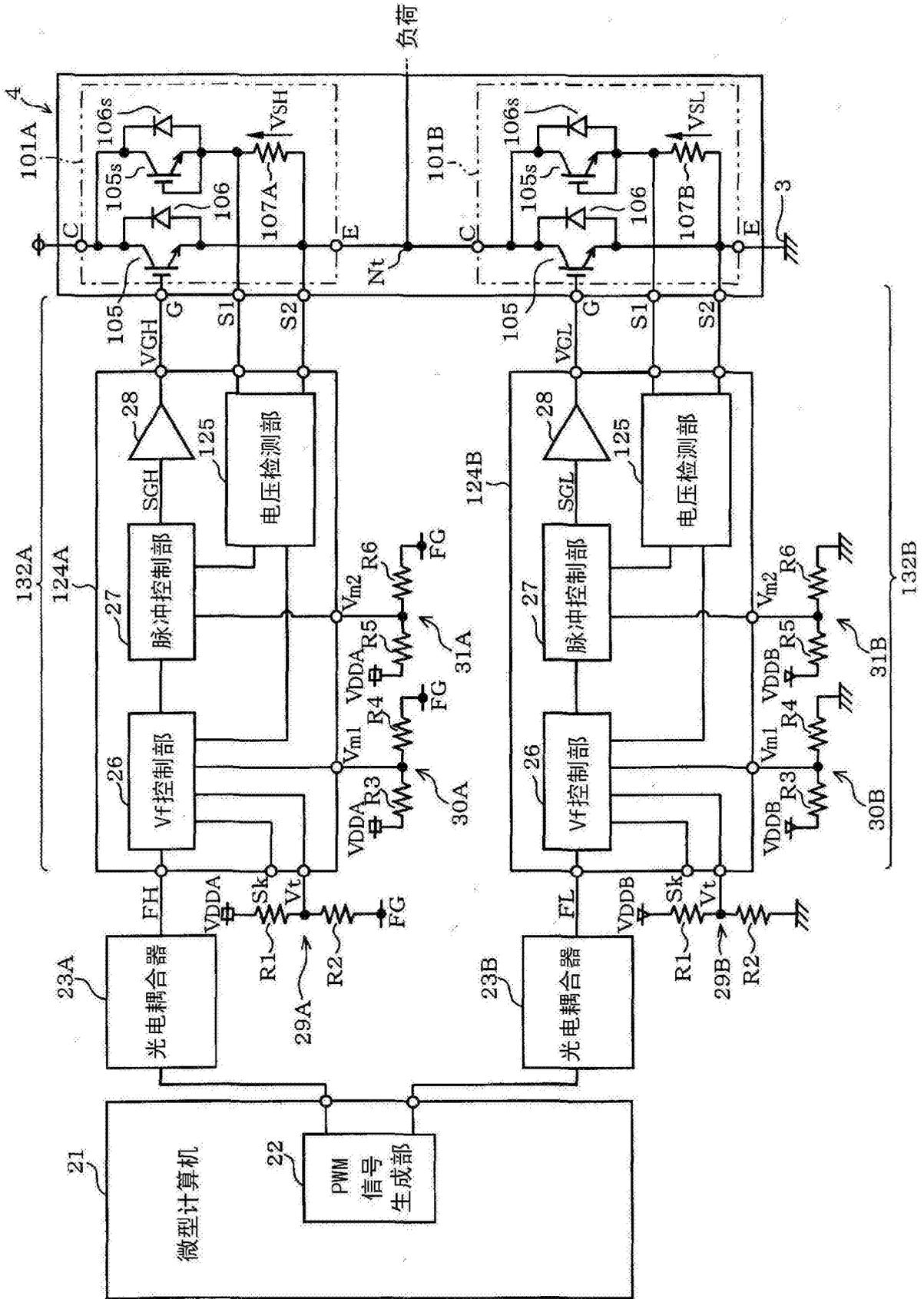


图17

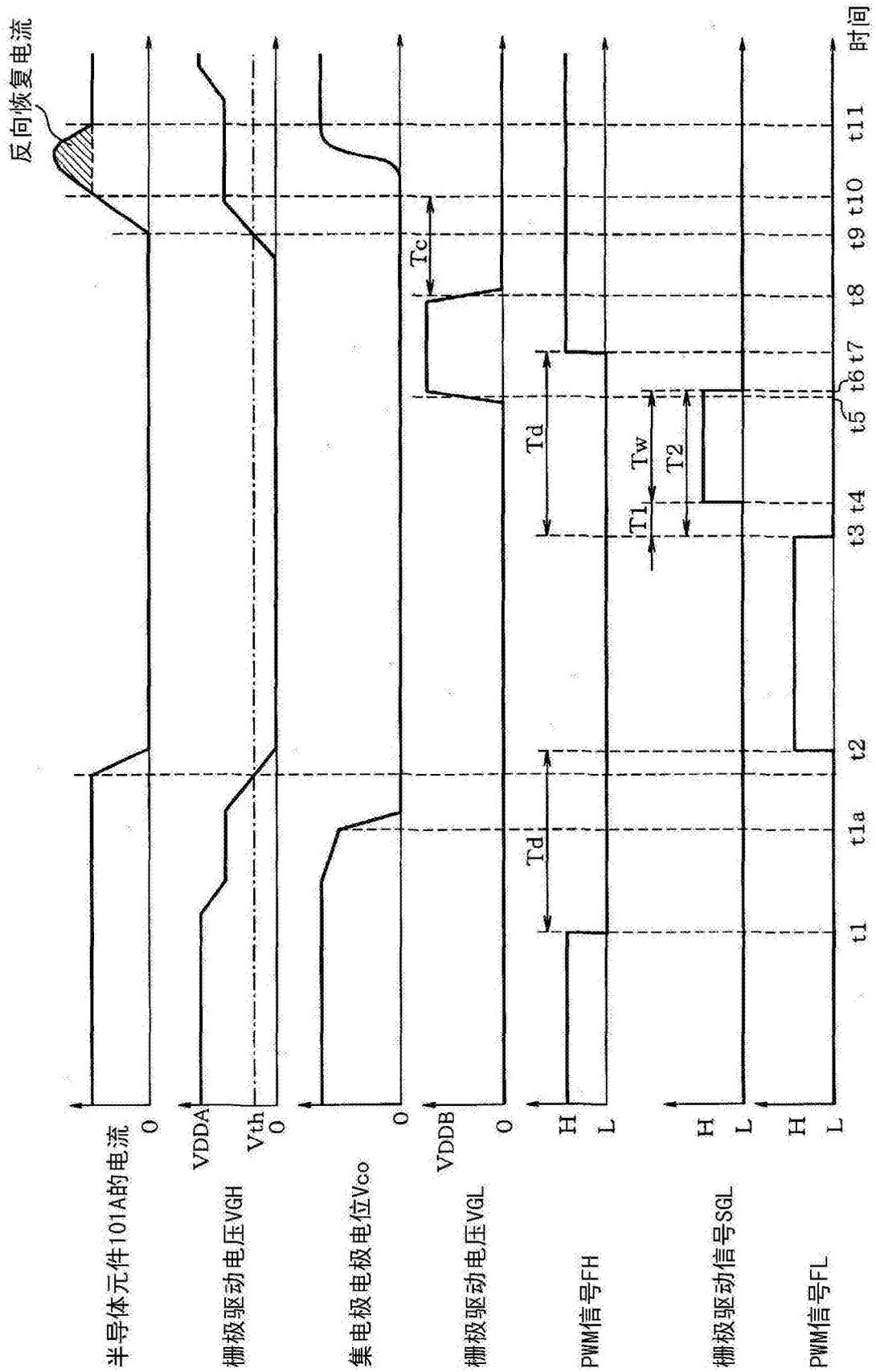


图18

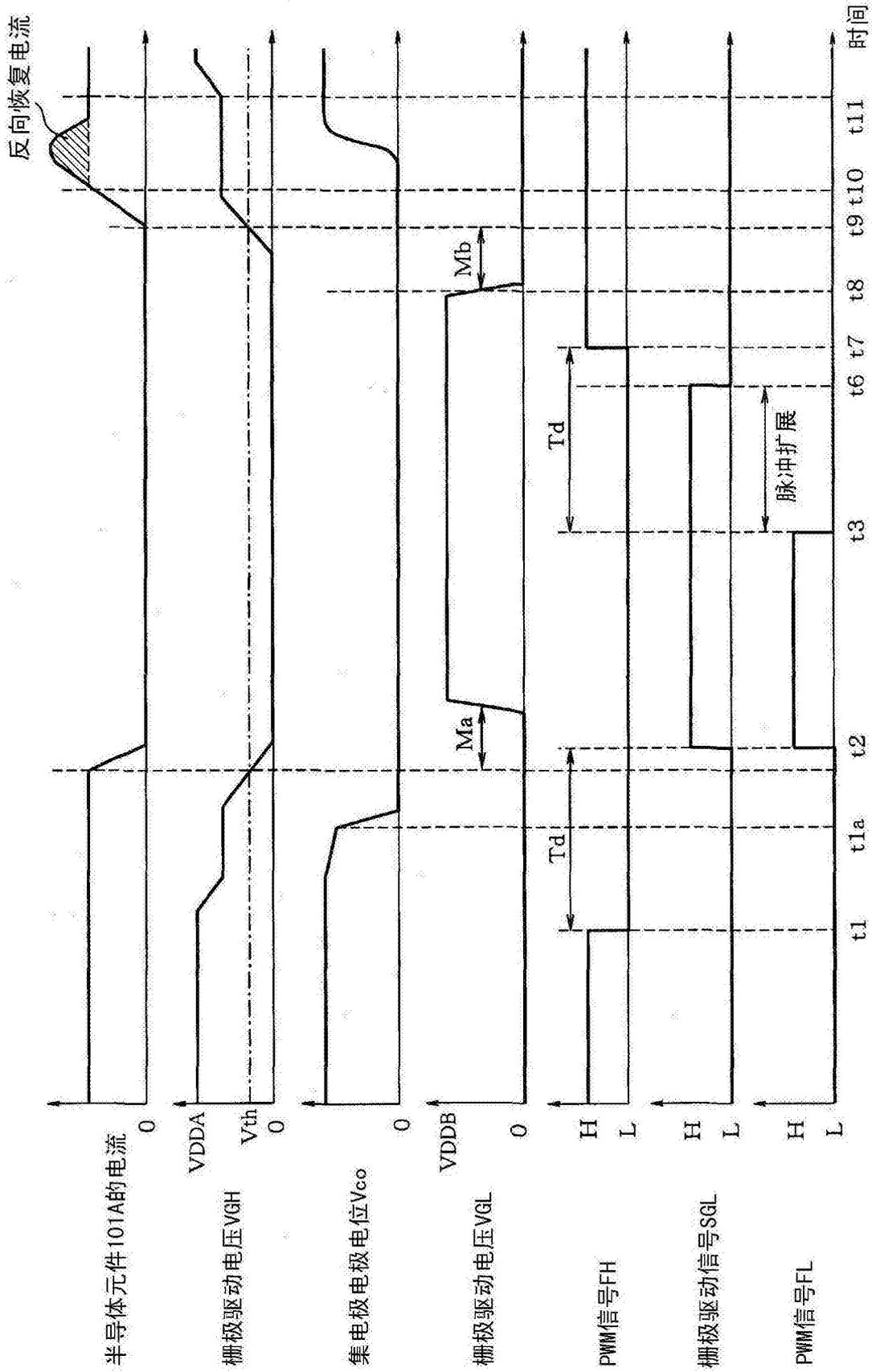


图19

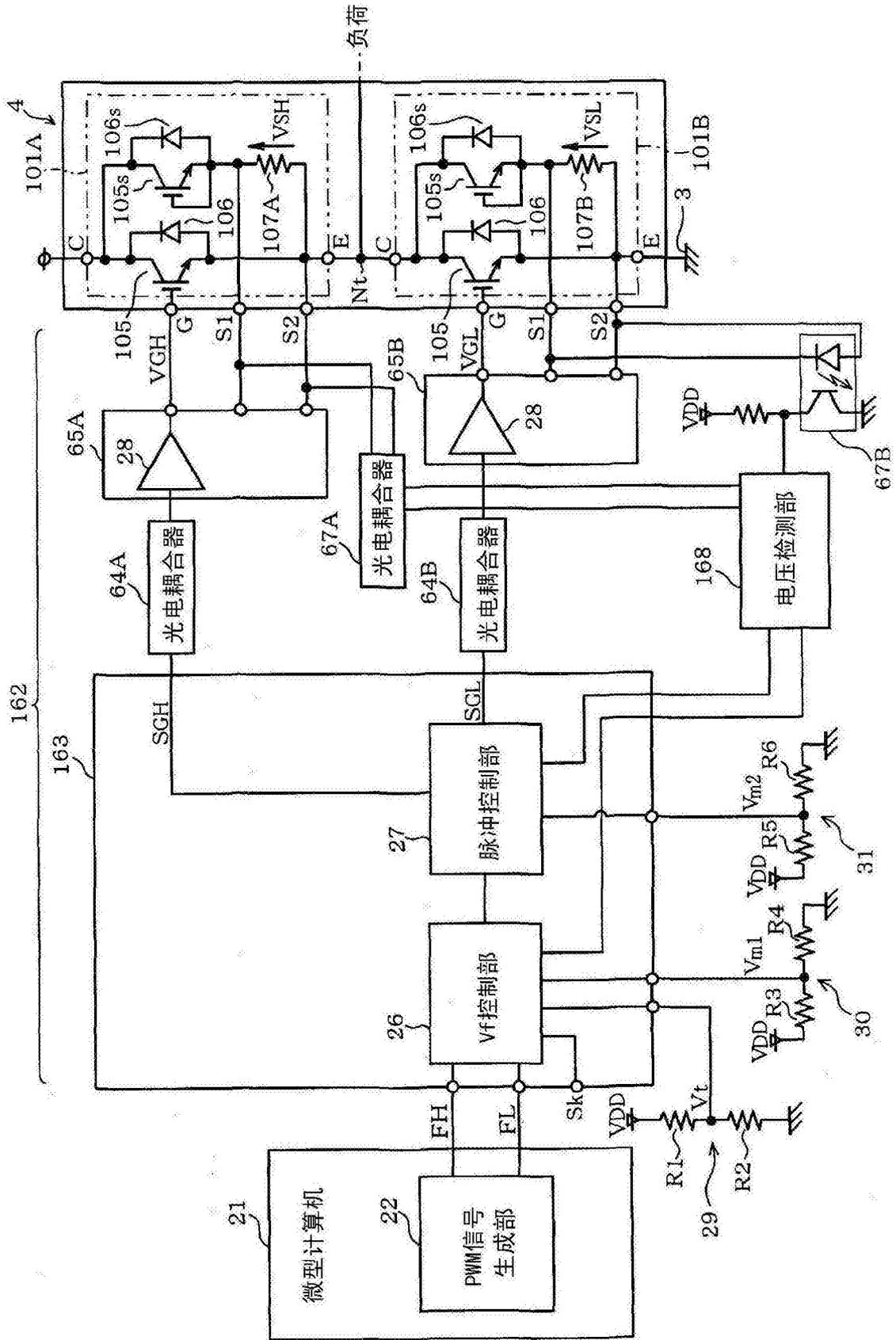


图22

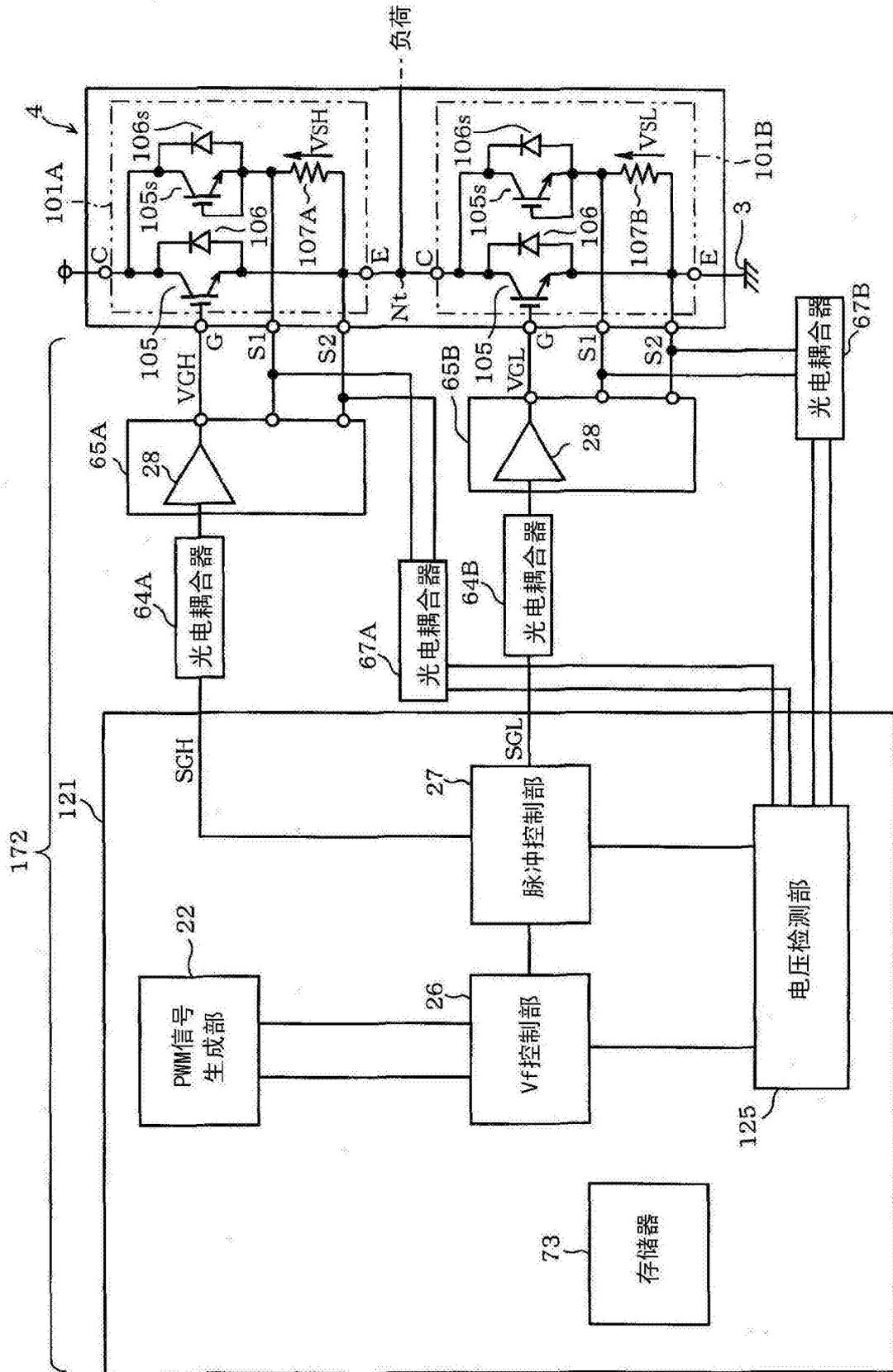


图23

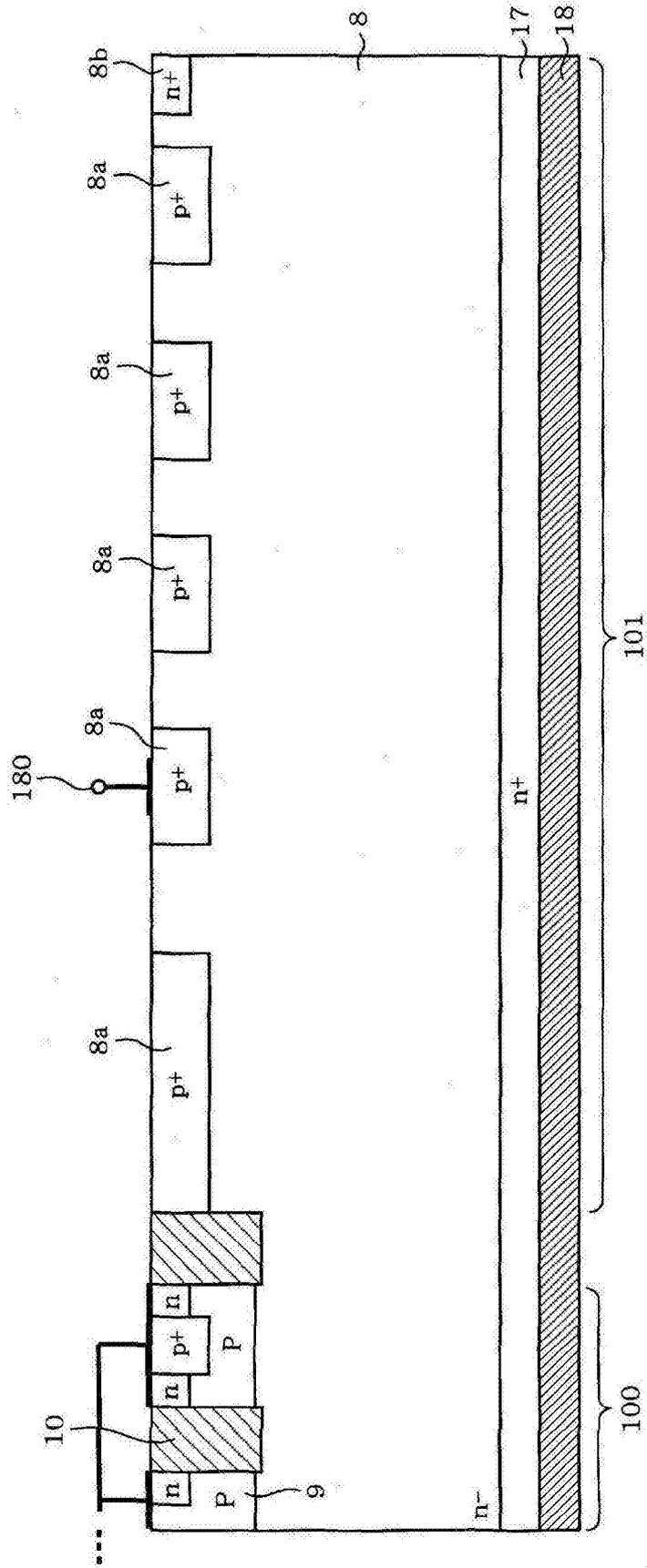


图24

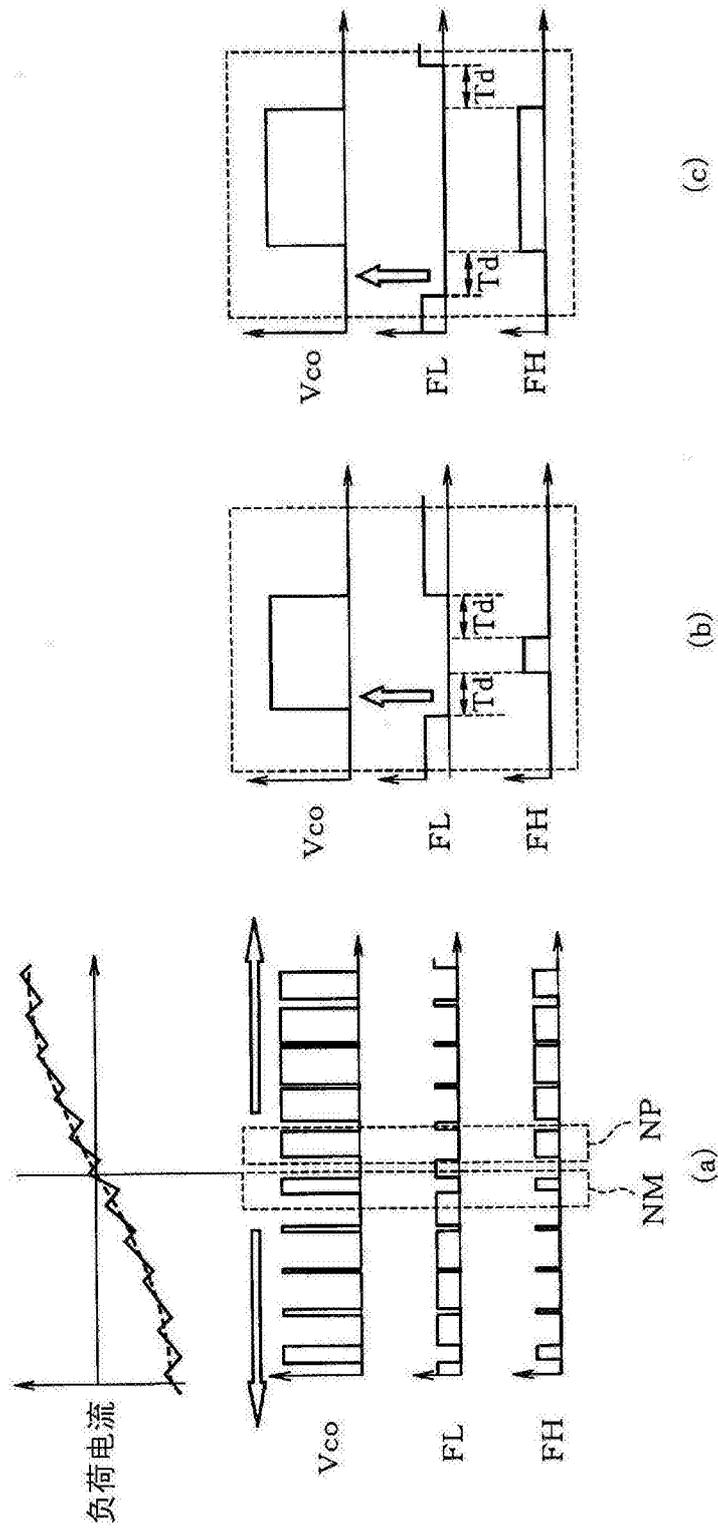


图25

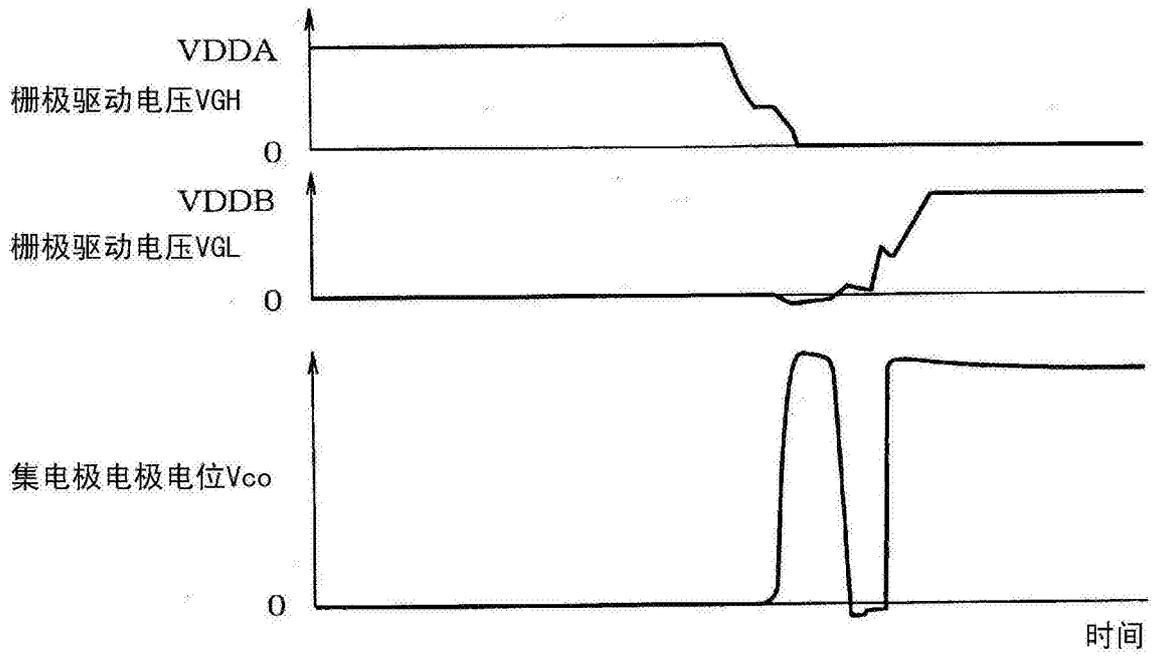


图26

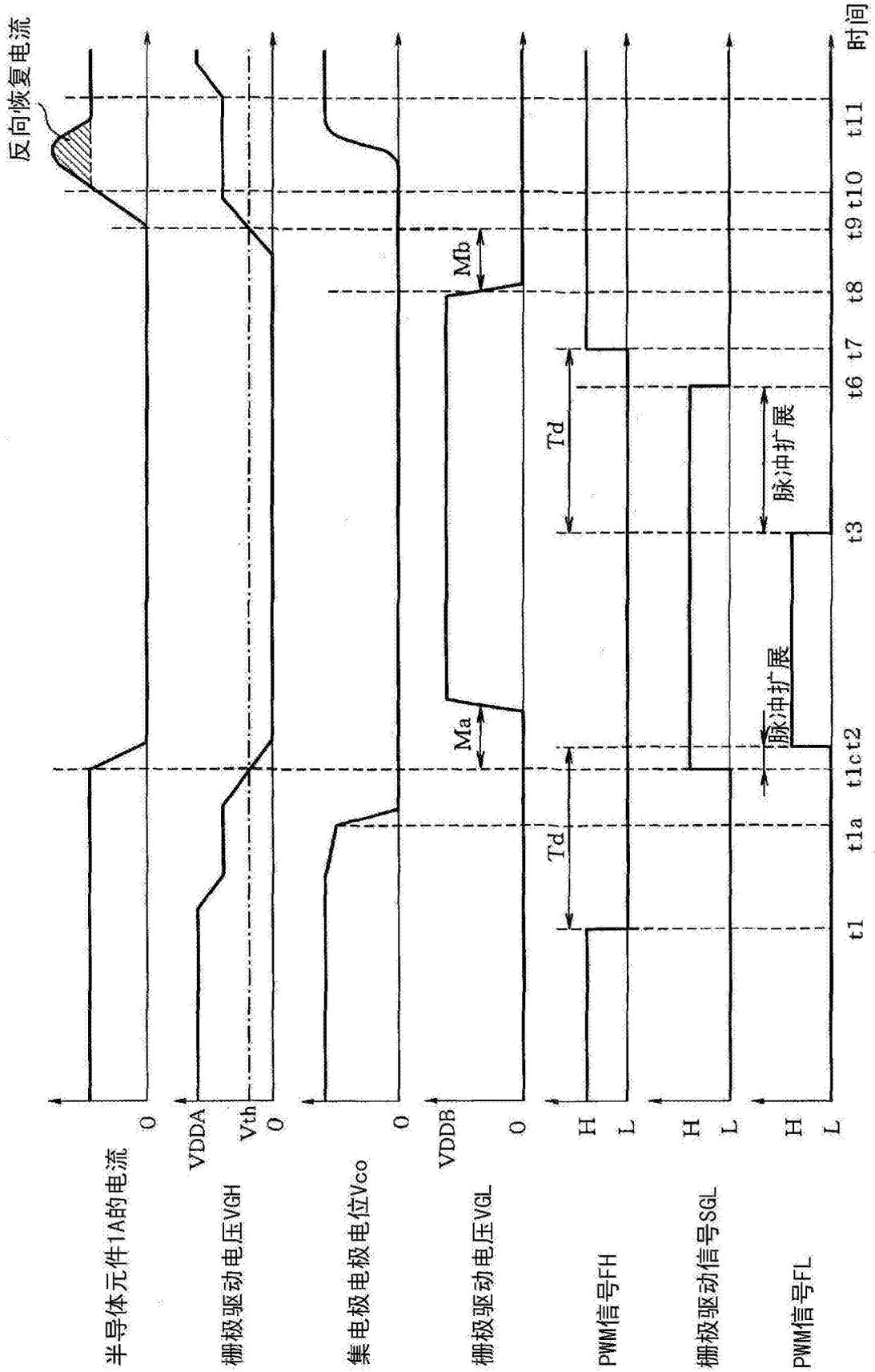


图27

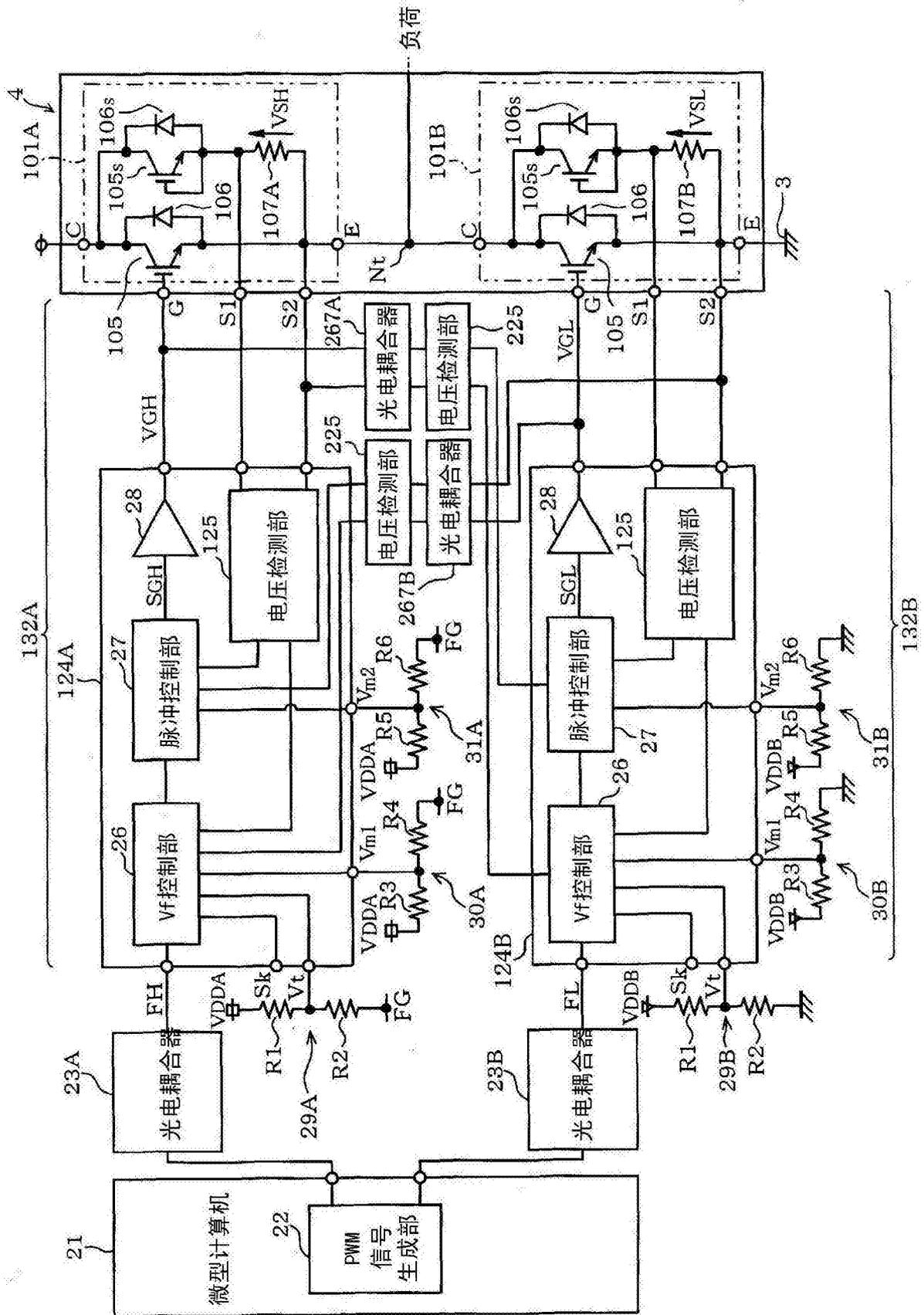


图28

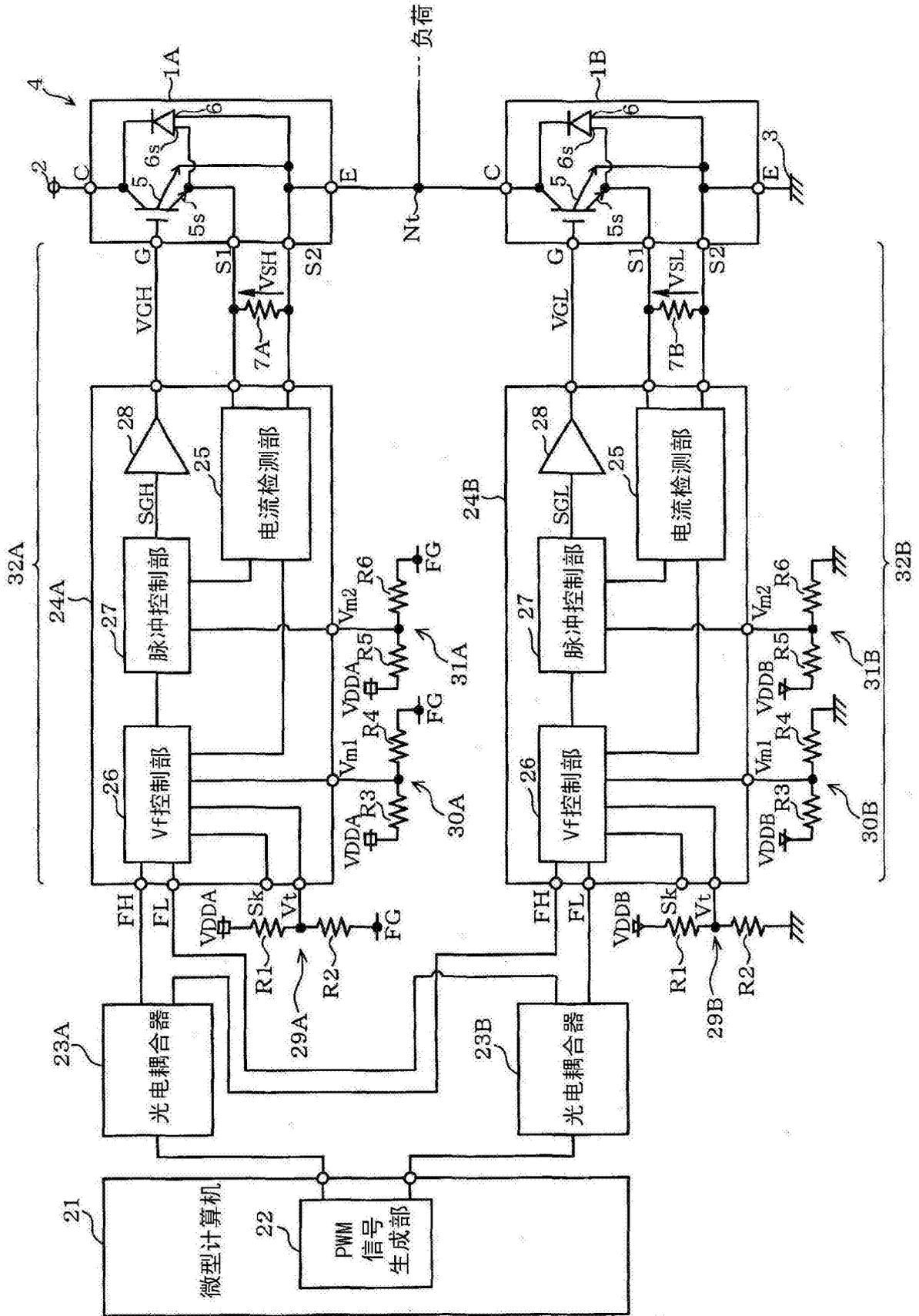


图30

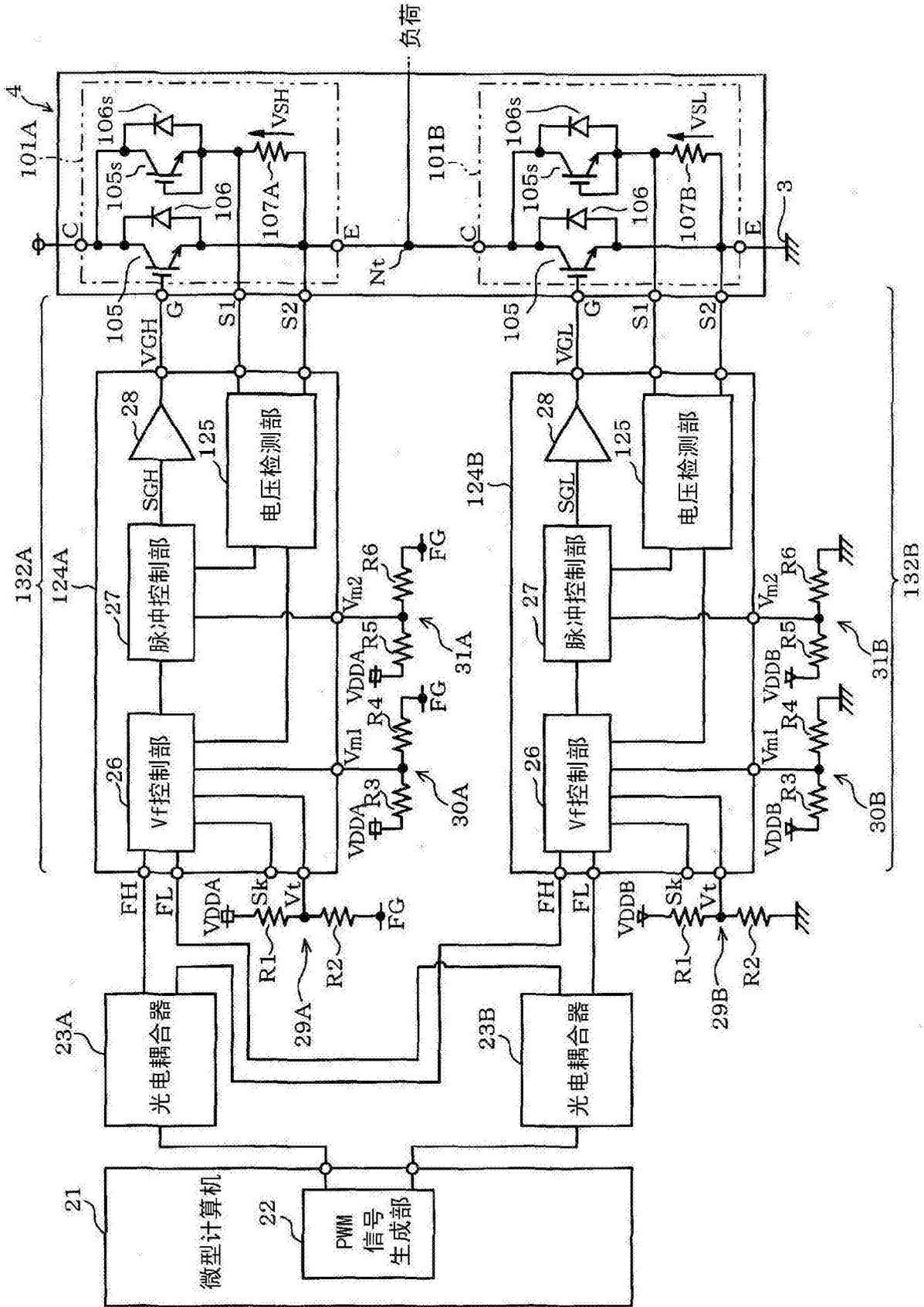


图31

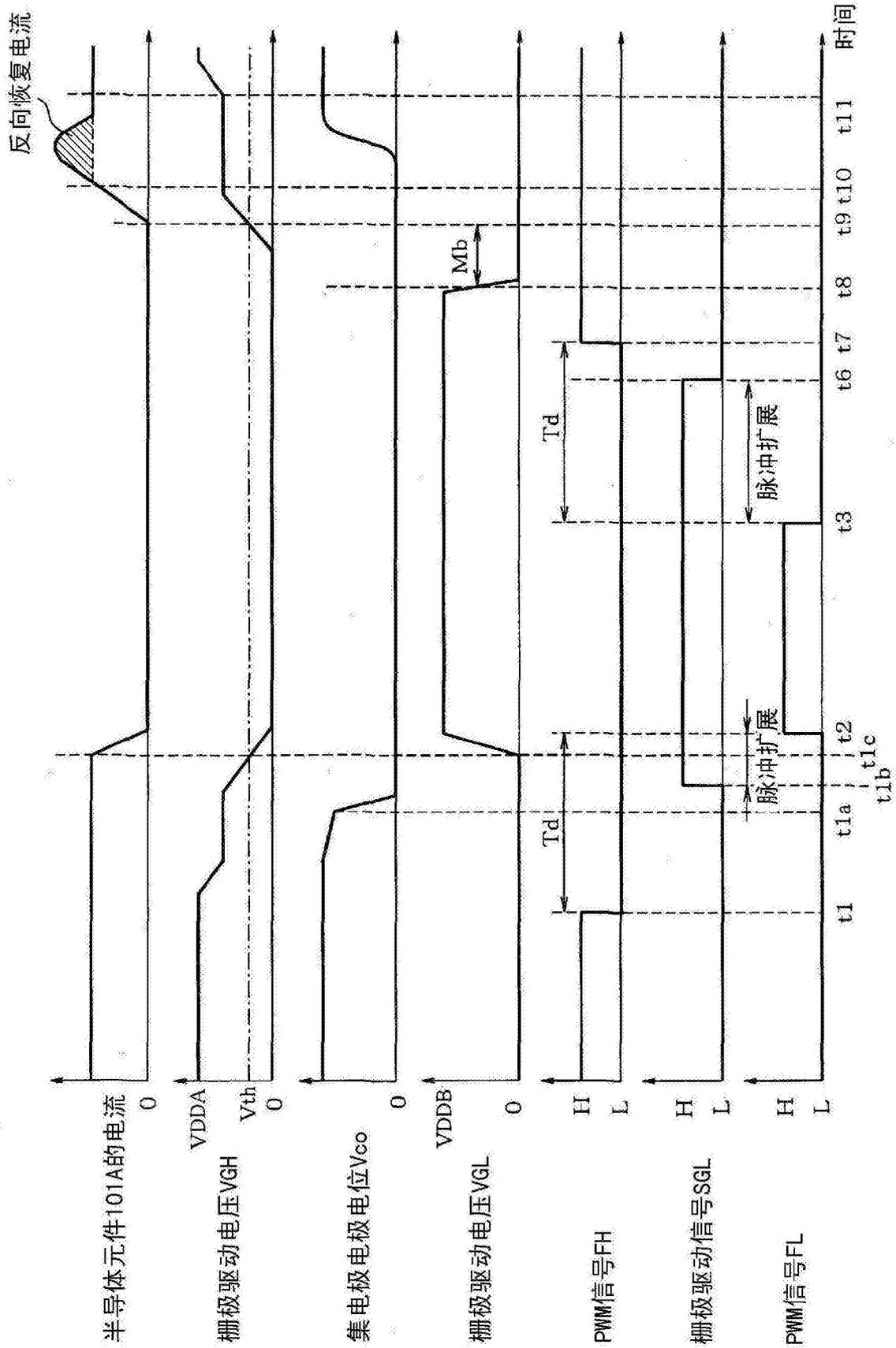


图32

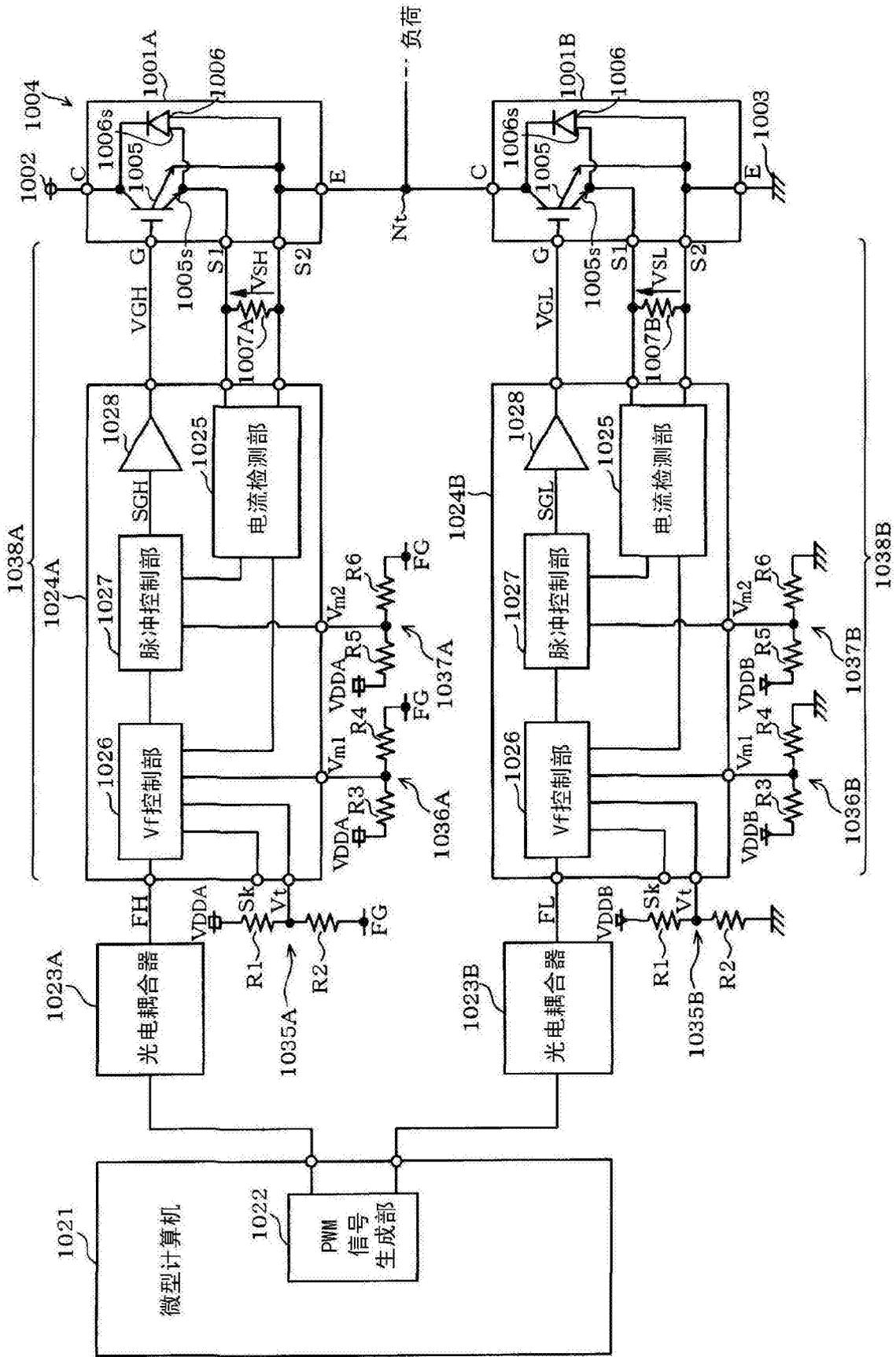


图33

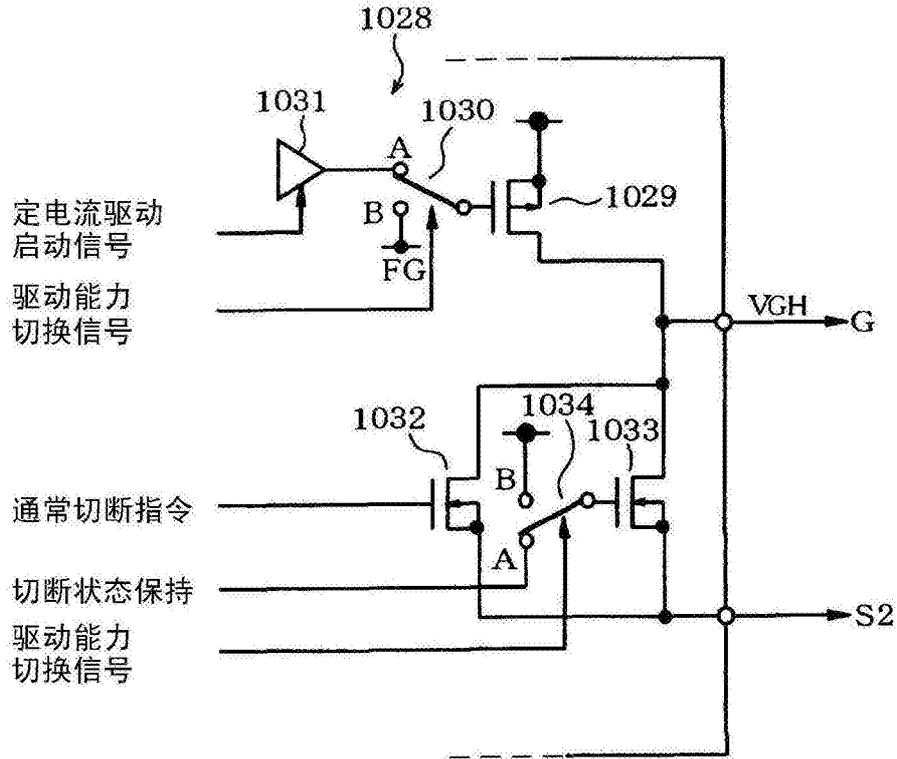


图34

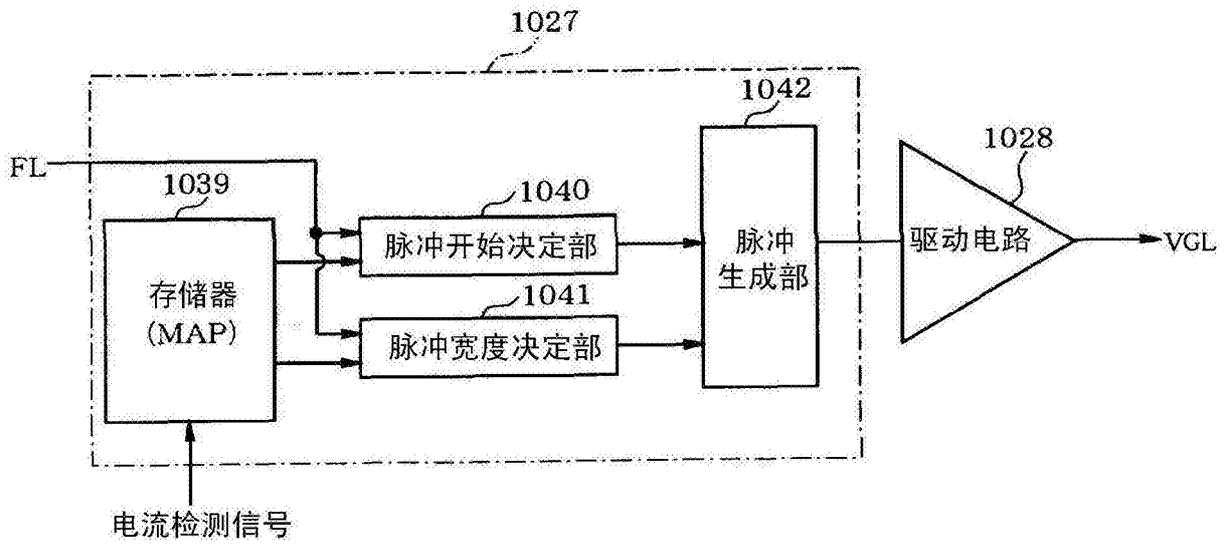


图35

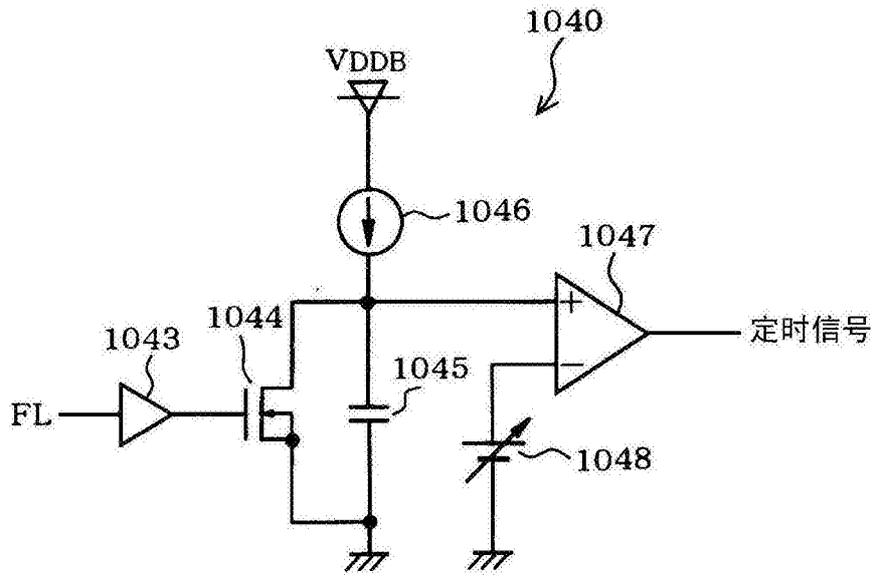


图36

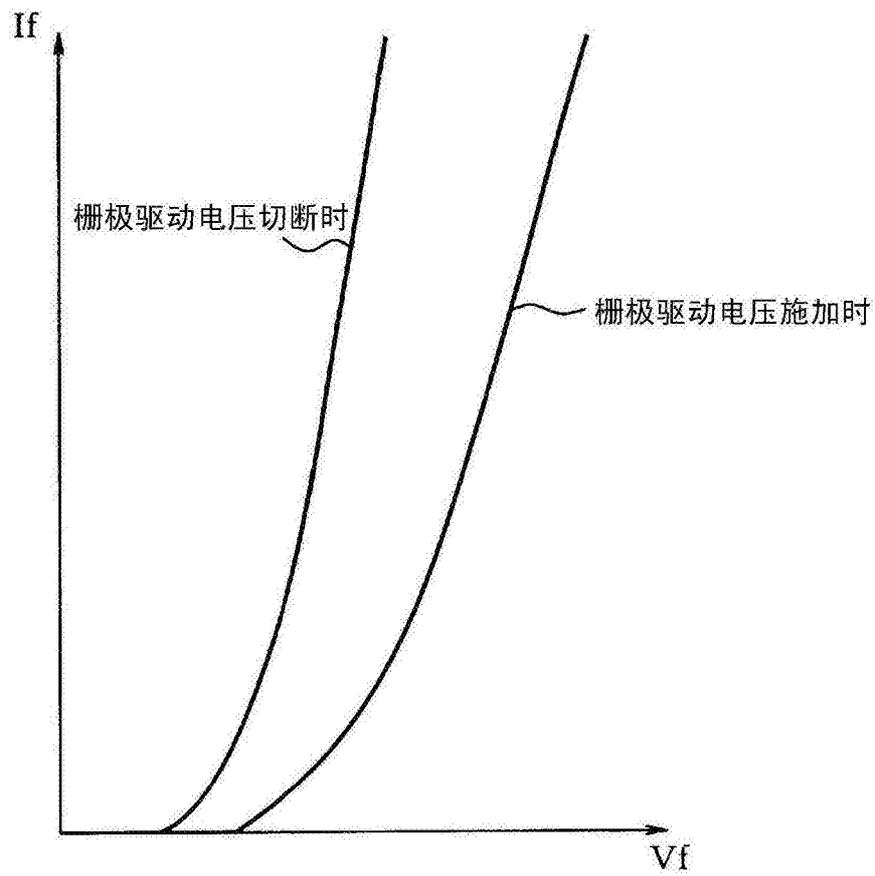


图37

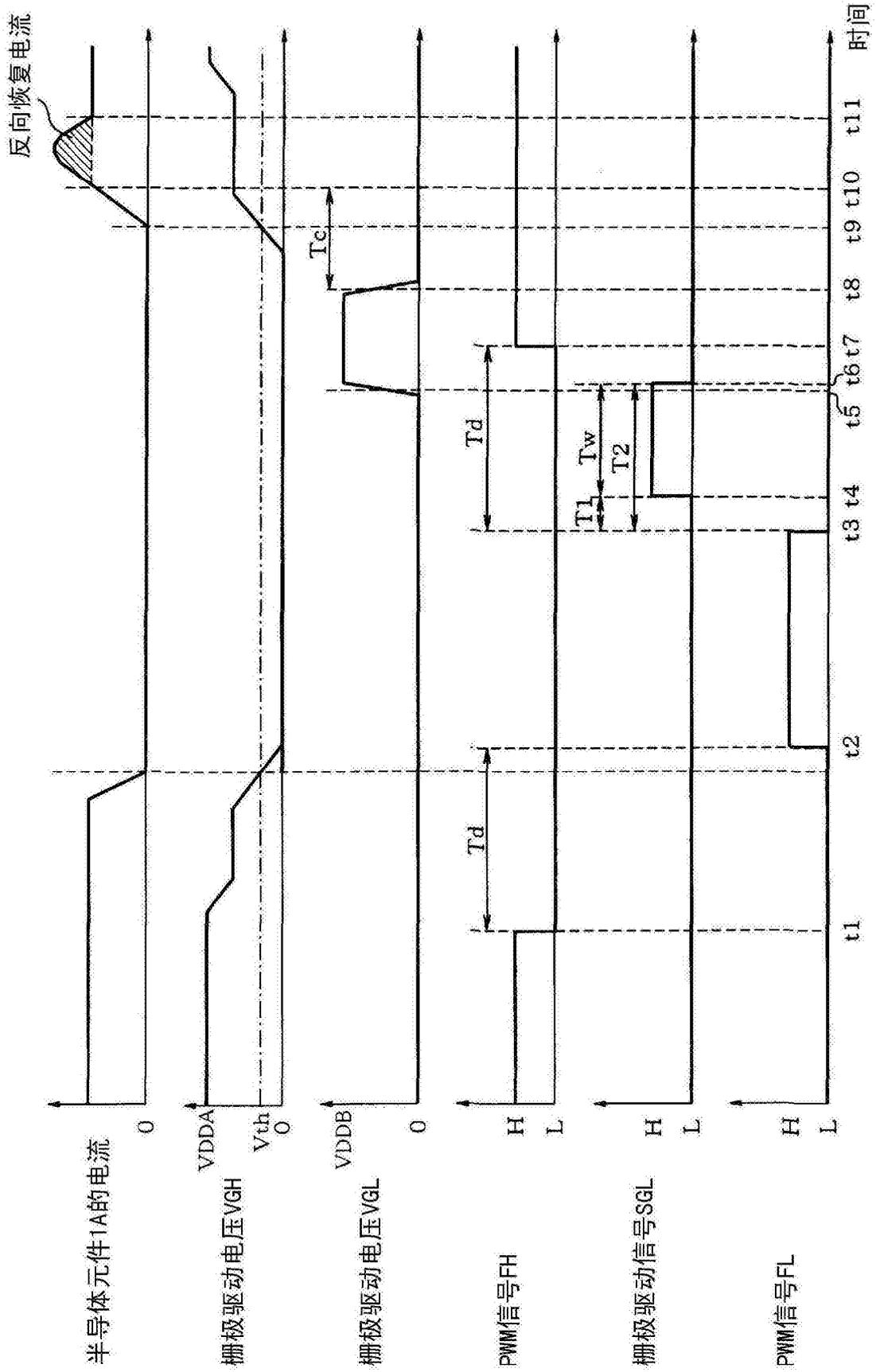


图38

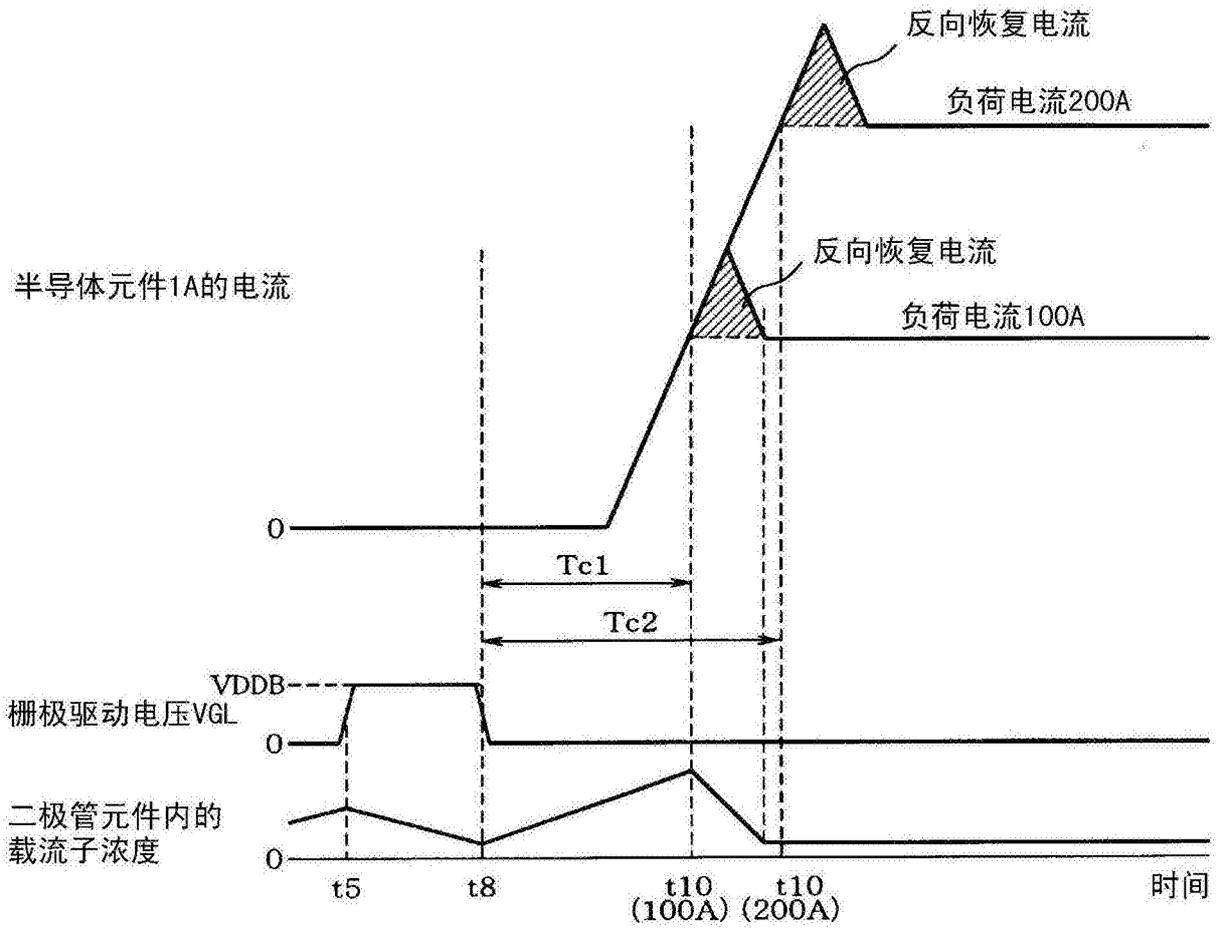


图39

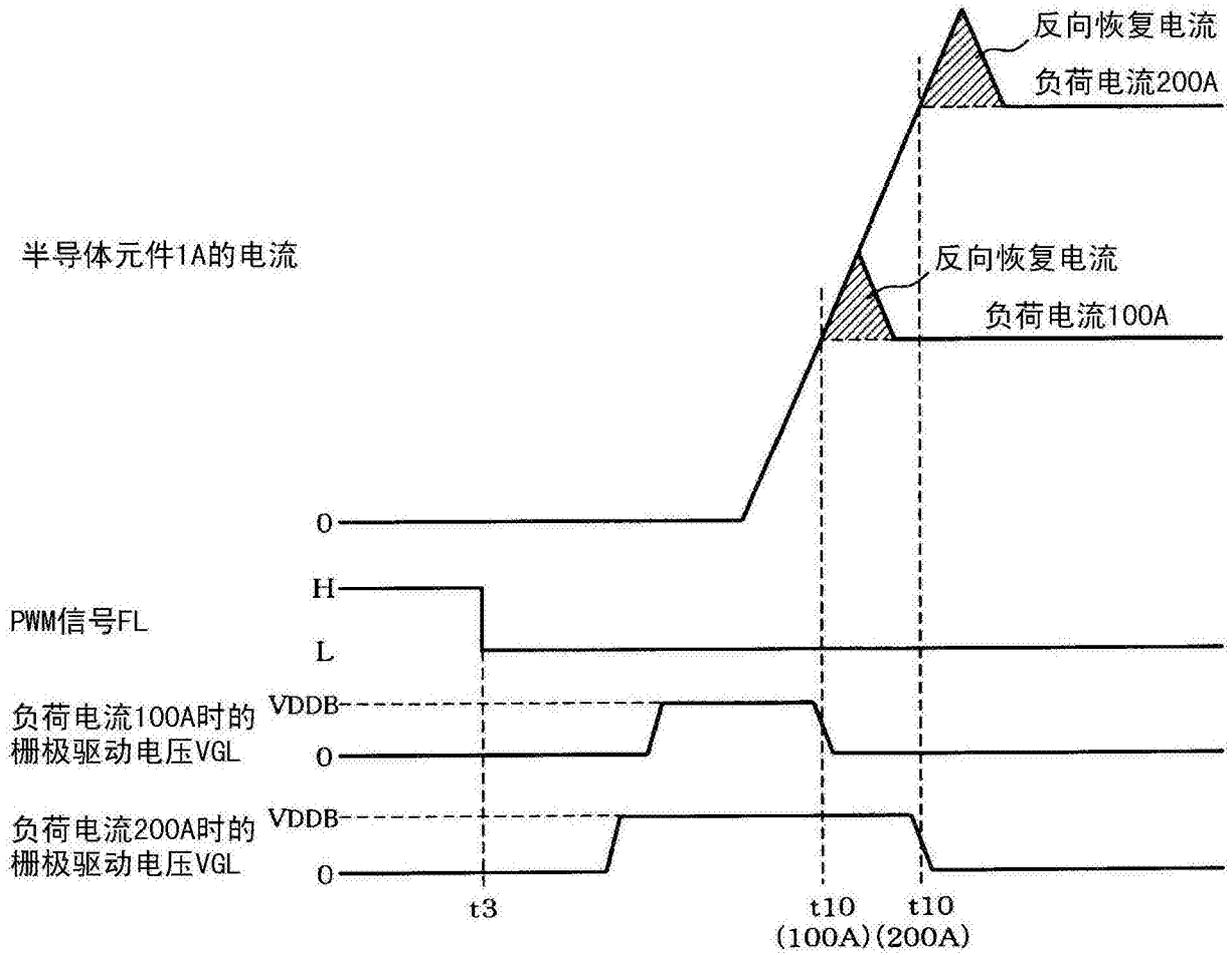


图40

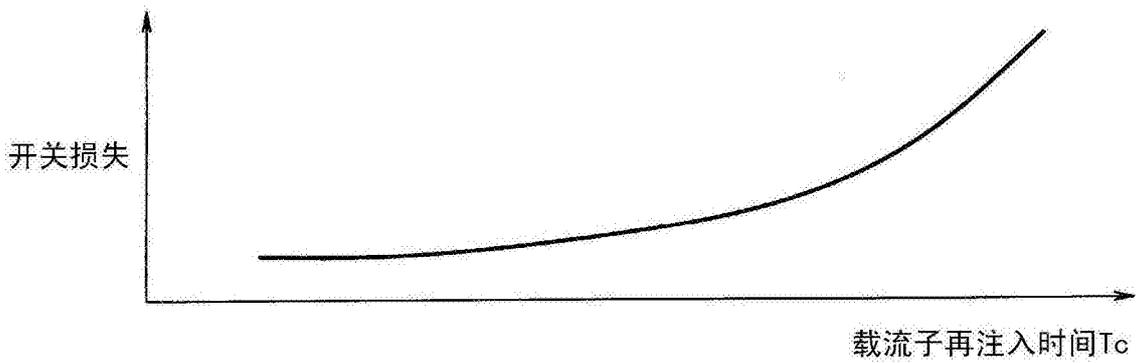


图41

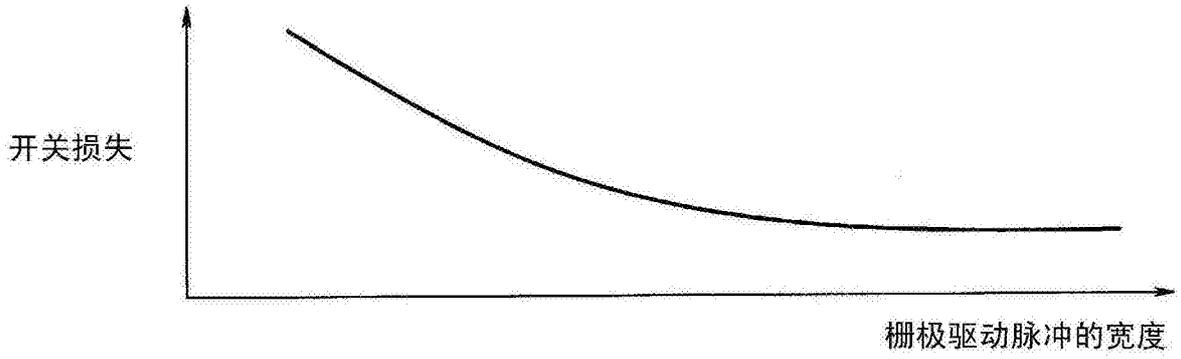


图42

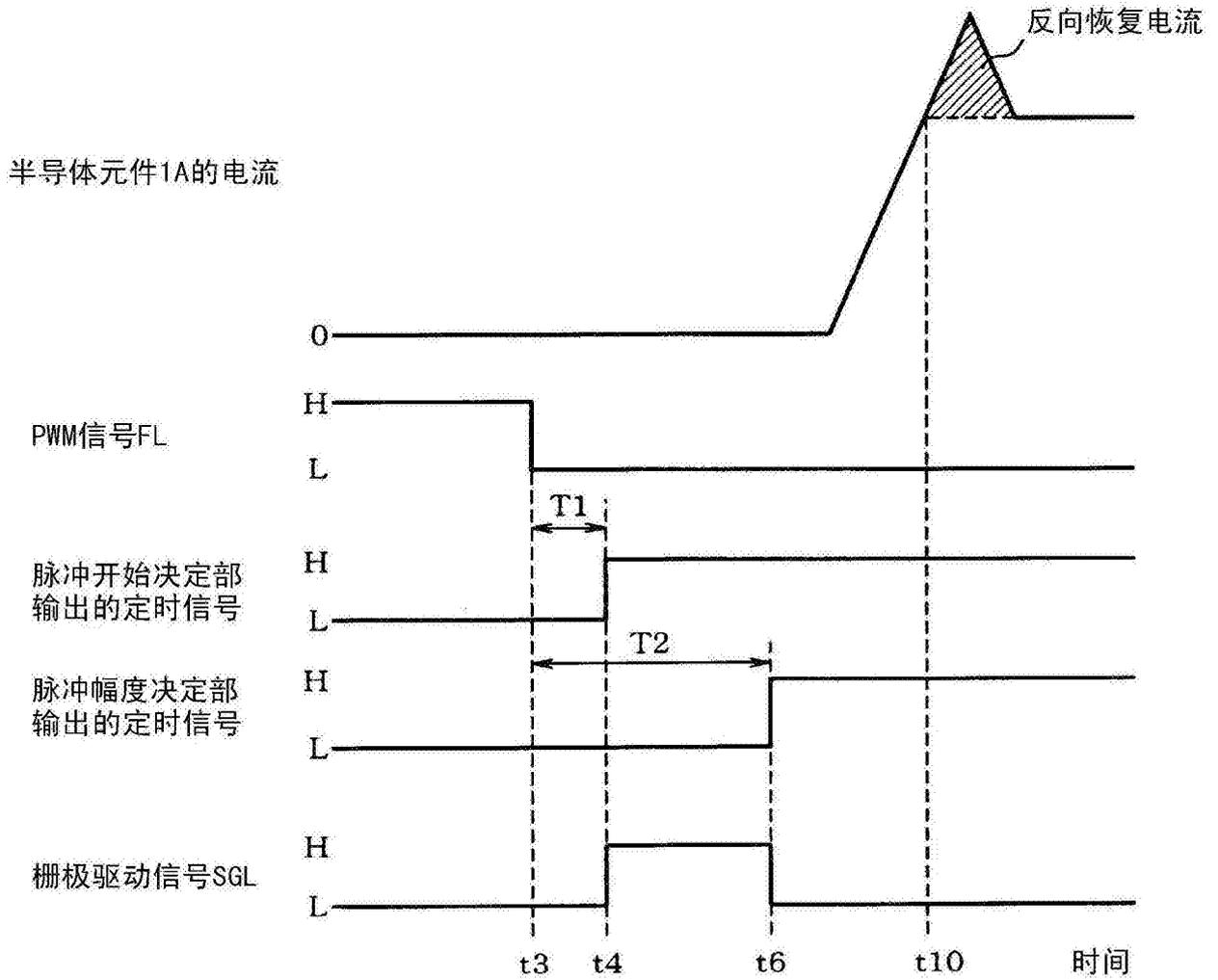


图43

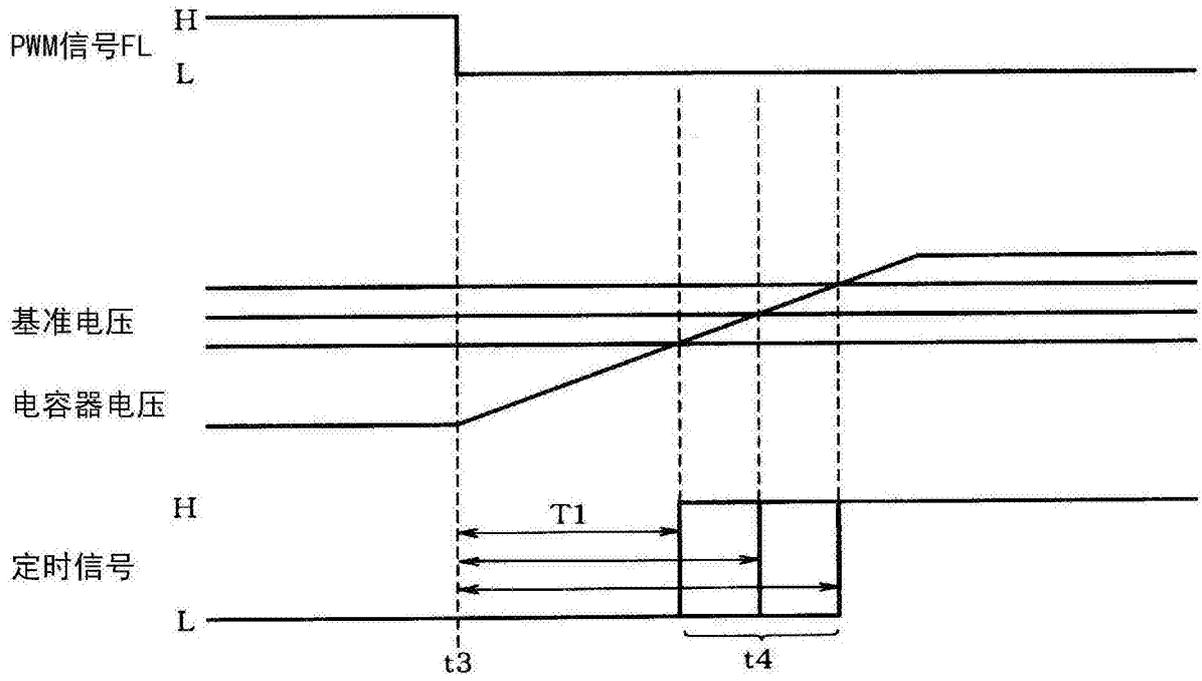


图44

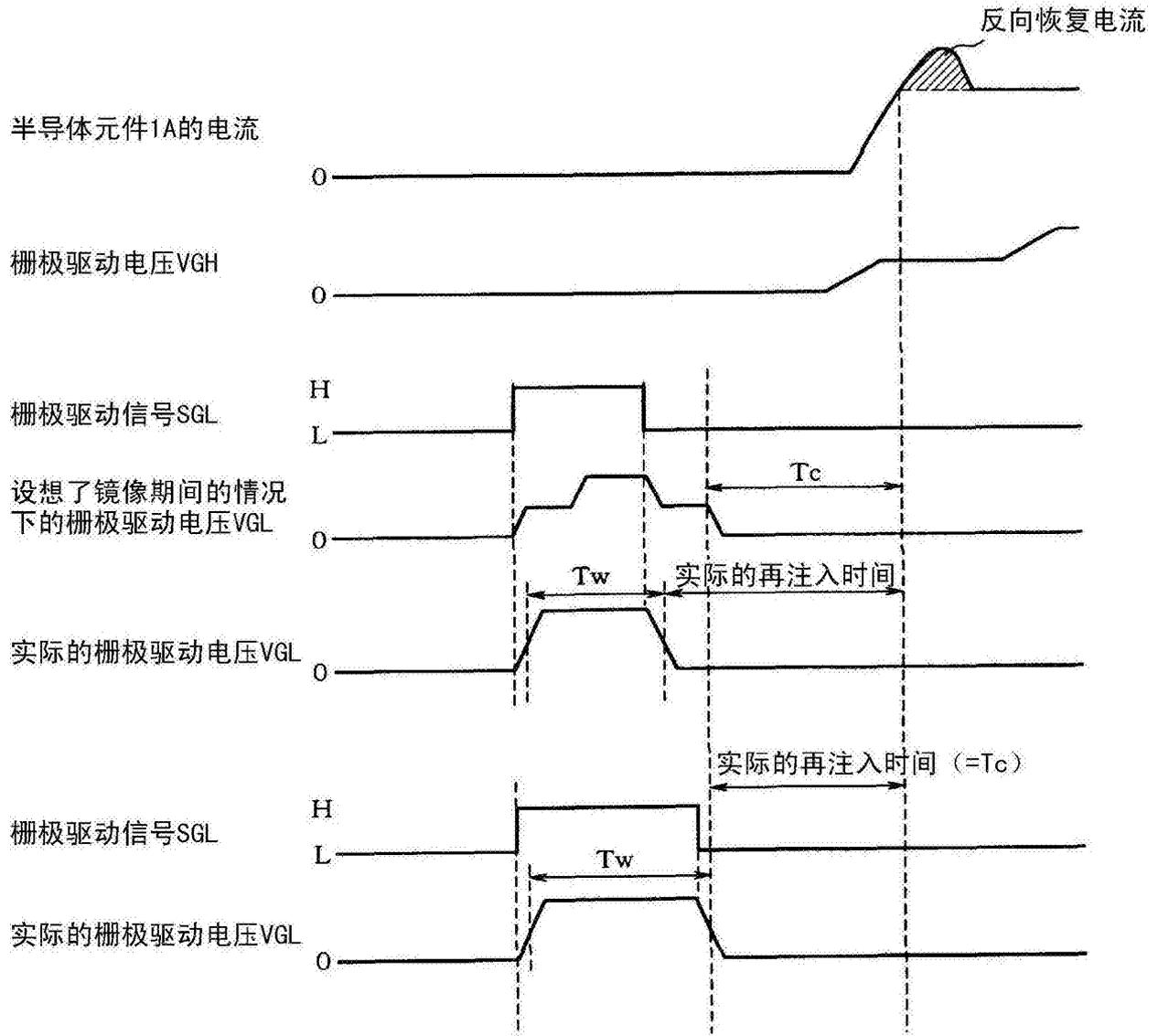


图45

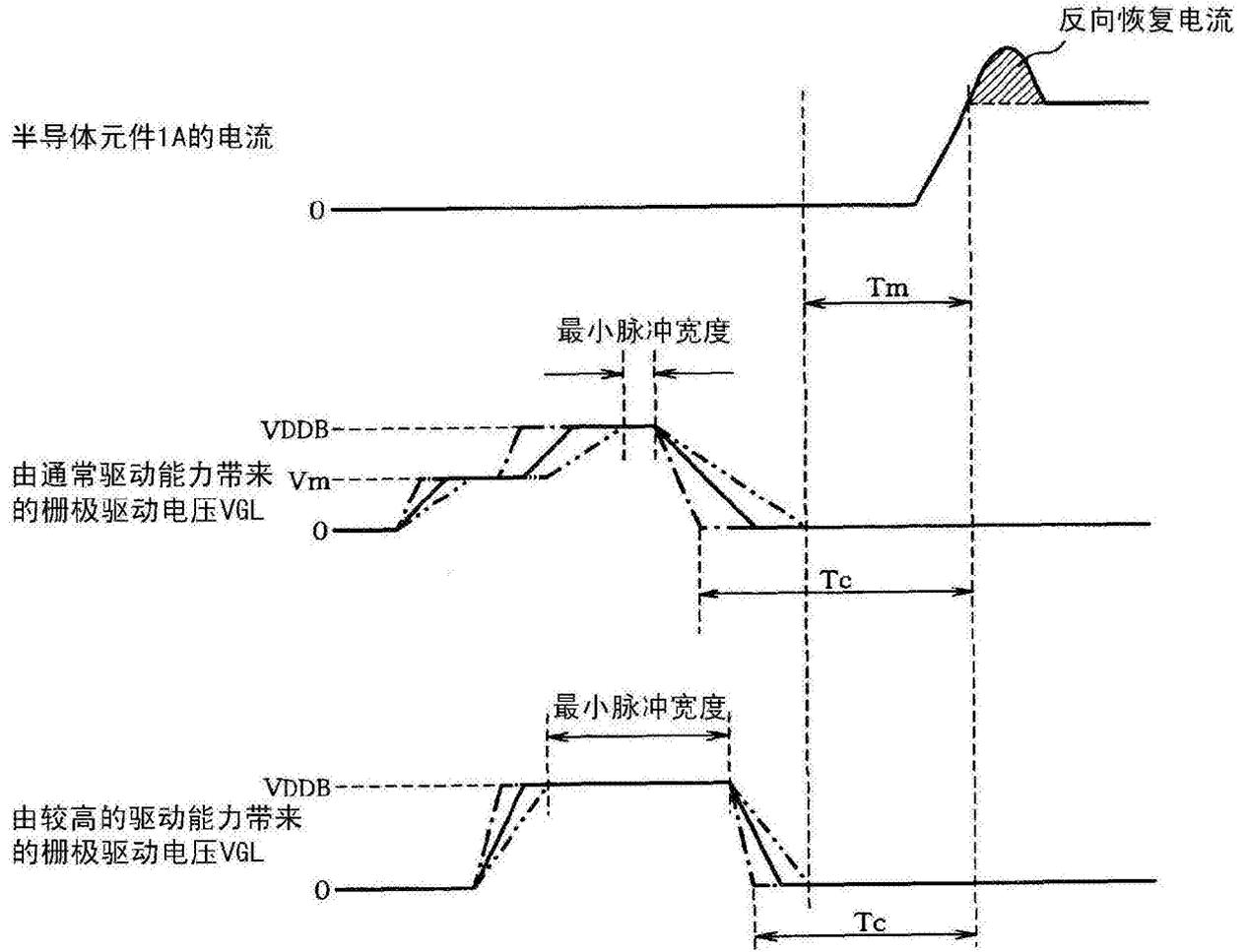


图46

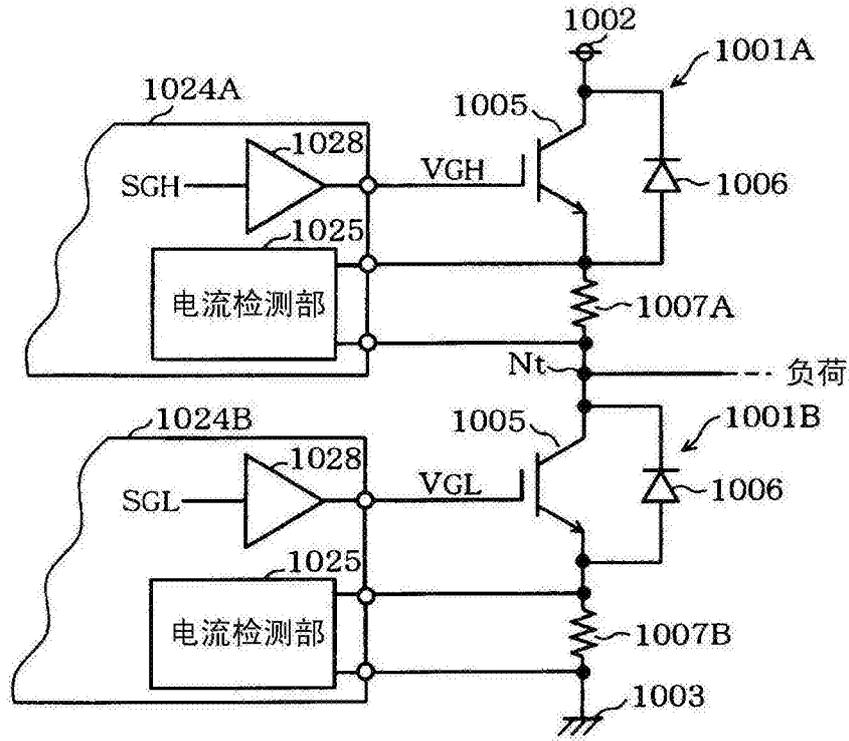


图47

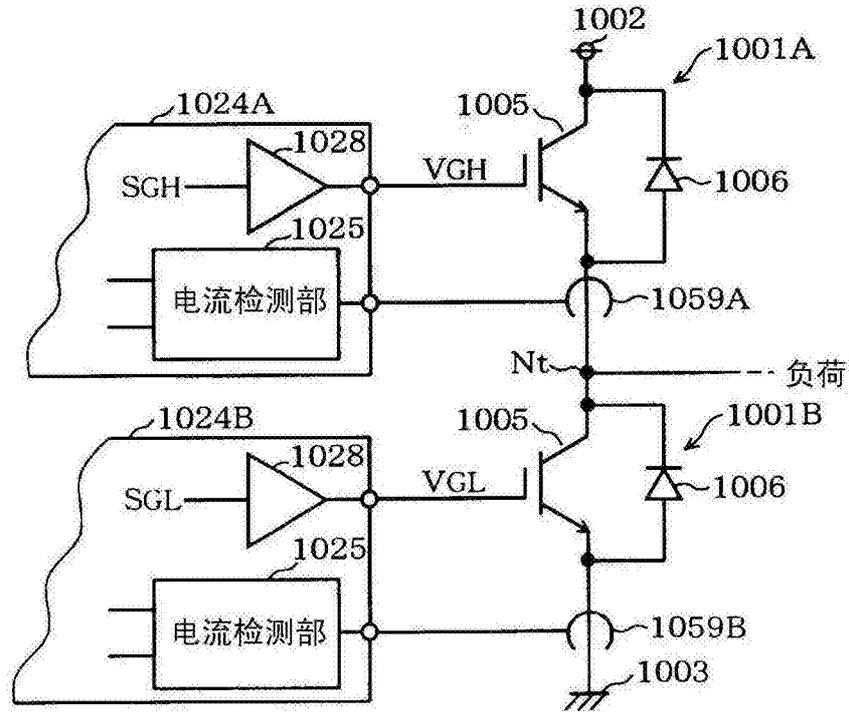


图48