



(12) 发明专利

(10) 授权公告号 CN 1941063 B

(45) 授权公告日 2011.08.17

(21) 申请号 200610152594.3

第 30-58 行, 第 18 列 38-67 行、附图 17, 21, 22.

(22) 申请日 2006.09.27

审查员 常青

(30) 优先权数据

10-2005-0089827 2005.09.27 KR

(73) 专利权人 三星电子株式会社

地址 韩国京畿道

(72) 发明人 李洪雨 李癸宪 李钟焕

(74) 专利代理机构 北京康信知识产权代理有限公司
11240

代理人 李伟

(51) Int. Cl.

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

G11C 19/00 (2006.01)

G11C 19/28 (2006.01)

(56) 对比文件

US 5994155 A, 1999.11.30, 全文.

CN 1460981 A, 2003.12.10, 全文.

US 6583777 B2, 2003.06.24, 说明书第 1 栏

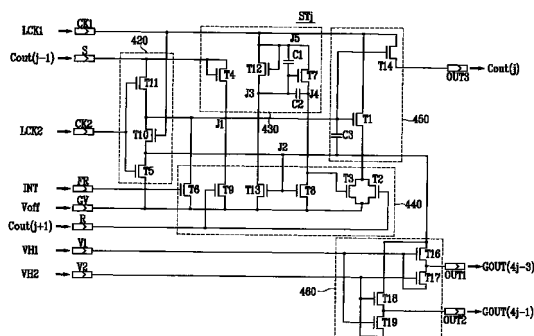
权利要求书 3 页 说明书 9 页 附图 4 页

(54) 发明名称

移位寄存器以及具有该移位寄存器的显示装置

(57) 摘要

本发明公开了一种移位寄存器,其包括多个级,彼此连接以顺序生成输出信号。每一个级均具有多个输出端,并且每一个输出端均连接到至少两条栅极线并将第一输出电压交替输出到至少两条栅极线,以导通薄膜晶体管。



1. 一种移位寄存器,其包括:

多个级,彼此连接并用于顺序生成输出信号,

其中,所述多个级中的每一个所述级均具有用于交替输出第一输出电压的第一和第二输出端,以及

其中,所述级中的每一个包括:

输出电压发生器,用于响应于前级之一的输出起始信号或所述输出信号,生成第二输出电压和所述第一输出电压,并且所述第二输出电压与所述第一输出电压不同,以及

输出转换单元,用于接收所述输出单元的输出生,并且将所述第一输出电压和所述第二输出电压交替输出到所述第一输出端和所述第二输出端,

其中,所述输出转换单元包括:

第一晶体管,用于根据第一转换信号来转换输出电压发生器的所述输出,

第二晶体管,用于根据第二转换信号来转换所述输出电压发生器的所述输出,

第三晶体管,用于根据所述第二转换信号,将所述第二输出电压传输到所述第一输出端或将所述第二输出电压与所述第一输出端截断;以及

第四晶体管,用于根据所述第一转换信号,将所述第二输出电压传输到所述第二输出端或将所述第二输出电压与所述第二输出端截断,

其中,所述第三晶体管的输入端连接至所述第一晶体管的控制端,并且所述第四晶体管的输入端连接至所述第二晶体管的控制端。

2. 根据权利要求1所述的移位寄存器,其中,所述第一转换信号和所述第二转换信号具有相反的相位。

3. 根据权利要求1所述的移位寄存器,其中,所述第一和第二转换信号每一个水平周期进行反转。

4. 一种显示装置,其包括:

基板;

多条栅极线,形成在所述基板上;

多条数据线,与所述栅极线交叉;

多个薄膜晶体管,连接到所述栅极线和所述数据线;

多个像素电极,连接到所述薄膜晶体管,并呈矩阵布置,每一个像素电极均具有平行于所述栅极线的第一边以及短于所述第一边并与所述第一边相邻设置且平行于所述数据线的第二边;以及

栅极驱动器,连接到所述栅极线,

其中,所述栅极驱动器包括多个级,其彼此连接并用于顺序生成输出信号,并且

所述多个级的每一个所述级均包括:

输出电压发生器,用于响应于所述前级之一的输出起始信号或所述输出信号,生成第二输出电压和所述第一输出电压,并且所述第二输出电压不同于所述第一输出电压,以及

输出转换单元,用于接收所述输出单元的输出生,并且将第一输出电压和第二输出电压交替输出到所述第一输出端和所述第二输出端,

其中,所述输出转换单元包括:

第一晶体管,用于根据第一转换信号来转换输出电压发生器的所述输出,

第二晶体管,用于根据第二转换信号来转换所述输出电压发生器的所述输出,

第三晶体管,用于根据所述第二转换信号,将所述第二输出电压传输到所述第一输出端或将所述第二输出电压与所述第一输出端截断;以及

第四晶体管,用于根据所述第一转换信号,将所述第二输出电压传输到所述第二输出端或将所述第二输出电压与所述第二输出端截断,

其中,所述第三晶体管的输入端连接至所述第一晶体管的控制端,并且所述第四晶体管的输入端连接至所述第二晶体管的控制端。

5. 根据权利要求 4 所述的显示装置,其中,所述第一转换信号和所述第二转换信号具有相反的相位。

6. 根据权利要求 4 所述的显示装置,其中,所述第一和第二转换信号每一个水平周期进行反转。

7. 根据权利要求 4 所述的显示装置,其中,在一列中的两个相邻像素电极连接到不同的数据线。

8. 根据权利要求 7 所述的显示装置,其中,所述栅极驱动器包括连接到不同栅极线的第一和第二移位寄存器,并且所述第一和第二移位寄存器的每一个均包括所述多个级中的第一和第二级。

9. 一种显示装置,其包括:

基板;

多条栅极线,形成在所述基板上;

多条数据线,与所述栅极线交叉;

多个薄膜晶体管,连接到所述栅极线和所述数据线;

多个像素电极,连接到所述薄膜晶体管,并呈矩阵布置,每一个像素电极均具有平行于所述栅极线的第一边以及短于所述第一边并与所述第一边相邻设置且平行于所述数据线的第二边;以及

栅极驱动器,连接到所述栅极线,

所述栅极驱动器分别靠近所述显示装置的左边和右边设置,

其中,所述栅极驱动器包括多个级,其彼此连接并用于分别顺序地生成输出信号,以及所述多个级的每一个所述级均包括:

输出电压发生器,用于响应于所述前级之一的输出起始信号或所述输出信号,生成第二输出电压和所述第一输出电压,并且所述第二输出电压不同于所述第一输出电压,以及

输出转换单元,用于接收所述输出单元的输出,并且将第一输出电压和所述第二输出电压交替输出到所述第一输出端和所述第二输出端,

其中,所述输出转换单元包括:

第一晶体管,用于根据第一转换信号来转换输出电压发生器的所述输出,

第二晶体管,用于根据第二转换信号来转换所述输出电压发生器的所述输出,

第三晶体管,用于根据所述第二转换信号,将所述第二输出电压传输到所述第一输出端或将所述第二输出电压与所述第一输出端截断;以及

第四晶体管,用于根据所述第一转换信号,将所述第二输出电压传输到所述第二输出端或将所述第二输出电压与所述第二输出端截断,

其中,所述第三晶体管的输入端连接至所述第一晶体管的控制端,并且所述第四晶体管的输入端连接至所述第二晶体管的控制端。

10. 根据权利要求 9 所述的显示装置,其中,所述第一转换信号和所述第二转换信号具有相反的相位。

11. 根据权利要求 9 所述的显示装置,其中,所述第一和第二转换信号每一个水平周期进行反转。

12. 根据权利要求 9 所述的显示装置,其中,在一列中的两个相邻像素电极连接到不同的数据线。

移位寄存器以及具有该移位寄存器的显示装置

[0001] 本发明要求于 2005 年 9 月 27 日在韩国知识产权局提交的韩国专利申请第 10-2005-0089827 号中的优先权,其全部内容结合于此作为参考。

技术领域

[0002] 本发明涉及一种移位寄存器以及具有该移位寄存器的显示装置。

背景技术

[0003] 现在,广泛使用液晶显示器,作为各种平板显示器之一。液晶显示器具有包括场产生电极(例如,像素电极和共电极)的两个面板以及介于面板之间的液晶层。液晶显示器向场产生电极施加电压,以在液晶层中产生电场,从而确定液晶层中液晶分子的方向,该液晶分子的方向又依次确定入射光的偏振,从而显示图像。

[0004] 液晶显示器装置还包括连接到像素电极的开关元件以及控制开关元件的多条信号线(例如,栅极线和数据线),该信号线向像素电极施加电压。

[0005] 信号线从单独设置的驱动装置接收信号,并通过开关元件将信号施加到像素。因此,为了驱动显示装置,驱动装置需要连接到显示装置,或者设置在显示装置上。然而,驱动装置相当大地增加了显示装置的制造成本。

发明内容

[0006] 根据本发明的示例性实施例的移位寄存器包括多个级(stage),其彼此连接并顺序生成输出信号。每一个级均具有第一和第二输出端,以交替输出第一输出电压。

[0007] 根据本发明的示例性实施例的显示装置包括:基板;多条栅极线,形成在基板上;多条数据线,与栅极线交叉;多个薄膜晶体管,连接到栅极线和数据线;多个像素电极,连接到薄膜晶体管并呈矩阵排列,每一个像素电极均具有与栅极线平行的第一边以及短于第一边的与第一边相邻设置且平行于数据线的第二边;以及栅极驱动器,连接到栅极线。栅极驱动器包括多个级,其彼此连接,用于顺序生成输出信号,并且每一个级均包括多个输出端。每一个输出端均连接到至少两条栅极线,用于将第一输出电压交替地输出到至少两条栅极线,以使薄膜晶体管导通。

[0008] 每一个级均包括输出电压发生器,用于响应于前级之一的输出起始信号或输出信号,生成第一输出电压,并且用于响应于后级之一的第一输出电压,生成不同于或者小于第一输出电压的第二输出电压。

[0009] 每一个级均还可以包括输出转换单元,以将第一输出电压和第二输出电压交替输出到第一输出端和第二输出端。

[0010] 输出转换单元可包括:第一晶体管,用于根据第一转换信号转换输出电压发生器的输出;以及第二晶体管,用于根据第二转换信号转换输出电压发生器的输出。

[0011] 第一转换信号和第二转换信号可具有相反的相位。

[0012] 输出转换单元还可以包括:第三晶体管,根据第二转换信号,将第二输出电压传输

到第一输出端或将其与第一输出端截断；以及第四晶体管，根据第一转换信号，将第二输出电压传输到第二输出端或将其与第二输出端截断。

[0013] 可以每 1H 为周期反转第一和第二转换信号。

[0014] 可将在一列中的两个相邻像素电极连接到不同的数据线。

[0015] 栅极驱动器可包括连接到不同栅极线的第一和第二移位寄存器，并且第一和第二移位寄存器的每一个均可以分别包括多个级中的第一和第二级。

附图说明

[0016] 下面，描述的附图示出本发明的示例性实施例，并且与详细的描述一起用于解释本发明的原理，其中：

[0017] 图 1 是根据本发明示例性实施例的液晶显示器的框图；

[0018] 图 2 是在根据本发明示例性实施例的液晶显示器中的一个像素的等效电路示意图；

[0019] 图 3 是示出图 1 中所示的栅极驱动器的实例的框图；以及

[0020] 图 4 是示出图 3 中所示的一个级的实例的电路示意图。

具体实施方式

[0021] 现在，将在下文中参照附图更全面的描述本发明，在附图中示出本发明的示例性实施例。然而，本发明可以多种不同的方式来实现而不局限于在此描述的实施例。相反地，所提供的这些示例性实施例，对本领域的技术人员来说，使得本发明充分公开并且完全覆盖本发明的范围。通篇中，相同的标号表示相同的元件。

[0022] 应当理解，当提到元件“位于”另一个元件上时，是指其直接位于另一个元件上，或者也可能存在介于其间的元件。相反，当某个元件被提到“直接位于”另一个元件上时，意味着不存在介于其间的元件。如在文中使用的，术语“和 / 或”包括一个或多个关联的列出的项目的任一和全部组合。

[0023] 应当理解，尽管在此可能使用术语第一、第二、第三等来描述不同的元件、部件、区域、层、和 / 或部分，但是这些元件、部件、区域、层、和 / 或部分并不局限于这些术语。这些术语仅用于将一个元件、部件、区域、层、或部分与另一个元件、部件、区域、层、或部分相区分。因此，在不背离本发明宗旨的情况下，下文所述的第一元件、组件、区域、层、或部分可以称为第二元件、部件、区域、层、或部分。

[0024] 在此使用的术语仅用于描述特定实施例而不是限制本发明。正如在此使用的，单数形式的“一个”、“这个”也包括复数形式，除非文中有其它明确指示。应当进一步理解，当在本申请文件中使用术语“包含”和 / 或“包含”或者“包括”和 / 或“包括”时，是指存在所声称的特征、区域、整数、步骤、操作、元件、和 / 或部件，但是并不排除还存在或附加一个或多个其它的特征、区域、整数、步骤、操作、元件、部件、和 / 或其组合。

[0025] 此外，在此可能使用诸如“下面的”、或“底部的”以及“上面的”、或“顶部的”的相关术语，以描述如图中所示的一个元件与另一元件的关系。应当理解，除图中所示的方位之外，相关术语将包括装置的不同方位。例如，如果翻转一个附图中的装置，则被描述为在其它元件“下部”面上的元件将被定位为在其它元件的“上部”面。因此，根据附图的特定方

位,示例性术语“下面”包括在上面和在下面的方位。相似地,如果翻转一个附图中的装置,则被描述为在其它元件“下面”或“之下”的元件将被定位为在其它元件的“之上”。因此,示例性术语“下面”或“在...之下”可包括在上方和在下方的方位。

[0026] 除非特别限定,在此所采用的所有的术语(包括技术和科技术语)具有与本发明所属领域的普通技术人员通常所理解的意思相同的解释。而该术语的进一步理解,例如,字典中通常采用的限定意思应该被解释为与相关技术上下文中的意思相一致,并且除非在此进行特别限定,其不应被解释为理想的或者过于正式的解释。

[0027] 在此,参考作为本发明的理想实施例的示意图的横截示意图描述本发明的实施例。同样,可以预料诸如制造技术和/或公差可以导致示意图的变化。因此,本发明的实施例不应该被理解为局限于在此示出的特定形状,而且包括例如由于制造而导致的形状的偏差。例如,被显示或描述为平坦的区域,典型地可能具有粗糙和/或非线性特性。此外,所示的锐角可以为圆角。因此,在图中示出的区域实际上是示意性的,并且形状并不用于描述区域的准确形状,并且不用于限定本发明的范围。

[0028] 现在,将参照图 1 和图 2,描述根据本发明的示例性实施例的液晶显示器,作为显示装置的实例。

[0029] 图 1 是根据本发明的示例性实施例的液晶显示器的框图。图 2 是在根据本发明示例性实施例的液晶显示器中的一个像素的等效电路示意图。

[0030] 参照图 1 和图 2,根据本发明示例性实施例的液晶显示器包括液晶面板组件 300、一对栅极驱动器 400L 和 400R、数据驱动器 500、灰度电压发生器 800、和信号控制器 600。

[0031] 在等效电路中,液晶面板组件 300 包括多条显示信号线以及多个像素 PX,该像素连接到显示信号线并基本上呈矩阵状布置。在图 2 所示的结构中,液晶面板组件 300 包括下部面板 100;上部面板 200,与下部面板 100 相对;以及液晶层 3,介于面板 100 和 200 之间。

[0032] 信号线 G_1 至 G_{2n} 和 D_1 至 D_m 包括多条栅极线 G_1 至 G_{2n} ,其传输选通信号(也称为“扫描信号”);以及多条数据线 D_1 至 D_m ,其传输数据信号。栅极线 G_1 至 G_{2n} 基本在行方向上延伸并基本上彼此平行,以及数据线 D_1 至 D_m 基本在列方向上延伸并基本上彼此平行。

[0033] 每一个像素 PX(例如,连接到第 i (其中, $i = 1, 2, \dots$,和 $2n$)条栅极线 G_i 和第 j (其中, $j = 1, 2, \dots$,和 m)条数据线 D_j 的像素 PX)均包括开关元件 Q,连接到信号线 G_i 和 D_j ;以及液晶电容器 Clc 和存储电容器 Cst,其连接到开关元件 Q。参照图 1,如图所示,可将一行中的两个相邻像素 PX 连接到不同的数据线 D_1 至 D_m 。

[0034] 开关元件 Q 是设置于下部面板 100 的三端子元件,例如,薄膜晶体管。开关元件 Q 具有连接到栅极线 G_i 的控制端、连接到数据线 D_j 的输入端、以及连接到液晶电容 Clc 和存储电容 Cst 的输出端。

[0035] 液晶电容 Clc 具有两个端子,其包括下部面板 100 的像素电极 191 和上部电极 200 的共电极 270。液晶层 3 介于两个电极 191 和 270 之间,作为电介质。将像素电极 191 连接到开关元件 Q,并且与如图 1 所示的像素 PX 相同,在行方向上的像素电极 191 的长度比在列方向上的像素电极 191 的长度更长。例如,在行方向上的像素电极 191 的长度是在列方向上的像素电极 191 的长度的大约三倍(与图 2 所示的不同)。在上部面板 200 的整个表面上形成共电极 270,并将共电压 Vcom 施加到共电极 270。与图 2 不同,共电极 270 可设置在

下部面板 100 上。在这种情况下,能够以线状或条状形成两个电极 191 和 270 中的至少一个。

[0036] 通过将设置在下部面板 100 的像素电极 191 和单独信号线(未示出)与介于像素电极和信号线之间的绝缘体重叠,来形成辅助液晶电容器 C_{lc} 的存储电容器 C_{st} 。诸如共电压 V_{com} 的预定的电压被施加到单独信号线。可选地,可由通过绝缘体使像素电极 191 和前一栅极线 G_{i-1} 重叠,来形成存储电容器 C_{st} 。如果需要,可省略存储电容器 C_{st} 。

[0037] 为了实现彩色显示,每一个像素 PX 唯一地表示原色之一(即,空间分割),或者每一个像素 PX 顺序地轮流表示原色(即,时间分割),从而将原色的空间或时间之和识别为期望的颜色。例如,原色可以是红色、绿色、和蓝色。

[0038] 图 2 示出空间分割的实例。在该实例中,每一个像素 PX 均具有滤色器 230,该滤色器在对应于像素电极 191 的上部面板 200 的区域中表示原色之一。与图 2 不同,滤色器 230 可形成在下部面板 100 的像素电极 191 之上或之下。再次参照图 1,滤色器 230 可与像素电极 191 一样,在行方向上延伸。在一行像素中的滤色器 230 可表示相同的原色,并彼此连接以形成条纹。在列方向上,轮流排列表示不同原色的滤色器 230。在这种情况下,在列方向上相邻的三个像素 PX 可形成作为图像的基本单元的点。

[0039] 在液晶面板组件 300 上设置至少一个偏振器(未示出)。

[0040] 再次参照图 1,灰度电压发生器 800 生成两组与像素 PX 的透射率相关的(参考)灰度电压。两组(参考)灰度电压之一相对于共电压 V_{com} 具有正值,另一组相对于共电压 V_{com} 具有负值。

[0041] 栅极驱动器 400L 和 400R 可分别靠近液晶(“LC”)面板组件 300 的左边和右边设置。左侧栅极驱动器 400L 可连接到奇数条栅极线 $G_1, G_3, \dots, G_{2n-1}$, 右侧栅极驱动器 400R 可连接到偶数条栅极线 $G_2, G_4, \dots, G_{2n}$ 。栅极驱动器 400L 和 400R 可将作为栅极导通电压 V_{on} 和栅极截止电压 V_{off} 组合的选通信号施加给栅极线 G_1 至 G_{2n} 。栅极驱动器 400L 和 400R 可与开关元件 Q 及信号线 G_1 至 G_{2n} 和 D_1 至 D_m 一起集成到 LC 面板组件 300 上。然而,栅极驱动器 400L 和 400R 可包括设置在 LC 面板组件 300 上或者带载封装(“TCP”)类型的柔性印刷电路(“FPC”)膜上的至少一个集成电路(“IC”)芯片,该栅极驱动器附着到 LC 面板组件 300。

[0042] 数据驱动器 500 连接到 LC 面板组件 300 的数据线 D_1 至 D_m 。数据驱动器 500 选取来自灰度电压发生器 800 的灰度电压,并将选取的灰度电压作为数据信号施加到数据线 D_1 至 D_m 。数据驱动器 500 可包括设置在 LC 面板组件 300 上或者 TCP 类型的 FPC 膜(未示出)上的多个 IC 芯片,该数据驱动器附着到 LC 面板组件 300。然而,当灰度电压发生器 800 提供有限数量的灰度电压,而不是全部灰度电压时,数据驱动器 500 划分灰度电压,以生成数据信号。

[0043] 信号控制器 600 控制栅极驱动器 400L 和 400R、数据驱动器 500、和其他类似部件。

[0044] 如上所述,因为排列像素 PX 使得它们的长边与行方向平行,所以与像素 PX 的长边与列方向平行的情况相比,减少了数据线 D_1 至 D_m 的数量。因此,能够减少数据驱动 IC 芯片的数量。即使可增加栅极线 G_1 至 G_{2n} 的数量,栅极驱动器 400L 和 400R 能够集成到 LC 面板组件 300 中,因此能够降低生产成本。此外,即使当栅极驱动器 400L 和 400R 作为 IC 芯片被实现时,栅极驱动 IC 芯片不会比数据驱动 IC 芯片更贵,因此也能够降低生产成本。

[0045] 现在,下面将进一步描述液晶显示器的操作。

[0046] 信号控制器 600 从外部图像控制器(未示出)接收输入图像信号 R、G、和 B 以及用于控制其显示的输入控制信号。输入图像信号 R、G、和 B 包括关于像素 PX 的亮度信息。亮度具有预定数量的灰度等级,例如,1024($=2^{10}$)、256($=2^8$)、或 64($=2^6$) 灰度等级。例如,输入控制信号可以是垂直同步信号 Vsync、水平同步信号 Hsync、主时钟信号 MCLK、和数据使能信号 DE 等。

[0047] 根据输入控制信号和输入图像信号 R、G、和 B,信号控制器 600 处理输入图像信号 R、G、和 B,其适于 LC 面板组件 300 的操作条件,并生成栅极控制信号 CONT1 和数据控制信号 CONT2。信号控制器 600 将栅极控制信号 CONT1 发送到栅极驱动器 400L 和 400R,并将数据控制信号 CONT2 和处理过的图像信号 DAT 发送到数据驱动器 500。信号控制器 600 的图像信号处理包括根据图 1 所示的像素 PX 的排列,重新排列输入图像信号 R、G、和 B。

[0048] 栅极控制信号 CONT1 包括一对扫描起始信号,其提供开始扫描的指令;两对(例如,第一到第四)时钟信号,其控制栅极导通电压 V_{on} 的输出周期;以及一对输出转换信号,其转换栅极导通电压 V_{on} 的输出。栅极控制信号 CONT1 还可以包括输出使能信号 OE,其限定栅极导通电压 V_{on} 的持续时间。

[0049] 数据控制信号 CONT2 包括水平同步起始信号 STH,其通知开始向像素 PX 行传输数字图像信号 DAT;加载信号 LOAD,其指示将模拟图像信号施加到数据线 D_1 至 D_m ;以及数据时钟信号 HCLK。数据控制信号 CONT2 还可以包括反转信号 RVS,其反转模拟数据信号的电压极性(例如,相对于共电压 V_{com})。

[0050] 响应于来自信号控制器 600 的数据控制信号 CONT2,数据驱动器 500 从信号控制器 600 接收对于一行像素 PX 的数字图像信号 DAT 的数据包,将数字图像信号 DAT 转换成从灰度电压选取的模拟数据信号,并将模拟数据信号施加到数据线 D_1 至 D_m 。

[0051] 栅极驱动器 400L 和 400R 响应于来自信号控制器 600 的栅极控制信号 CONT1,将栅极导通电压 V_{on} 施加到栅极线 G_1 至 G_{2n} ,以导通连接到栅极线 G_1 至 G_{2n} 的开关元件 Q。然后,通过导通的开关元件 Q,将施加到数据线 D_1 至 D_m 的数据信号施加给像素 PX。

[0052] 施加到像素 PX 的数据信号的电压和共电压之间的差被表示为像素 PX 的液晶电容器 C_{lc} 两端的电压,被称为像素电压。根据像素电压的值来定向液晶电容器 C_{lc} 中的液晶分子,并且分子的方向确定了穿过液晶层 3 的光的偏振。偏振器将光的偏振转换为光的透射,使得像素 PX 具有由图像信号 DAT 的灰度表示的亮度。

[0053] 在每一个水平周期重复执行该过程,该水平周期也被称为“1H”并等于水平同步信号 Hsync 和数据使能信号 DE 的一个周期。以这种方式,栅极导通信号 V_{on} 被顺序地施加到全部栅极线 G_1 至 G_{2n} ,并且数据信号被施加到全部像素 PX,以显示一帧的图像。

[0054] 如果一帧结束,则下一帧开始。控制施加到数据驱动器 500 的反转信号 RVS,以反转对于每一个像素 PX 的数据信号极性(被称为“帧反转”)。也可以控制反转信号 RVS,从而可周期地反转流入一条数据线的的数据信号极性(例如,行反转或点反转),或者可反转数据包中的数据信号极性(例如,列反转或点反转)。

[0055] 如上所述,将在每一个像素列中的两个相邻像素 PX 连接到相对的数据线 D_1 - D_m 。此时,如果数据驱动器 500 执行列反转,则在列方向上的两个相邻像素 PX 和在行方向上的像素 PX 具有相反极性的像素电压。即,在 LC 面板组件 300 上显示的明显反转

(apparent inversion) 类型是点反转。

[0056] 现在,将参照图 3 和图 4,进一步地描述根据本发明示例性实施例的栅极驱动器。

[0057] 图 3 是示出图 1 中所示的栅极驱动器的示例性实施例的框图。图 4 是示出图 3 中所示的示例性栅极驱动器的一个级的实例的电路示意图。

[0058] 参照图 3 和图 4,栅极驱动器 400L 和 400R 的每一个(例如,左侧栅极驱动器 400L)包括多个级 ST_1 、 ST_2 、...,它们以级联的方式彼此连接,并顺序输出选通信号。级 ST_1 、 ST_2 、... 中的每一个均接收栅极截止电压 V_{off} 、第一和第二时钟信号 LCK1 和 LCK2、第一和第二转换信号 VH1 和 VH2、以及初始化信号 INT。全部级 ST_1 、 ST_2 、... 均分别连接到栅极线。然而,可将未连接到任一栅极线的虚拟级(dummy stage)(未示出)添加到级联的级的布置的末端。

[0059] 级 ST_1 、 ST_2 、... 中的每一个均具有第一时钟端 CK1、第二时钟端 CK2、设置端 S、复位端 R、栅极电压端 GV、帧复位端 FR、第一转换端 V1、第二转换端 V2、第一和第二栅极输出端 OUT1 和 OUT2、以及进位输出端 OUT3。

[0060] 在每一级中,例如,在第 j 级 ST_j 中,设置端 S 接收前级 ST_{j-1} 的进位输出,其被称为前级进位输出 $C_{out}(j-1)$,并且复位端 R 接收后级 ST_{j+1} 的进位输出,其被称为后级进位输出 $C_{out}(j+1)$ 。第一和第二时钟端 CK1 和 CK2 接收时钟信号 LCK1 和 LCK2,栅极电压端 GV 接收栅极截止电压 V_{off} ,并且帧复位端 FR 接收初始化信号 INT。第一和第二转换端 V1 和 V2 分别接收第一和第二转换信号 VH1 和 VH2。第一和第二栅极输出端 OUT1 和 OUT2 分别输出第一和第二栅极输出 $G_{out}(4j-3)$ 和 $G_{out}(4j-1)$,并且进位输出端 OUT3 输出进位输出 $C_{out}(j)$ 。最后一级的进位输出可提供给其他级中的每一个,作为初始化信号 INT。

[0061] 然而,在移位寄存器 400L 和 400R 的每一个中,第一级 ST_1 在设置端 S 接收扫描起始信号 LSTV,而不是前级的进位输出,并且最后一级可在复位端 R 接收扫描起始信号 LSTV,而不是后级的栅极输出。当第 j 级 ST_j 的第一时钟端 CK1 接收第二时钟信号 LCK2 且第 j 级 ST_j 的第二时钟端 CK2 接收第一时钟信号 LCK1 时,与第 j 级 ST_j 相邻的第 $j-1$ 和第 $j+1$ 级 ST_{j-1} 和 ST_{j+1} 的每一个的第一时钟端 CK1 接收第一时钟信号 LCK1,并且其第二时钟端 CK2 接收第二时钟信号 LCK2。

[0062] 第一和第二时钟信号 LCK1 和 LCK2 可具有等于栅极导通电压 V_{on} 的高电平电压、或者等于栅极截止电压 V_{off} 的低电平电压,以分别驱动像素 PX 的开关元件(或晶体管)Q。第一和第二时钟信号 LCK1 和 LCK2 均可具有 50% 的占空比和 180° 的相位差。

[0063] 此外,第一和第二转换信号 VH1 和 VH2 可具有等于栅极导通电压 V_{on} 的高电平电压、或者等于栅极截止电压 V_{off} 的低电平电压,以分别驱动像素 PX 的晶体管 Q。第一和第二转换信号 VH1 和 VH2 均可具有 50% 的占空比和 180° 的相位差。第一和第二转换信号 VH1 和 VH2 每一个的周期均为一帧。

[0064] 参照图 4,根据本发明示例性实施例的栅极驱动器 400L 和 400R 中的每一个的每一级(例如,第 j 级)均包括电压发生器,该电压发生器包括输入单元 420、上拉驱动器 430、下拉驱动器 440、输出单元 450、以及连接到输出单元 450 的输出转换单元 460。单元中的每一个均包括至少一个 N 型场效应晶体管(“FET”)T1 至 T14,并且上拉驱动器 430 和输出单元 450 还包括电容器 C1 至 C3。然而,在可选的示例性实施例中,可使用 P 型 FET 来代替 N 型 FET。电容器 C1 至 C3 可实际地表示晶体管 T1-T14 的栅极和漏极/源极之间的寄生电

容。电压发生器可具有不同于图 4 所示的示例性实施例的结构。

[0065] 输入单元 420 包括设置端 S 和栅极电压端 GV 之间顺序地串联连接的三个晶体管 T11、T10、和 T5。晶体管 T11 和 T5 的栅极连接到第二时钟端 CK2, 并且晶体管 T10 的栅极连接到第一时钟端 CK1。晶体管 T11 和晶体管 T10 之间的接点 (junction) 连接到接点 J1, 晶体管 T10 和晶体管 T5 之间的接点连接到接点 J2。

[0066] 上拉驱动器 430 包括三个晶体管 T4、T12、和 T7 以及两个电容器 C1 和 C2。晶体管 T4 连接在设置端 S 和接点 J1 之间。晶体管 T12 连接在第一时钟端 CK1 和接点 J3 之间。晶体管 T7 连接在第一时钟端 CK1 和接点 J4 之间。晶体管 T4 的栅极和漏极共同连接到设置端 S, 并且其源极连接到接点 J1。晶体管 T12 的栅极和漏极共同连接到第一时钟端 CK1, 并且其源极连接到接点 J3。晶体管 T7 的栅极连接到接点 J3, 并通过电容器 C1 连接到第一时钟端 CK1, 其漏极连接至第一时钟端 CK1, 并且其源极连接到接点 J4。电容器 C2 连接在接点 J3 和接点 J4 之间。

[0067] 下拉驱动器 440 包括多个晶体管 T6、T9、T13、T8、T3、和 T2, 它们全部通过其源极接收栅极截止电压 V_{off} , 并通过其漏极将栅极截止电压 V_{off} 输出到接点 J1、J2、J3、和 J4。晶体管 T9 的栅极连接到复位端 R, 其漏极连接到接点 J1。晶体管 T13 和 T8 的栅极共同连接到接点 J2, 其漏极分别连接到接点 J3 和 J4。晶体管 T3 的栅极连接到接点 J4, 晶体管 T2 的栅极连接到复位端 R。两个晶体管 T3 和 T2 具有连接到接点 J2 的漏极。晶体管 T6 的栅极连接到帧复位端 FR, 其漏极连接到接点 J1, 并且其源极连接到栅极截止电压端 GV。

[0068] 输出单元 450 包括一对晶体管 T1 和 T14 及电容器 C3。晶体管 T1 的漏极和源极连接在第一时钟端 CK1 和接点 J2 之间, 晶体管 T14 的漏极和源极连接在第一时钟端 CK1 和输出端 OUT3 之间。晶体管 T1 和 T3 的栅极连接到接点 J1。输出单元 450 还具有连接在晶体管 T1 的栅极和源极之间 (即, 接点 J1 和接点 J2 之间) 的电容器 C3。晶体管 T1 的源极还连接到接点 J2。

[0069] 输出转换单元 460 包括两对传输和截断 (pass and cutoff) 晶体管 T16 至 T19, 其分别相对于第一和第二转换信号 VH1 和 VH2, 在第一转换端 V1 和第二转换端 V2 对称连接。传输晶体管 T16/T18 具有接收第一 / 第二转换信号 VH1/VH2 的控制端、接收输出单元 450 的输出的输入端、及连接到级 ST_j 的第一 / 第二输出端 OUT1/OUT2 的输出端。截断晶体管 T17/T19 具有接收第二 / 第一转换信号 VH2/VH1 的控制端、接收第一 / 第二转换信号 VH1/VH2 的输入端、及连接到级 ST_j 的第一 / 第二输出端 OUT1/OUT2 的输出端。

[0070] 现在, 将在下面进一步描述级的操作。

[0071] 我们假设对于第一和第二时钟信号 LCK1 和 LCK2 与第一和第二转换信号 VH1 和 VH2 的低电平电压均等于栅极截止电压 V_{off} 。

[0072] 首先, 当第二时钟信号 LCK2 和前级的进位输出 $C_{out}(j-1)$ 变为高时, 导通晶体管 T11 和 T5 及晶体管 T4。两个晶体管 T11 和 T4 将高电平电压传输到接点 J1, 以及晶体管 T5 将低电平电压传输到接点 J2。然后, 导通晶体管 T1 和 T14, 以将第一时钟信号 LCK1 输出到输出端 OUT3。此时, 因为接点 J2 和第一时钟信号 LCK1 均具有低电平电压, 所以输出单元 450 的输出是低电平电压。同时, 电容器 C3 充有与高电平电压和低电平电压之间的差相对应的电压。

[0073] 这里, 第一时钟信号 LCK1 和后级进位输出 $C_{out}(j+1)$ 为低, 接点 J2 的电压也为

低。因此,栅极连接到接点 J2 的全部晶体管 T10、T9、T12、T13、T8、和 T2 为截止状态。

[0074] 接下来,第二时钟信号 LCK2 变为低,以截止晶体管 T11 和 T5。此时,因为第一时钟信号 LCK1 变为高,所以晶体管 T1 的输出电压和接点 J2 的电压变为高。尽管晶体管 T10 的栅极被提供有高电平电压,因为其连接到接点 J2 的源极也为高,所以晶体管 T10 的栅极和源极之间的电压差消失,以使晶体管 T10 保持截止状态。从而,接点 J1 变为浮接状态,并通过电容器 C3 的高电平电压量提高接点 J1 的电压。

[0075] 同时,第一时钟信号 LCK1 和接点 J2 均具有高电平电压,以导通晶体管 T12、T13、和 T8。在这种状态下,晶体管 T12 和晶体管 T13 在高电平电压和低电平电压之间串联连接,因此将晶体管 T12 和 T13 用作电阻器。因此,接点 J3 的电压具有由两个晶体管 T12 和 T13 的导通电阻确定的值。

[0076] 如果晶体管 T13 的导通电阻非常高(例如,大约是晶体管 T12 的导通电阻的 10000 倍),则接点 J3 的电压几乎等于高电平电压。因此,晶体管 T7 导通,以与晶体管 T8 串联连接,因此接点 J4 的电压具有由两个晶体管 T7 和 T8 的导通电阻确定的值。此时,当两个晶体管 T7 和 T8 的电阻几乎相同时,接点 J4 的电压在高电平电压和低电平电压之间。因此,晶体管 T3 保持其截止状态。

[0077] 此时,因为后级进位输出 Cout(j+1) 仍然为低,所以晶体管 T9 和 T2 仍然保持它们的截止状态。因此,输出单元 450 的输出只连接到第一时钟信号 LCK1,而与低电平电压断开,使得输出单元 450 输出高电平电压。

[0078] 同时,电容器 C1 和电容器 C2 存储它们两端的电压。接点 J3 的电压低于接点 J5 的电压。

[0079] 接下来,后级进位输出 Cout(j+1) 和第二时钟信号 LCK2 变为高,并且第一时钟信号 LCK1 变为低,晶体管 T9 和 T2 导通,以将低电平电压传输到接点 J1 和 J2。此时,由于电容器 C3 放电,接点 J1 的电压掉落到低电平电压。

[0080] 因为电容器 C3 要花费些时间完全放电,所以接点 J1 的电压也要花费些时间以达到低电平电压。因此,在后级进位输出 Cout(j+1) 变为高之后,两个晶体管 T1 和 T14 暂时保持导通状态。因此,输出单元 450 的输出连接到第一时钟信号 LCK1,以输出低电平电压。当电容器 C3 完全放电,以使接点 J1 的电压等于低电平电压时,晶体管 T14 截止,以将输出端 OUT3 与第一时钟信号 LCK1 断开。进位输出 Cout(j) 处于浮接状态并保持低电平电压。

[0081] 同时,因为即使晶体管 T1 截止,输出端 OUT1 仍通过晶体管 T2 连接到低电平电压,所以输出单元 450 的其他输出(即,提供到输出转换单元 460 的输出)保持输出低电平电压。

[0082] 同时,因为晶体管 T12 和 T13 截止,所以接点 J3 变为浮接状态。接点 J5 的电压变为低于接点 J4 的电压。因为接点 J3 通过电容器 C1 保持低于接点 J5 的电压,所以晶体管 T7 截止。同时,因为晶体管 T8 截止,接点 J4 的电压掉落很多,并且晶体管 T3 也保持截止状态。晶体管 T10 的栅极连接到第一时钟信号 LCK1 的低电平电压,并且接点 J2 的电压为低,使得晶体管 T10 保持截止状态。

[0083] 接着,第一时钟信号 LCK1 变为高,使得晶体管 T12 和 T7 导通,并提升接点 J4 的电压。晶体管 T3 导通,以将低电平电压传输到接点 J2,使得输出单元 450 保持低电平电压的输出。因此,即使后级进位输出 Cout(j+1) 为低,接点 J2 的电压电平可能为低。

[0084] 同时,因为晶体管 T10 的栅极连接到第一时钟信号 LCK1 的高电平电压,并且接点 J2 的电压为低,所以晶体管 T10 导通,以将接点 J2 的低电平电压传输到接点 J1。因为第一时钟端 CK1 连接到两个晶体管 T1 和 T14 的漏极,所以持续向其施加第一时钟信号 LCK1。具体地,晶体管 T1 比其他晶体管更大,因此其栅极和漏极之间的寄生电容相对较大。因此,在晶体管 T1 的漏极电压中的电荷可干扰其栅极电压。因此,当第一时钟信号 LCK1 变为高时,由于寄生电容,晶体管 T1 的栅极电压可升高,以导通晶体管 T1。因此,通过将接点 J2 的低电平电压传输到接点 J1,晶体管 T1 的栅极电压保持低电平电压,以防止晶体管 T1 导通。

[0085] 其后,接点 J1 保持低电平电压,直至前级进位输出 Cout(j-1) 变为高。当第一时钟信号 LCK1 为高,且第二时钟信号 LCK2 为低时,接点 J2 的电压通过晶体管 T3 变为低。另外,接点 J2 通过晶体管 T5 保持低电平电压。

[0086] 当输出单元 450 的输出是高电平电压时,在第一转换信号 VH1 为高,第二转换信号 VH2 为低时,输出转换单元 460 的晶体管 T16 输出输出单元 450 的输出,并且晶体管 T17 截止。相反地,晶体管 T18 截止且晶体管 T19 导通,以输出第二转换信号 VH2 的值,即低电平电压。因此,第一输出端 OUT1 的输出变为高电平电压,并且第二输出端 OUT2 的输出变为低电平电压。类似地,当第一转换信号 VH1 为低,第二转换信号 VH2 为高时,第一输出端 OUT1 的输出变为低电平电压,并且第二输出端 OUT2 的输出变为高电平电压。

[0087] 同时,晶体管 T6 接收来自最后的虚拟级的进位输出 Cout(n+1) 的初始化信号 INT,将栅极截止电压 Voff 传输到接点 J1,并将接点 J1 的电压再次设置为低电平电压。

[0088] 以这种方式,级 ST_j 基于后级进位信号 Cout(j-1) 和前级进位信号 Cout(j+1) 与第一和第二时钟信号 LCK1 和 LCK2 同步生成进位信号 Cout(j) 以及选通信号 Gout(4j-3) 和 Gout(4j-1)。同样,第一和第二转换信号 VH1 和 VH2 控制级 ST_j 的两个输出,以将其交替地输出。

[0089] 因此,只添加四个晶体管(例如,T16 至 T19)和两条信号线(例如,VH1 和 VH2)就可将栅极导通电压施加到两条栅极线,因此减小了移位寄存器的面积。

[0090] 在该示例性实施例中,一个级 ST_j 生成对于两条栅极线的栅极导通电压。然而,可通过增加更多的晶体管和信号线(例如,VH3、VH4、...)来更改级 ST_j,以生成对于三条或更多条栅极线的栅极导通电压。

[0091] 在该示例性实施例中,可向栅极线顺序地提供栅极导通电压 Von。即,供以栅极导通电压 Von 的栅极线的顺序是第一栅极线、第二栅极线、第三栅极线、和第四栅极线等。

[0092] 同时,当第一和第二时钟信号 LCK1 和 LCK2 的周期为一帧时,前半帧具有与后半帧不同的值。因此,每一个级均通过第一输出端对前半帧产生输出,并通过第二输出端对后半帧产生输出。因此,供以栅极导通电压 Von 的栅极线的顺序是第一栅极线、第二栅极线、第五栅极线、第六栅极线、...、和第三栅极线、第四栅极线、第七栅极线、第八栅极线等。

[0093] 根据本发明的示例性实施例,可减少数据线的数量,也可以减少数据驱动器的数量,从而降低了生产成本。

[0094] 虽然参考实际的示例性实施例描述了本发明,但应当理解,本发明并不限于公开的实施例,相反地,其覆盖了包括在所附权利要求的精神和范围之内的各种更改和等同替换。

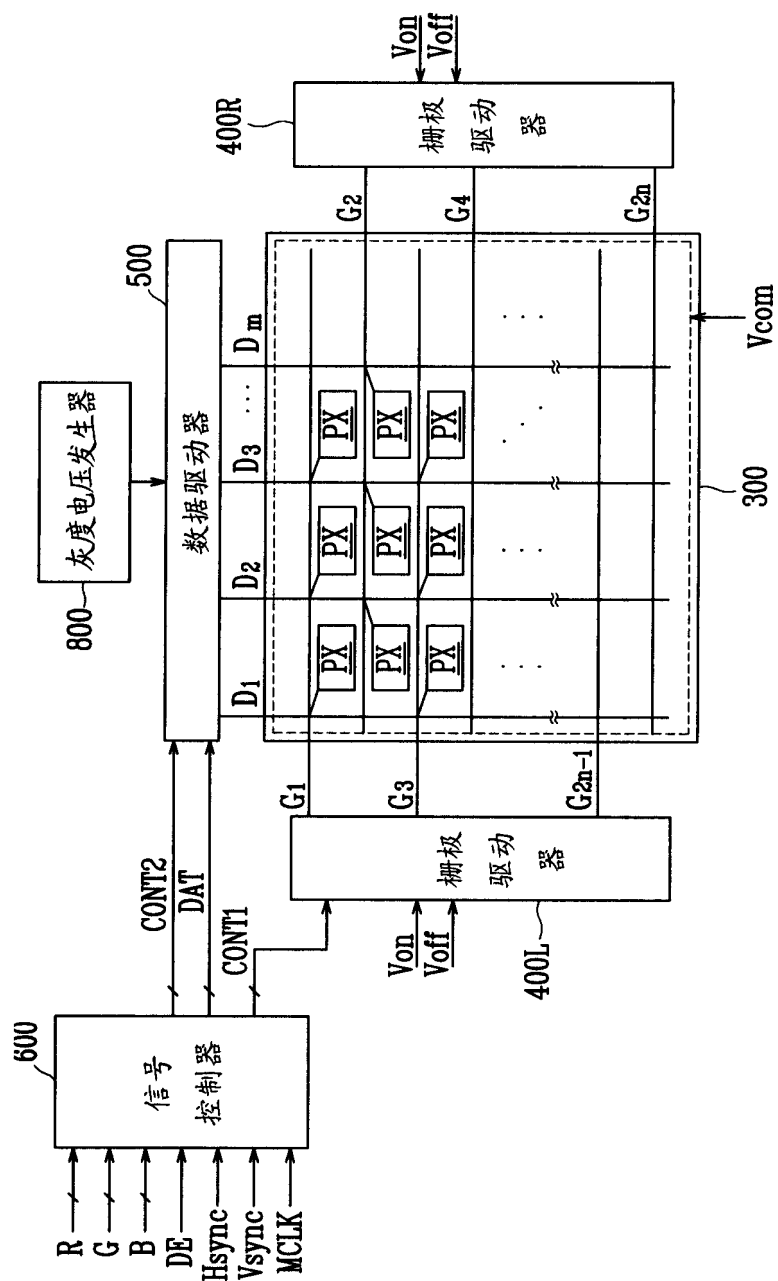


图 1

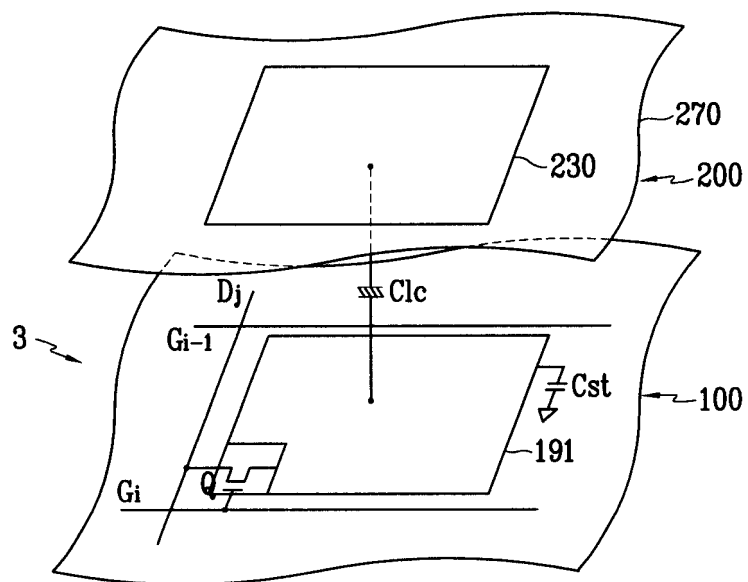


图 2

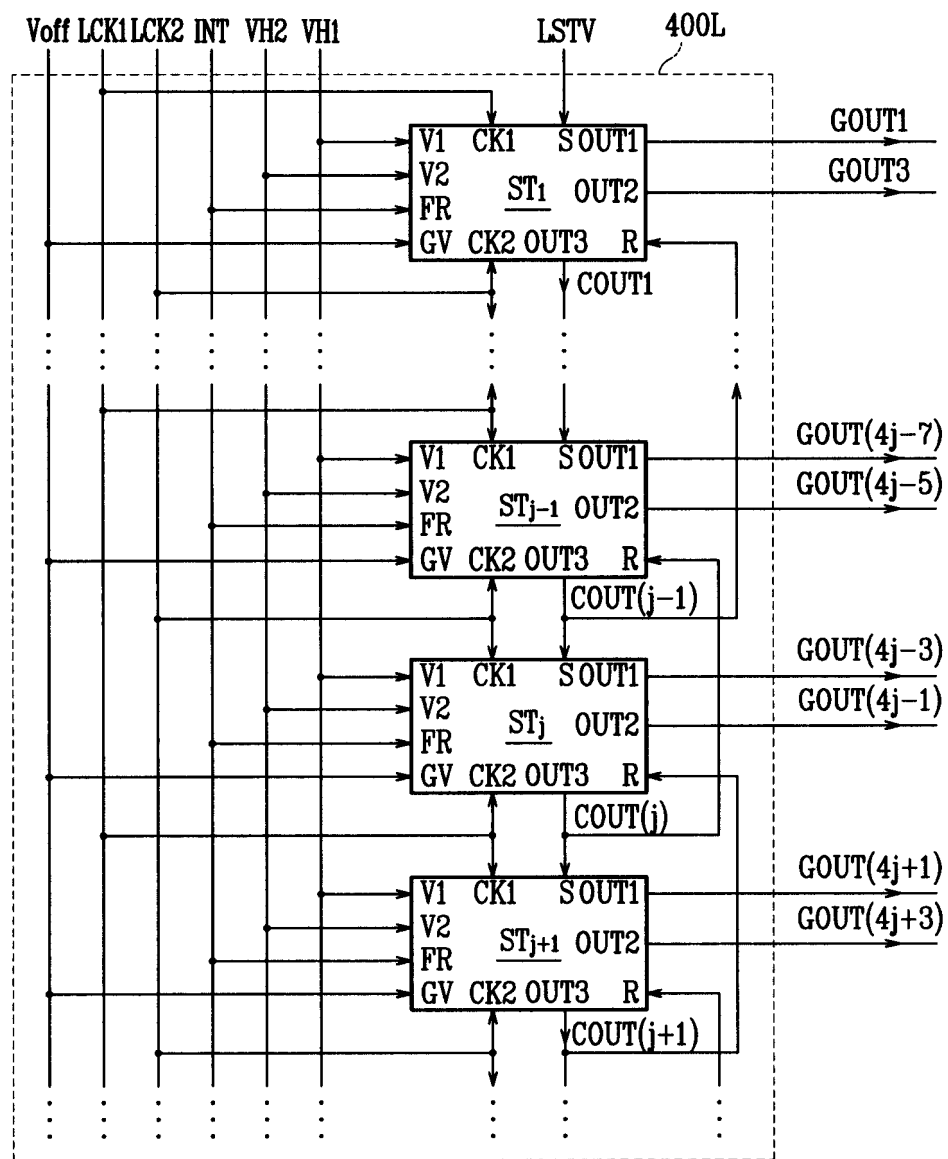


图 3

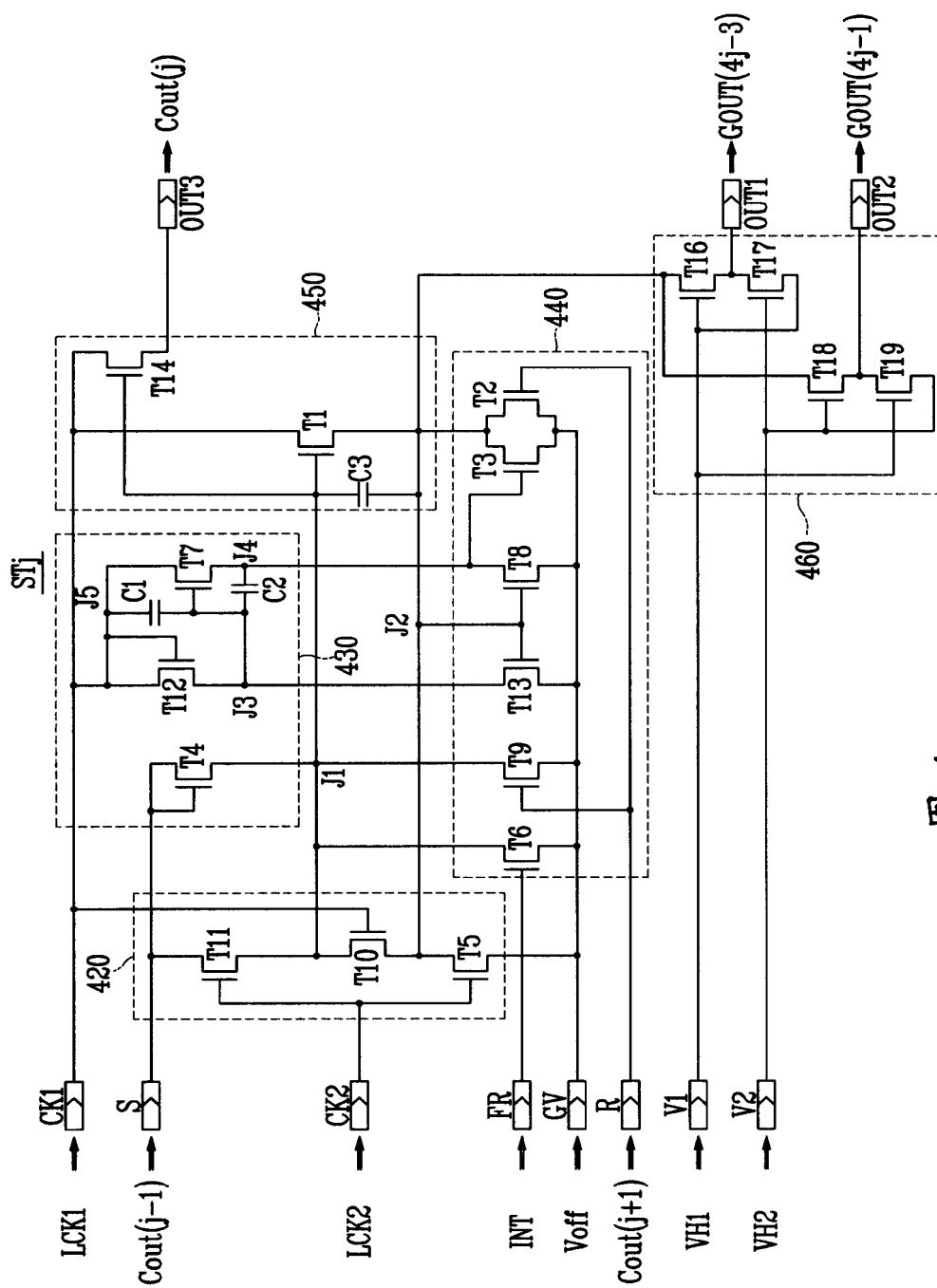


图 4