

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5294304号
(P5294304)

(45) 発行日 平成25年9月18日(2013.9.18)

(24) 登録日 平成25年6月21日(2013.6.21)

| | |
|------------------------------|-----------------|
| (51) Int.Cl. | F I |
| G06F 15/80 (2006.01) | G06F 15/80 |
| H03K 19/173 (2006.01) | H03K 19/173 101 |
| H03K 19/177 (2006.01) | H03K 19/177 |
| G06F 9/38 (2006.01) | G06F 9/38 370C |
| G06F 11/00 (2006.01) | G06F 9/06 630A |
| 請求項の数 5 (全 13 頁) 最終頁に続く | |

| | | | |
|-----------|------------------------------|-----------|-------------------------|
| (21) 出願番号 | 特願2008-159267 (P2008-159267) | (73) 特許権者 | 000004237 |
| (22) 出願日 | 平成20年6月18日(2008.6.18) | | 日本電気株式会社 |
| (65) 公開番号 | 特開2010-2986 (P2010-2986A) | | 東京都港区芝五丁目7番1号 |
| (43) 公開日 | 平成22年1月7日(2010.1.7) | (73) 特許権者 | 302062931 |
| 審査請求日 | 平成23年5月16日(2011.5.16) | | ルネサスエレクトロニクス株式会社 |
| | | | 神奈川県川崎市中原区下沼部1753番地 |
| | | (74) 代理人 | 100095407 |
| | | | 弁理士 木村 満 |
| | | (72) 発明者 | 戸井 崇雄 |
| | | | 東京都港区芝五丁目7番1号 日本電気株式会社内 |
| | | (72) 発明者 | 粟島 亨 |
| | | | 東京都港区芝五丁目7番1号 日本電気株式会社内 |
| 最終頁に続く | | | |

(54) 【発明の名称】再構成可能電子回路装置

(57) 【特許請求の範囲】

【請求項1】

複数のプロセッシングエレメントと、
前記複数のプロセッシングエレメントのそれぞれに電子回路を実現させるための回路構成情報を複数記憶する主記憶部、

前記複数のプロセッシングエレメントのいずれかにロードされた回路構成情報をキャッシュするキャッシュ部、

前記複数のプロセッシングエレメントのそれぞれにロードすべき回路構成情報を選択し、当該選択された回路構成情報が前記キャッシュ部に記憶されていなければ前記主記憶部から前記キャッシュ部に読み出し、当該選択された回路構成情報を当該キャッシュ部から当該プロセッシングエレメントにロードするキャッシュ制御部、を備え、

前記キャッシュ部にキャッシュされる回路構成情報には、当該プロセッシングエレメントにおけるアドレス範囲と当該アドレス範囲に配置されるコード列とが対応付けて指定され、当該コード列には所定の無効コードは含まれず、

前記キャッシュ制御部は、当該プロセッシングエレメントにおける各アドレスを当該所定の無効コードでクリアしてから、当該回路構成情報に指定されるアドレス範囲のそれぞれについてこれに対応付けられるコード列を書き込むことにより、当該回路構成情報をロードする、

ことを特徴とする再構成可能電子回路装置。

【請求項2】

請求項 1 に記載の再構成可能電子回路装置であって、
 前記キャッシュ部を複数備え、
 前記複数のプロセッシングエレメントのそれぞれは、前記複数のキャッシュ部のいずれかに対応付けられて、当該対応付けられたキャッシュ部にキャッシュされる回路構成情報がロードされ、
 前記複数のプロセッシングエレメントは、格子状に配置され、
 当該格子は、同じ大きさの長方形に分割され、
 前記複数のプロセッシングエレメントのうち、同じ長方形に配置されるプロセッシングエレメントは同じキャッシュ部に対応付けられる、
 ことを特徴とする再構成可能電子回路装置。

10

【請求項 3】

請求項 1 又は 2 に記載の再構成可能電子回路装置であって、
 前記キャッシュ制御部は、前記プロセッシングエレメントにおける各アドレスを前記所定の無効コードで自動的にクリアする手段を備える、
 ことを特徴とする再構成可能電子回路装置。

【請求項 4】

請求項 1 乃至 3 のいずれか 1 項に記載の再構成可能電子回路装置であって、
 前記キャッシュ部は、演算情報用のキャッシュと配線接続情報用のキャッシュとを備え

前記キャッシュ制御部は、前記演算情報用のキャッシュと前記配線接続情報用のキャッシュとを別々に制御する、
 ことを特徴とする再構成可能電子回路装置。

20

【請求項 5】

請求項 1 乃至 4 のいずれか 1 項に記載の再構成可能電子回路装置であって、
 前記キャッシュ部は、デュアルポート RAM により構成される、
 ことを特徴とする再構成可能電子回路装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、回路構成情報を効率的に保持、転送する再構成可能電子回路装置に関する。

30

【背景技術】

【0002】

近年、専用論理回路並の性能を実現しつつ、回路動作の変更が容易に可能であるデバイスとして F P G A (F i e l d P r o g r a m a b l e G a t e A r r a y) や D R P (D y n a m i c a l l y R e c o n f i g u r a b l e P r o c e s s o r) が注目されている。例えば、特許文献 1 と特許文献 2 とに、D R P のアーキテクチャの一例が開示されている。

【0003】

F P G A や D R P は、あらかじめデバイス内のコンフィギュレーションメモリに記憶された回路構成情報(以下、「コンフィギュレーションコード」という。)に応じた回路動作を実行する。従って、これらのデバイスで大規模な回路を実現させる場合、多くのコンフィギュレーションコードを保持する必要がある。特に、D R P のようにコンフィギュレーションの構成を複数持ち、この構成を時間軸上で動的に切り替える場合、より多くのコンフィギュレーションコードを保持する必要がある。

40

【特許文献 1】特許第 3 9 8 7 7 8 2 号公報

【特許文献 2】特許第 3 9 8 7 7 8 3 号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、各演算器内に用意するコンフィギュレーションメモリのサイズを大きく

50

すると、デバイス全体に対してこのコンフィギュレーションメモリが占める割合が大きくなり、逆に演算回路が占める割合は小さくなるので、演算器同士の距離が遠くなり、配線遅延が増大してしまうことがある。

【0005】

この配線遅延の増大を抑制する方法として、例えば、高速で動作するトランジスタを用いる方法が考えられる。しかし、高速で動作するトランジスタは一般的にリーク電流が大きいため消費電力が増大してしまう。

【0006】

このほか、回路構成情報の参照には偏りがあるため、この偏りを利用して効率よく回路構成情報を保持、転送できるようにしたいという要望がある。さらに、回路構成情報に含まれるコードにも偏りがあるため、回路構成情報を効率よく保持したいという要望も強い。

10

【0007】

本発明は、上記問題に鑑みてなされたものであり、回路構成情報を効率的に保持、転送する再構成可能電子回路装置を提供することを目的とする。

【課題を解決するための手段】

【0008】

上記目的を達成するために、本発明に係る再構成可能電子回路装置は、複数のプロセッシングエレメント、主記憶部、キャッシュ部、キャッシュ制御部を備え、以下のように構成する。

20

まず、主記憶部は、複数のプロセッシングエレメントのそれぞれに電子回路を実現させるための回路構成情報を複数記憶する。

次に、キャッシュ部は、複数のプロセッシングエレメントのいずれかにロードされた回路構成情報をキャッシュする。

そして、キャッシュ制御部は、複数のプロセッシングエレメントのそれぞれにロードすべき回路構成情報を選択する。ここで、キャッシュ制御部は、当該選択された回路構成情報がキャッシュ部に記憶されていなければ主記憶部からキャッシュ部に読み出し、当該選択された回路構成情報をキャッシュ部からプロセッシングエレメントにロードする。

ここで、キャッシュ部にキャッシュされる回路構成情報には、当該プロセッシングエレメントにおけるアドレス範囲と当該アドレス範囲に配置されるコード列とが対応付けて指定され、当該コード列には所定の無効コードは含まれない。

30

また、キャッシュ制御部は、当該プロセッシングエレメントにおける各アドレスを当該所定の無効コードでクリアしてから、当該回路構成情報に指定されるアドレス範囲のそれぞれについてこれに対応付けられるコード列を書き込むことにより、当該回路構成情報をロードする。

【発明の効果】

【0009】

本発明によれば、回路構成情報を効率的に保持、転送する再構成可能電子回路装置を提供することができる。

【発明を実施するための最良の形態】

40

【0010】

以下、図面を参照して、本実施形態に係る再構成可能電子回路装置について説明する。なお、本実施形態に係る再構成可能電子回路装置は、DRP (Dynamically Reconfigurable Processor) であるが、再構成可能電子回路装置はFPGA (Field Programmable Gate Array) であってもよい。

【0011】

まず、図1を参照して、本実施形態に係る再構成可能電子回路装置が備えるプロセッシングエレメント(以下、「PE (Processing Element)」とする。) 10について説明する。なお、再構成可能電子回路装置の内部には、多数のPE10が格

50

子状に配置され、各 P E 1 0 は、データ配線及びフラグ配線により他の P E 1 0 と接続される。ここでは、理解を容易にするため、図 1 には 1 つの P E 1 0 のみを示し、1 つの P E の構成と動作とを説明する。

【 0 0 1 2 】

図 1 に示すように、P E 1 0 は、コンフィギュレーションメモリ（一次キャッシュ）1 1 と、演算ユニット 1 2 と、レジスタ 1 3 と、を備える。P E 1 0 が備える各要素は、P E 1 0 内において、図示しないデータ配線を介してデータの受け渡しを行い、図示しないフラグ配線を介してフラグの受け渡しを行う。

【 0 0 1 3 】

P E 1 0 は、データ配線を介して他の P E 1 0 から供給されたデータに対して所定の演算を施し、演算により得られたデータをデータ配線を介して別の P E 1 0 に供給する。また、P E 1 0 は、フラグ配線を介して他の P E 1 0 からフラグを供給される。さらに P E 1 0 は、フラグをフラグ配線を介して別の P E 1 0 に供給する。

10

【 0 0 1 4 】

コンフィギュレーションメモリ 1 1 は、演算ユニット 1 2 の命令の内容（以下、「演算情報」という。）と、配線接続スイッチ 2 1、2 2、2 5、3 1、3 2 の配線接続情報とをコンフィギュレーションコード（以下、「回路構成情報」という。）として記憶する。なお、コンフィギュレーションメモリ 1 1 は、各 P E 1 0 毎に時間軸上で動的に切り替える構成面（以下、「コンテキスト」という。）の個数分用意されることとなるが、P E 1 0 同士で共通する場合もあり得る。図 1 に示す例では、コンフィギュレーションメモリ 1 1 は、コンテキスト 1 ~ コンテキスト N にそれぞれ対応した N 個分の回路構成情報（コード 1 ~ コード N）を記憶している。

20

【 0 0 1 5 】

また、演算ユニット 1 2 は、供給されたデータに対し所定の演算を施す。なお、演算ユニット 1 2 が施す演算内容は、コンフィギュレーションメモリ 1 1 に記憶された演算情報のうち、対応するコンテキストの演算情報により決定される。

【 0 0 1 6 】

レジスタ 1 3 は、演算ユニット 1 2 が出力した演算結果のデータや演算中の中間データなどを一時記憶する。

【 0 0 1 7 】

配線接続スイッチ 2 1、2 2、2 5 は、それぞれの配線接続情報に従って、対応する P E 1 0（当該配線接続情報を記憶するコンフィギュレーションメモリ 1 1 を備える P E 1 0）と、他の P E 1 0（例えば、隣接する P E 1 0）とをデータ配線で接続する。

30

【 0 0 1 8 】

配線接続スイッチ 3 1、3 2、2 5 は、それぞれの配線接続情報に従って、対応する P E 1 0（当該配線接続情報を記憶するコンフィギュレーションメモリ 1 1 を備える P E 1 0）と、他の P E 1 0（例えば、隣接する P E 1 0）とをフラグ配線で接続する。

【 0 0 1 9 】

配線接続スイッチ 2 1、2 2、2 5、3 1、3 2 は、コンフィギュレーションメモリ 1 1 に記憶された配線接続情報のうち、対応するコンテキストの配線接続情報に従って配線を接続する。なお、配線接続スイッチ 2 5 は、データ配線やフラグ配線の交差部に配置される。

40

【 0 0 2 0 】

次に、図 2 を参照して、本実施形態に係る再構成可能電子回路装置 1 0 0 の基本構成について説明する。

【 0 0 2 1 】

図 2 に示すように、再構成可能電子回路装置 1 0 0 は、複数の P E 1 0 と、D R A M（Dynamic Random Access Memory）5 0 と、二次キャッシュメモリ（以下、「二次キャッシュ」という。）6 0 と、キャッシュ制御部 7 0 と、を備える。

50

【 0 0 2 2 】

PE 1 0、再構成可能電子回路装置 1 0 0 内部に複数配置される。

【 0 0 2 3 】

DRAM 5 0 は、複数の PE 1 0 のそれぞれに電子回路を実現させるための回路構成情報を複数記憶する。DRAM 5 0 は、大容量のメモリであり、主記憶部として機能する。

【 0 0 2 4 】

二次キャッシュ 6 0 は、複数の PE 1 0 のいずれかにロードされた回路構成情報をキャッシュする。二次キャッシュ 6 0 は、キャッシュ部として機能する。

【 0 0 2 5 】

キャッシュ制御部 7 0 は、複数の PE 1 0 のそれぞれにロードすべき回路構成情報を選択する。そして、キャッシュ制御部 7 0 は、当該選択された回路構成情報が二次キャッシュ 6 0 に記憶されていないならば DRAM 5 0 から二次キャッシュ 6 0 に読み出す。そして、キャッシュ制御部 7 0 は、当該選択された回路構成情報を当該二次キャッシュ 6 0 から当該 PE 1 0 にロードする。

10

【 0 0 2 6 】

ロードすべき回路構成情報は、番号や名前、DRAM 5 0 内でのアドレスなどの識別名が割り当てられており、回路構成情報をキャッシュする際には、当該識別名をキーとしてキャッシュするのが典型的である。

【 0 0 2 7 】

次に、図 3 ~ 5 を参照して、再構成可能電子回路装置 1 0 0 において、二次キャッシュ 6 0 がどのように配置され、どのように PE 1 0 (厳密には、PE 1 0 内にあるコンフィギュレーションメモリ 1 1) と接続されるかを説明する。

20

【 0 0 2 8 】

図 3 に、PE 1 0 の列毎に二次キャッシュ 6 0 を設け、二次キャッシュ 6 0 を、対応する列に属する PE 1 0 のそれぞれと接続する例を示す。かかる構成では、二次キャッシュ 6 0 から、対応する列に属する PE 1 0 がそれぞれの備えるコンフィギュレーションメモリ 1 1 に回路構成情報を転送することが可能となる。

【 0 0 2 9 】

図 4 に、PE 1 0 の行毎に二次キャッシュ 6 0 を設け、二次キャッシュ 6 0 を、対応する行に属する PE 1 0 のそれぞれと接続する例を示す。かかる構成では、二次キャッシュ 6 0 から、対応する行に属する PE 1 0 がそれぞれの備えるコンフィギュレーションメモリ 1 1 に回路構成情報を転送することが可能となる。

30

【 0 0 3 0 】

図 5 に、任意の数の PE 1 0 の行と任意の数の PE 1 0 の列とから構成される PE 1 0 のブロック毎に二次キャッシュ 6 0 を設け、二次キャッシュ 6 0 を、対応するブロックに属する PE 1 0 のそれぞれと接続する例を示す。かかる構成では、二次キャッシュ 6 0 から、対応するブロックに属する PE 1 0 がそれぞれの備えるコンフィギュレーションメモリ 1 1 に回路構成情報を転送することが可能となる。なお、図 5 に示す例では、1 ブロックは、8 個 (4 行 × 2 列) の PE 1 0 から構成されている。

【 0 0 3 1 】

次に、図 6 ~ 1 0 を参照して、本実施形態に係る再構成可能電子回路装置 1 0 0 の動作について説明する。

40

【 0 0 3 2 】

まず、再構成可能電子回路装置 1 0 0 の動作の説明の前に、図 6 に示す再構成可能電子回路装置 1 0 0 の構成について簡単に説明する。なお、図 6 には、PE 1 0 の行毎に二次キャッシュ 6 0 を配置する例を示す。図 6 には、理解を容易にするため、1 行分の PE 1 0 と二次キャッシュ 6 0 とのみを示す。

【 0 0 3 3 】

図 6 に示すように、再構成可能電子回路装置 1 0 0 は、複数の PE 1 0 と、DRAM 5 0 と、二次キャッシュ 6 0 と、キャッシュ制御部 7 0 と、を備える。なお、PE 1 0 と D

50

R A M 5 0 については、図 2 を参照して説明した基本構成と同様であるため説明を省略する。

【 0 0 3 4 】

二次キャッシュ 6 0 は、D R A M 5 0 よりも高速で動作する記憶装置であって、例えば、デュアルポート R A M により構成される。二次キャッシュ 6 0 をデュアルポート R A M により構成した場合、D R A M 5 0 から回路構成情報を読み込みながら、コンフィギュレーションメモリ 1 1 に回路構成情報を転送することが可能となる。

【 0 0 3 5 】

キャッシュ制御部 7 0 は、キャッシュコントローラ 7 1 と、状態遷移コントローラ 7 2 と、から構成される。

10

【 0 0 3 6 】

キャッシュコントローラ 7 1 は、コンフィギュレーションメモリ 1 1 と二次キャッシュ 6 0 とから構成される階層キャッシュを制御する。キャッシュコントローラ 7 1 は、主に以下の (a) ~ (d) の事項について制御する。(a) 二次キャッシュ 6 0 から P E 1 0 の備えるコンフィギュレーションメモリ 1 1 への回路構成情報をどのタイミングでロードするか。(b) コンフィギュレーションメモリ 1 1 に保持している複数の回路構成情報のうち、どの回路構成情報をどのタイミングで破棄するか。(c) D R A M 5 0 から二次キャッシュ 6 0 への回路構成情報をどのタイミングでロードするか。(d) 二次キャッシュ 6 0 に保持している複数の回路構成情報のうち、どの回路構成情報をどのタイミングで破棄するか。なお、キャッシュコントローラ 7 1 は、C P U (C e n t r a l P r o c e s s i n g U n i t) で代用してもよい。

20

【 0 0 3 7 】

状態遷移コントローラ 7 2 は、再構成可能電子回路装置 1 0 0 のとりうる状態を制御する。特に、状態遷移コントローラ 7 2 は、図 7 に示すように、コンテキストを切り替えることにより、再構成可能電子回路装置 1 0 0 のとりうる状態を制御する。状態遷移コントローラ 7 2 は、コンテキストの切り替えのタイミング等を示す信号を制御情報としてキャッシュコントローラ 7 1 に供給する。

【 0 0 3 8 】

キャッシュコントローラ 7 1 は、その信号に基づいて、いずれの回路構成情報をいずれの P E 1 0 にロードするかを決定し、ロードすべき回路構成情報が二次キャッシュ 6 0 に記憶されていればそれを用いて P E 1 0 へロードし、記憶されなければ、二次キャッシュ 6 0 に記憶させる処理と P E 1 0 へのロード処理とを行う。

30

【 0 0 3 9 】

まず、状態遷移コントローラ 7 2 は、例えば、各 P E 1 0 の入出力の状態やクロック信号などに基づいて、各 P E 1 0 の回路構成情報の更新タイミング(コンテキストの切り替えのタイミング)を検出する。状態遷移コントローラ 7 2 は、回路構成情報の更新タイミングを検出すると、更新タイミングを示す情報を制御情報としてキャッシュコントローラ 7 1 に供給する。

【 0 0 4 0 】

キャッシュコントローラ 7 1 は、制御情報を状態遷移コントローラ 7 2 から供給されると、制御情報に基づいて、回路構成情報を更新する。

40

【 0 0 4 1 】

具体的には、例えば、キャッシュコントローラ 7 1 は、1 つの P E 1 0 のコンフィギュレーションメモリ 1 1 に書き込むべき回路構成情報を特定(D R A M 5 0 に記憶された回路構成情報から選択)する。そして、キャッシュコントローラ 7 1 は、当該特定した回路構成情報が、当該 P E 1 0 に接続された二次キャッシュ 6 0 に記憶されているか否かを判別する。回路構成情報の特定には、上記のように、番号、名前、D R A M 5 0 内でのアドレスなどの識別名が用いられ、二次キャッシュ 6 0 では、これらの識別名をキーとしたキャッシュを行う。

【 0 0 4 2 】

50

キャッシュコントローラ71は、当該特定した回路構成情報が当該二次キャッシュ60に記憶されていると判別したときは、二次キャッシュ60から当該回路構成情報を読み出し当該PE10に供給する。一方、キャッシュコントローラ71は、当該特定した回路構成情報が当該二次キャッシュ60に記憶されていないと判別したときは、DRAM50から当該特定した回路構成情報を二次キャッシュ60に読み出すとともに、当該PE10に供給する。

【0043】

なお、PE10は、供給された回路構成情報をコンフィギュレーションメモリ11に書き込む。キャッシュコントローラ71は、全てのPE10に回路構成情報を供給すると、回路構成情報の更新を終了する。

10

【0044】

図6には、キャッシュ制御部70が状態遷移コントローラ72を備える例を示したが、図8に示すように、キャッシュ制御部70が状態遷移コントローラ72備えない構成でもよい。

【0045】

かかる構成の場合、図8に示すように、キャッシュコントローラ71は、各PE10の状態などを監視して、直接PE10と制御情報の受け渡しを行い、回路構成情報の特定やロードなどを行う。演算要素がPEではなく、FPGAのようにLUT(Look Up Table)である場合も同様である。

【0046】

次に、図9を参照して、二次キャッシュ60に記憶される回路構成情報について説明する。

20

【0047】

図9に示すように、二次キャッシュ60には、10パターンの回路構成情報が記憶されるものとする。また、各回路構成情報は、「0x00」~「0x0F」の各アドレスに対応付けられた1バイトのコード列、すなわち、全体で16バイトのコード列から構成されるものとする。なお、コード列が特定のコード、例えば「NOP」を示すコード(例えば、16進数で「0x00」)である場合、当該コード列を記憶しない。この「NOP」コードは、PE10の動作を指定する命令として考えるときには「何もしない」ことを意味し、電子回路を構成する命令として考えるときには「何も配線しない」ことを意味するものである。

30

【0048】

図9に示す例では、パターン1は、アドレス「0x00」、「0x01」、「0x04」及び「0x0F」に対応付けられたコード列は「0x00」ではないため二次キャッシュ60に記憶するが、他のアドレスのコード列は全て「0x00」であるため記憶しない。同様に、パターン2では、アドレス「0x00」及び「0x01」以外のアドレスに対応付けられたコード列は全て「0x00」であるため、記憶しない。

【0049】

DRPにおいては、演算ユニット12のうち何も命令を実行しない演算ユニット12が数多く存在することが予想される。演算ユニット12に何も命令を実行しないように指定する演算情報としてNOPを示すコード列、例えば「0x00」を用いることが考えられ、コンフィギュレーションメモリ11には演算情報として多くの「0x00」が記憶されることが予想される。

40

【0050】

また、配線接続スイッチ21、22、25、31、32のうちどの配線も接続しない配線接続スイッチ21、22、25、31、32が数多く存在することも予想される。この場合も、配線接続情報として多くの「0x00」が記憶されることが予想される。

【0051】

このため、二次キャッシュ60において、コード列が「0x00」である場合に、そのコード列部分を圧縮することで、当該コード列を記憶しないことにより、二次キャッシュ

50

60に記憶されるデータ量を大幅に減らすことが可能となる。

【0052】

次に、図10を参照して、キャッシュコントローラ71がPE10のコンフィギュレーションメモリ11に回路構成情報を書き込む手順について説明する。図6に示すように、二次キャッシュ60には4つのPE10(図10において、PE(A)、PE(B)、PE(C)、PE(D))が接続されている。このときの転送は、転送する信号経路の幅によって制限され、一回に一つのPE10の内容しか転送できないと仮定して説明する。

【0053】

キャッシュコントローラ71は、接続された全てのPE10のコンフィギュレーションメモリ11に記憶されたコードを全てクリアする。これは、コンフィギュレーションメモリ11にNOP以外のコードが残っていると、PE10が無効な演算を実行することによって消費電力が増加したり、配線接続スイッチが予期せぬ接続を行うことによって回路素子を破壊する可能性があるためである。

【0054】

なお、NOPに相当する回路構成情報を転送すると転送に時間がかかる。そこで一度、消去してから必要に応じて新しい回路構成情報を転送する。すなわち、転送がなければ消去されるだけとなる。

【0055】

キャッシュコントローラ71は、接続された全てのPE10のコンフィギュレーションメモリ11の全てのアドレスを「0x00」でクリアした後に、各PE10のコンフィギュレーションメモリ11に対して「0x00」以外のコード列から構成される回路構成情報を書き込む。このように、最低限必要なコード列のみを逐一書き込むことで、書き込みにかかる時間を減らすことが可能となる。

【0056】

なお、コンフィギュレーションメモリ11の全てのアドレスを「0x00」でクリアする手法として、コンフィギュレーションメモリ11に、全てのアドレスについて「0x00」でクリアする機構を設けても良いし、DMA転送などにより全てのアドレスについて自動的に「0x00」を書き込むようにしてもよい。

【0057】

また、一つの二次キャッシュ60と接続されるPE10にロードされる回路構成情報は、同じパターンである可能性が高い。すなわち、図3~5に波線で示したPE群のように、同一の列、同一の行、或いは同一のグループ、に属するPE10は同じ演算処理を実行する可能性が高い。理由を以下に示す。

【0058】

DRPにより実現される回路に実行させる処理は、同一の演算を並列処理やパイプライン処理することにより実現される場合が多いと予想される。そして、並列処理やパイプライン処理を実行する場合、同一の列又は同一の行に属するPE10の演算処理は同一となり、回路構成情報も同一になることが予想される。さらに、これらの処理を実行する場合、あるPE10が実行した処理と同一の処理を、次のタイミングで当該PE10に隣接するPE10で実行する可能性も高くなり、同一の回路構成情報を次のタイミングで隣接するPE10にロードする可能性が高くなる。

【0059】

このように、本実施形態に係る再構成可能電子回路装置100では、二次キャッシュ60におけるキャッシュのヒット率が高くなることが予想され、結果として再構成可能電子回路装置100の動作速度の向上が期待できる。

【0060】

また、コンテキスト数を増やしたい場合、二次キャッシュ60の容量を増やすだけでよい。すなわち、PE10毎に用意されている容量の少ないコンフィギュレーションメモリ11の容量をそれぞれ増やすことに比べると、複数のPE10のコンフィギュレーションをまとめて記憶する二次キャッシュ60の容量を増やす方が面積の増加が少なくてすむ。

10

20

30

40

50

そして、コンフィギュレーションメモリの面積を小さくすることができると、PE 10間の距離も短くなるため遅延を短縮することができる。

【0061】

また、二次キャッシュ60は一次キャッシュ(コンフィギュレーションメモリ11)とは異なり、遅延短縮の要求は少ないため低速であるがリーク電流が少ないトランジスタで構成することができる。このため、消費電力を減らすことができる。

【0062】

上記実施形態では、コンフィギュレーションメモリ11が記憶する回路構成情報は、演算ユニット12の演算情報に加え、PE 10近傍の配線接続スイッチ21、22、25、31、32の配線接続情報を含むものとして説明した。しかし、演算情報と、配線接続情報とは別のメモリに記憶するようにしてもよい。この場合、演算情報用の二次キャッシュと配線接続情報用の二次キャッシュを別々に設け、キャッシュ制御部がこれらの二次キャッシュを別々に制御するようにすればよい。

【0063】

上記実施形態では、再構成可能電子回路装置が演算器がベースのDRPから構成されるものとして説明した。しかし、再構成可能電子回路装置は、LUTで実現されるFPGA、プロダクトタームがベースのPLD等から構成されてもよい。

【0064】

上述のように、本発明によれば、回路構成情報を効率的に保持、転送する再構成可能電子回路装置を提供することができる。

【図面の簡単な説明】

【0065】

【図1】本発明の実施形態に係る再構成可能電子回路装置が備えるプロセッシングエレメントの構成を示す図である。

【図2】本発明の実施形態に係る再構成可能電子回路装置の基本構成を示すブロック図である。

【図3】二次キャッシュとプロセッシングエレメントとの第1の配置及び接続例を示すブロック図である。

【図4】二次キャッシュとプロセッシングエレメントとの第2の配置及び接続例を示すブロック図である。

【図5】二次キャッシュとプロセッシングエレメントとの第3の配置及び接続例を示すブロック図である。

【図6】再構成可能電子回路装置の動作を説明するためのブロック図である。

【図7】状態遷移コントローラが実行するコンテキストの切り替え動作を説明するための図である。

【図8】キャッシュ制御部が状態遷移コントローラを備えない場合のキャッシュコントローラの動作を説明するためのブロック図である。

【図9】二次キャッシュに記憶される回路構成情報を説明するための図である。

【図10】回路構成情報を書き込む手順を説明するための図である。

【符号の説明】

- 10 PE (Processing Element)
 11 コンフィギュレーションメモリ
 12 演算ユニット
 13 レジスタ
 21、22、25、31、32 配線接続スイッチ
 50 DRAM (Dynamic Random Access Memory)
 60 二次キャッシュ
 70 キャッシュ制御部
 71 キャッシュコントローラ

10

20

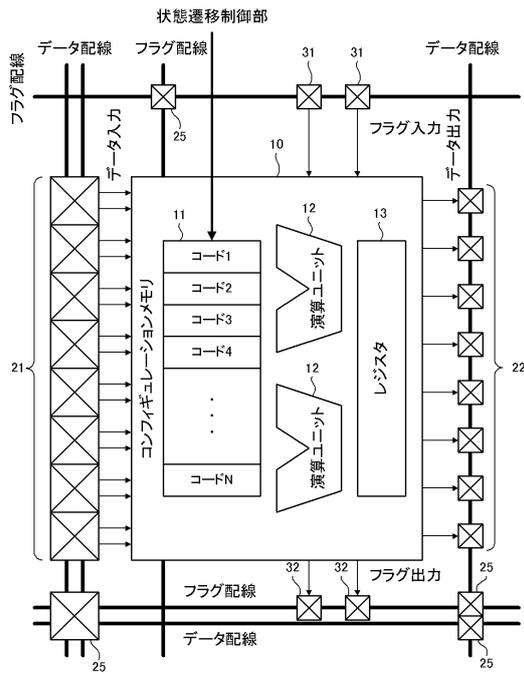
30

40

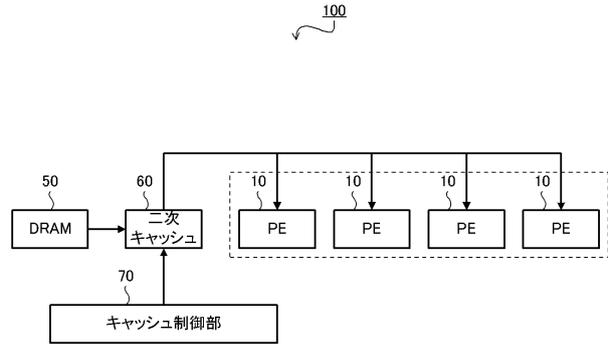
50

7 2 状態遷移コントローラ
1 0 0 再構成可能電子回路装置

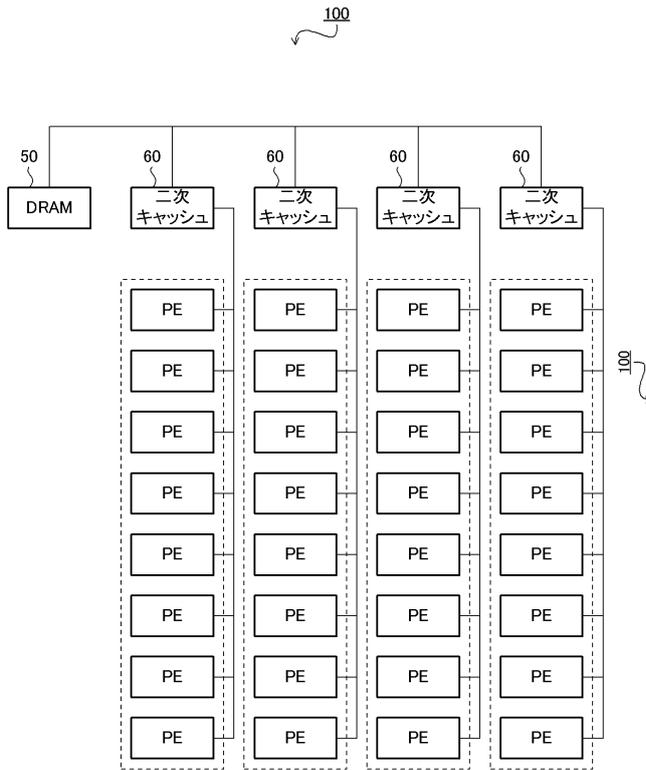
【図 1】



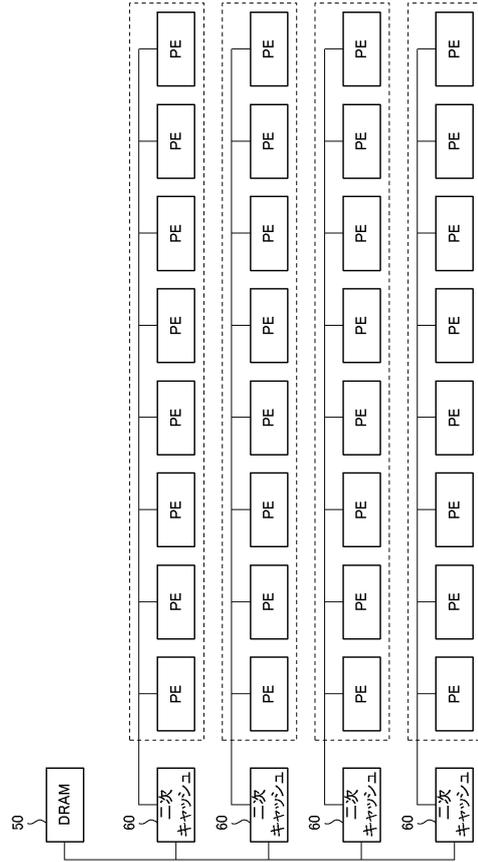
【図 2】



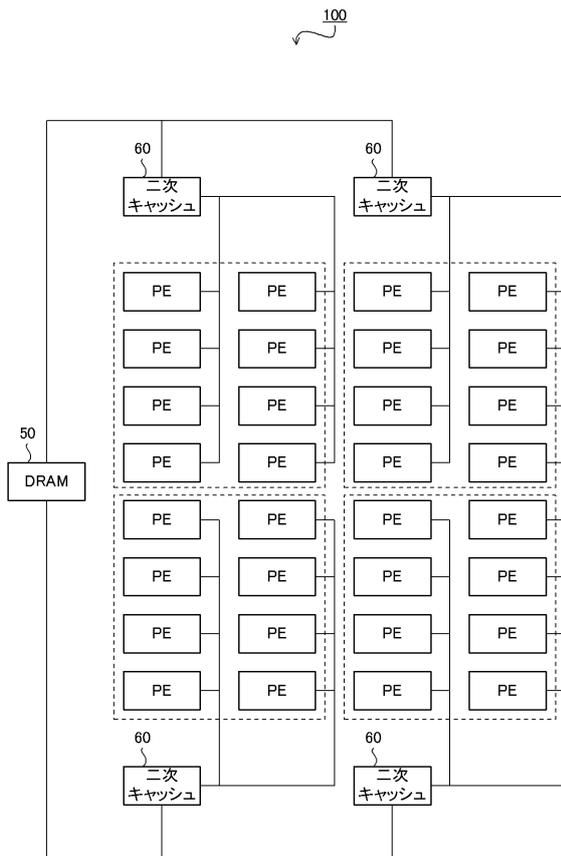
【図3】



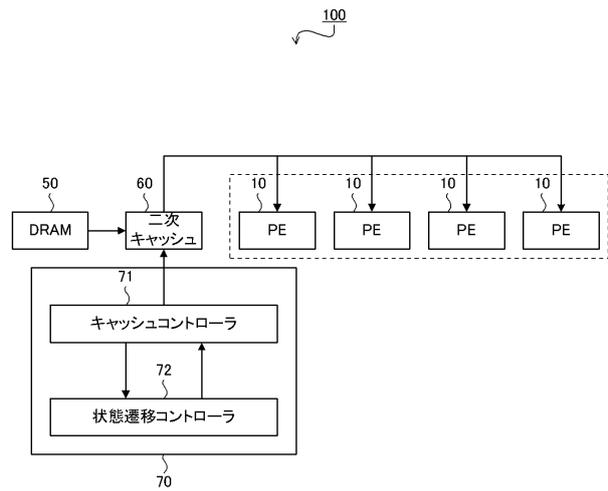
【図4】



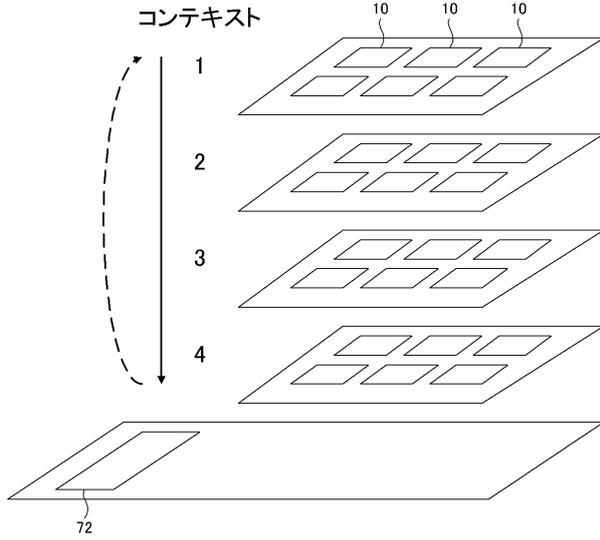
【図5】



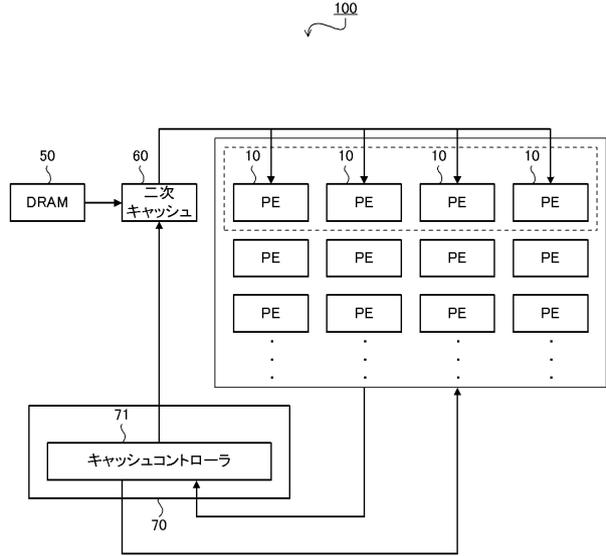
【図6】



【図7】



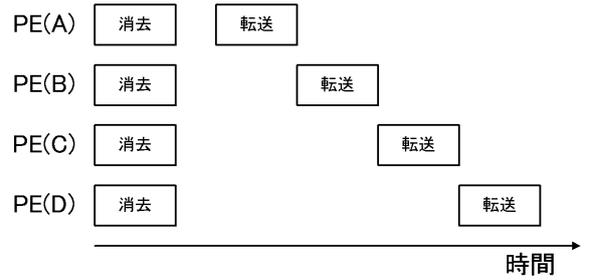
【図8】



【図9】

| パターン | アドレス範囲 | コード列 |
|------|-------------|------|
| 1 | 0x00 - 0x00 | AA |
| | 0x01 - 0x01 | BB |
| | 0x04 - 0x04 | CC |
| | 0x0F - 0x0F | EE |
| 2 | 0x00 - 0x00 | AA |
| | 0x01 - 0x01 | BB |
| 3 | 0x0D - 0x0D | AA |
| | 0x0E - 0x0E | BB |
| ⋮ | ⋮ | ⋮ |
| 10 | 0x02 - 0x02 | AA |
| | 0x04 - 0x04 | BB |

【図10】



フロントページの続き

(51)Int.Cl. F I
G 0 6 F 12/08 (2006.01) G 0 6 F 12/08 5 5 9 Z
 G 0 6 F 12/08 5 0 9 F
 G 0 6 F 12/08 5 0 7 Z

(72)発明者 藤井 太郎
 神奈川県川崎市中原区下沼部 1 7 5 3 番地 NECエレクトロニクス株式会社内
 (72)発明者 北岡 稔朗
 神奈川県川崎市中原区下沼部 1 7 5 3 番地 NECエレクトロニクス株式会社内
 (72)発明者 古田 浩一朗
 神奈川県川崎市中原区下沼部 1 7 5 3 番地 NECエレクトロニクス株式会社内
 (72)発明者 本村 真人
 神奈川県川崎市中原区下沼部 1 7 5 3 番地 NECエレクトロニクス株式会社内

審査官 清木 泰

(56)参考文献 特開 2 0 0 6 - 0 1 1 7 0 5 (J P , A)
 特開平 0 8 - 1 0 1 7 6 1 (J P , A)
 特開平 0 9 - 1 5 3 7 8 9 (J P , A)
 特開平 0 2 - 1 8 8 8 4 7 (J P , A)
 特表 2 0 0 4 - 5 0 5 4 8 8 (J P , A)
 特開 2 0 0 9 - 1 5 9 5 6 7 (J P , A)
 特開平 0 2 - 2 5 3 3 5 6 (J P , A)
 特開 2 0 0 0 - 0 1 0 8 6 0 (J P , A)
 米国特許出願公開第 2 0 0 7 / 0 0 8 3 7 3 0 (U S , A 1)
 特表 2 0 0 2 - 5 0 5 4 8 0 (J P , A)
 特表 2 0 0 5 - 5 3 5 0 5 5 (J P , A)
 特表 2 0 0 1 - 5 1 0 6 5 0 (J P , A)
 特表 2 0 0 7 - 5 0 4 6 8 8 (J P , A)

(58)調査した分野(Int.Cl. , DB名)
 G 0 6 F 1 5 / 8 0
 H 0 3 K 1 9 / 1 7 3 - 1 9 / 1 7 7
 G 0 6 F 9 / 3 8
 G 0 6 F 1 5 / 1 6 - 1 5 / 1 7 7
 G 0 6 F 9 / 4 4 5 - 9 / 5 4
 G 0 6 F 1 1 / 0 0
 G 0 6 F 1 1 / 3 6
 G 0 6 F 1 2 / 0 8 - 1 2 / 1 2