

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017 年 7 月 6 日 (06.07.2017)



(10) 国际公布号
WO 2017/113451 A1

(51) 国际专利分类号:
H01L 29/786 (2006.01)

(21) 国际申请号: PCT/CN2016/071710

(22) 国际申请日: 2016 年 1 月 22 日 (22.01.2016)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201511002931.6 2015 年 12 月 28 日 (28.12.2015) CN

(71) 申请人: 武汉华星光电技术有限公司 (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD) [CN/CN]; 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430070 (CN)。

(72) 发明人: 赵瑜 (ZHAO, Yu); 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430070 (CN)。 张占东 (ZHANG, Zhandong); 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430070 (CN)。

(74) 代理人: 深圳市铭粤知识产权代理有限公司 (MING & YUE INTELLECTUAL PROPERTY LAW FIRM); 中国广东省深圳市南山区登良路 21 号南油第二工业区 206 栋 6 层 611 室 (恒裕中心 B 座), Guangdong 518054 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO,

[见续页]

(54) Title: SEMICONDUCTOR LAYER STRUCTURE AND PREPARATION METHOD THEREOF

(54) 发明名称: 半导体层结构及其制备方法

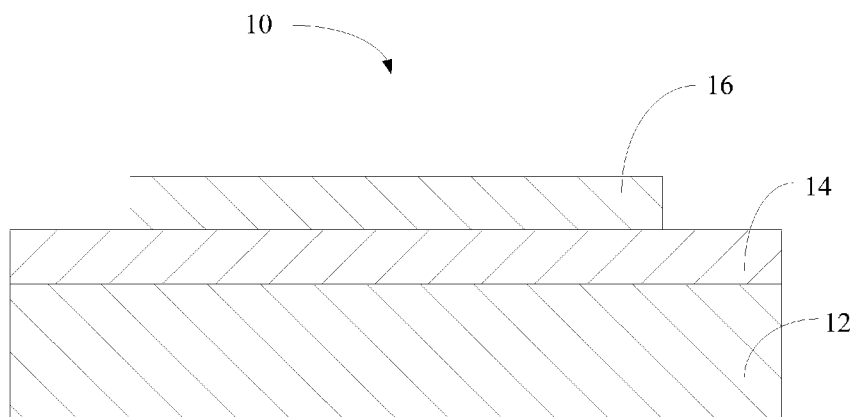


图 1

(57) Abstract: A semiconductor layer structure (10), comprising an insulated substrate (12) and a semiconductor layer (16) positioned above the insulated substrate (12). The semiconductor layer (16) comprises an access terminal for a source electrode signal (160), an access terminal for a drain electrode signal (161), a first semiconductor layer pattern (162) and a second semiconductor layer pattern (164). The first semiconductor layer pattern (162) and the second semiconductor layer pattern (164) are configured in parallel between the access terminal for the source electrode signal (160) and the access terminal for the drain electrode signal (161). Also provided is a preparation method of the semiconductor layer structure (10).

(57) 摘要: 一种半导体层结构 (10), 包括绝缘衬底 (12) 及位于该绝缘衬底 (12) 上的半导体层 (16)。该半导体层 (16) 包括源极信号接入端子 (160)、漏极信号接入端子 (161)、第一半导体层图案 (162) 以及第二半导体层图案 (164)。该第一半导体层图案 (162) 及第二半导体层图案 (164) 并联设置在该源极信号接入端子 (160) 与该漏极信号接入端子 (161) 之间。同时提供了一种半导体层结构 (10) 的制备方法。



WO 2017/113451 A1



RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, **本国际公布:**

CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, — 包括国际检索报告(条约第 21 条(3))。
TG)。

半导体层结构及其制备方法

技术领域

- 5 本发明涉及显示领域，尤其涉及一种薄膜晶体管中的半导体层结构、一种制备该半导体层结构的方法。

背景技术

- 10 目前薄膜晶体管液晶显示屏(Thin Film Transistor Liquid Crystal Display, TFT-LCD)正向高像素/英寸(pixel per inch, ppi)方向发展，而限制高 ppi 发展的一大阻碍就是薄膜晶体管的充电速度。薄膜晶体管生产工艺都是形成传统的金属氧化物半导体层结构，电子在非晶硅中的迁移率为 0.5-1.0，在多晶硅中的迁移率为 30-300，同时工艺原因也会降低电子的迁移率。因此，设计出一种降低电阻的半导体层及薄膜晶体管以提高充电速度成为亟需解决的问题。

发明内容

- 15 为了解决上述技术问题，本发明提供了一种半导体层结构，包括绝缘衬底及位于该绝缘衬底上的半导体层。该半导体层包括源极信号接入端子、漏极信号接入端子、第一半导体层图案以及第二半导体层图案。该第一半导体层图案及第二半导体层图案并联设置在该源极信号接入端子与该漏极信号接入端子之间。

- 20 进一步地，该半导体层结构还包括位于该半导体层与该绝缘衬底之间缓冲层。

进一步地，该第一半导体层图案及该第二半导体层图案均呈“n”形并横跨在该源极信号接入端子及该漏极信号接入端子之间。

- 25 进一步地，该第一半导体层图案包括两个第一主体部及一个连接两个第一主体部的第一连接部，其中一个第一主体部的两端分别与该源极信号接入端子及该第一连接部连接，另外一个第一主体部的两端分别与该漏极信号接入端子

及该第一连接部连接，该第二半导体层图案包括两个第二主体部及一个连接两个第二主体部的第二连接部，其中一个第二主体部的两端分别与该源极信号接入端子及该第二连接部连接，另外一个第二主体部的两端分别与该漏极信号接入端子及该第二连接部连接。

- 5 进一步地，该两个第一主体部与该两个第二主体部平行，该第一连接部与该第二连接部平行。

进一步地，该绝缘衬底为玻璃衬底。

一种薄膜晶体管，其包括如上所述的半导体层结构。

- 10 一种半导体层结构制备方法，包括如下步骤：提供一个绝缘衬底；在该绝缘衬底上形成半导体层，该半导体层包括源极信号接入端子、漏极信号接入端子、第一半导体层图案以及第二半导体层图案，该第一半导体层图案及第二半导体层图案并联设置在该源极信号接入端子与该漏极信号接入端子之间。

- 15 一种半导体层结构制备方法，包括如下步骤：提供一个绝缘衬底；在该绝缘衬底上形成一缓冲层；在该缓冲层上形成半导体层，该半导体层包括源极信号接入端子、漏极信号接入端子、第一半导体层图案以及第二半导体层图案，该第一半导体层图案及第二半导体层图案并联设置在该源极信号接入端子与该漏极信号接入端子之间。

- 20 进一步地，该第一半导体层图案包括两个第一主体部及一个连接两个第一主体部的第一连接部，其中一个第一主体部的两端分别与该源极信号接入端子及该第一连接部连接，另外一个第一主体部的两端分别与该漏极信号接入端子及该第一连接部连接，该第二半导体层图案包括两个第二主体部及一个连接两个第二主体部的第二连接部，其中一个第二主体部的两端分别与该源极信号接入端子及该第二连接部连接，另外一个第二主体部的两端分别与该漏极信号接入端子及该第二连接部连接。

- 25 本发明提供的半导体层结构、薄膜晶体管及半导体层结构制备方法通过并联设置第一半导体层图案及第二半导体层图案，一方面能够降低电阻，提高具有该半导体层结构的薄膜晶体管的充电速度；另一方面，当第一半导体层图案

上出现缺陷造成像素异常，则可以剪掉出现缺陷的第一半导体层图案，此时仍有第二半导体层图案维持沟道导电，保证半导体层结构正常运作。

附图说明

5 为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动性的前提下，还可以根据这些附图获得其他的附图。

图 1 是本发明一实施方式提供的半导体层结构的剖面结构示意图。

图 2 是图 1 中的半导体层结构的半导体层的剖面结构示意图。

10 具体实施方式

下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

15 第一实施方式

请参阅图 1，本发明实施方式提供的半导体层结构 10 为薄膜晶体管的必不可少的部分。该半导体层结构 10 包括一个绝缘衬底 12、一个缓冲层 14、以及一个半导体层 16。该绝缘衬底 12 可为玻璃衬底。该缓冲层 14 及该半导体层 16 依次贴覆在该绝缘衬底 12，且该缓冲层 14 位于该半导体层 16 与该绝缘衬底 12 之间，换言之，该缓冲层 14 在两侧贴覆有该半导体层 16 及该绝缘衬底 12。

请参阅图 2，该半导体层 16 包括源极信号接入端子 160、漏极信号接入端子 161、第一半导体层图案 162、以及第二半导体层图案 164。该源极信号接入端子 160 及该漏极信号接入端子 161 间隔设置在该缓冲层 14 上。该第一半导体层图案 162 及该第二半导体层图案 164 均呈“n”形并横跨在该源极信号接入端子 160 及该漏极信号接入端子 161 之间。具体地，该第一半导体层图案 162 包括两个第一主体部 165 及一个连接两个第一主体部 165 的第一连接部 166，

其中一个第一主体部 165 的两端分别与该源极信号接入端子 160 及该第一连接部 166 连接，另外一个第一主体部 165 的两端分别与该漏极信号接入端子 161 及该第一连接部 166 连接。该第二半导体层图案 164 包括两个第二主体部 167 及一个连接两个第二主体部 167 的第二连接部 168，其中一个第二主体部 167 的两端分别与该源极信号接入端子 160 及该第二连接部 168 连接，另外一个第二主体部 167 的两端分别与该漏极信号接入端子 161 及该第二连接部 168 连接。本实施方式中，该两个第一主体部 165 与该两个第二主体部 167 平行，该第一连接部 166 与该第二连接部 168 平行。该第二半导体层图案 164 收容在该第一半导体层图案 162 内。

该半导体层结构 10 并联设置有第一半导体层图案 162 及第二半导体层图案 164，一方面能够降低电阻，提高具有该半导体层结构 10 的薄膜晶体管的充电速度；另一方面，当第一半导体层图案 162 上出现缺陷造成像素异常，则可以剪掉出现缺陷的第一半导体层图案 162，此时仍有第二半导体层图案 164 维持沟道导电。

可以理解，在其他实施方式中，该缓冲层 14 可以省略。第一半导体层图案 162 及第二半导体层图案 164 并不局限于本实施方式中的“n”形，还可以是波浪形、螺旋形、倒 V 形等其他任意形状，只需要满足第一半导体层图案 162 及第二半导体层图案 164 彼此无交集，并均能电性连接源极信号接入端子 160 及漏极信号接入端子 161 即可。

第二实施方式

请一并参阅图 1 及图 2，本发明实施方式提供半导体层结构制备方法包括以下步骤：

提供一个绝缘衬底 12，该绝缘衬底 12 可为玻璃衬底。

在该绝缘衬底 12 上形成一缓冲层 14。

在该缓冲层 14 上形成一半导体层 16。具体地，该半导体层 16 包括源极信号接入端子 160、漏极信号接入端子 161、第一半导体层图案 162、以及第二半导体层图案 164。该源极信号接入端子 160 及该漏极信号接入端子 161 间隔设

置在该缓冲层 14 上。该第一半导体层图案 162 及该第二半导体层图案 164 均呈“n”形并横跨在该源极信号接入端子 160 及该漏极信号接入端子 161 之间。具体地，该第一半导体层图案 162 包括两个第一主体部 165 及一个连接两个第一主体部 165 的第一连接部 166，其中一个第一主体部 165 的两端分别与该源极信号接入端子 160 及该第一连接部 166 连接，另外一个第一主体部 165 的两端分别与该漏极信号接入端子 161 及该第一连接部 166 连接。该第二半导体层图案 164 包括两个第二主体部 167 及一个连接两个第二主体部 167 的第二连接部 168，其中一个第二主体部 167 的两端分别与该源极信号接入端子 160 及该第二连接部 168 连接，另外一个第二主体部 167 的两端分别与该漏极信号接入端子 161 及该第二连接部 168 连接。本实施方式中，该两个第一主体部 165 与该两个第二主体部 167 平行，该第一连接部 166 与该第二连接部 168 平行。该第二半导体层图案 164 收容在该第一半导体层图案 162 内。

该半导体层结构制备方法制备出的半导体层结构 10 并联设置有第一半导体层图案 162 及第二半导体层图案 164，一方面能够降低电阻，提高具有该半导体层结构 10 的薄膜晶体管的充电速度；另一方面，当第一半导体层图案 162 上出现缺陷造成像素异常，则可以剪掉出现缺陷的第一半导体层图案 162，此时仍有第二半导体层图案 164 维持沟道导电。

可以理解，在其他实施方式中，在该绝缘衬底 12 上形成缓冲层 14 在步骤可以省略，此时，半导体层 16 是直接形成在该绝缘衬底 12 上。第一半导体层图案 162 及第二半导体层图案 164 并不局限于本实施方式中的“n”形，还可以是波浪形、螺旋形、倒 V 形等其他任意形状，只需要满足第一半导体层图案 162 及第二半导体层图案 164 彼此无交集，并均能电性连接源极信号接入端子 160 及漏极信号接入端子 161 即可。

以上所揭露的仅为本发明较佳实施例而已，当然不能以此来限定本发明之权利范围，因此依本发明权利要求所作的等同变化，仍属本发明所涵盖的范围。

权利要求书

1、一种半导体层结构，包括：

绝缘衬底；及

5 位于该绝缘衬底上的半导体层，该半导体层包括源极信号接入端子、漏极信号接入端子、第一半导体层图案以及第二半导体层图案，该第一半导体层图案及第二半导体层图案并联设置在该源极信号接入端子与该漏极信号接入端子之间。

2、如权利要求 1 所述的半导体层结构，其中，该半导体层结构还包括位
10 于该半导体层与该绝缘衬底之间缓冲层。

3、如权利要求 1 所述的半导体层结构，其中，该第一半导体层图案及该第二半导体层图案均呈“n”形并横跨在该源极信号接入端子及该漏极信号接入端子之间。

4、如权利要求 1 所述的半导体层结构，其中，该第一半导体层图案包括
15 两个第一主体部及一个连接两个第一主体部的第一连接部，其中一个第一主体部的两端分别与该源极信号接入端子及该第一连接部连接，另外一个第一主体部的两端分别与该漏极信号接入端子及该第一连接部连接，该第二半导体层图案包括两个第二主体部及一个连接两个第二主体部的第二连接部，其中一个第二主体部的两端分别与该源极信号接入端子及该第二连接部连接，另外一个第
20 二主体部的两端分别与该漏极信号接入端子及该第二连接部连接。

5、如权利要求 4 所述的半导体层结构，其中，该两个第一主体部与该两个第二主体部平行，该第一连接部与该第二连接部平行。

6、如权利要求 1 所述的半导体层结构，其中，该绝缘衬底为玻璃衬底。

7、一种半导体层结构制备方法，包括如下步骤：

25 提供一个绝缘衬底；及

 在该绝缘衬底上形成半导体层，该半导体层包括源极信号接入端子、漏极信号接入端子、第一半导体层图案以及第二半导体层图案，该第一半导体层图案及第二半导体层图案并联设置在该源极信号接入端子与该漏极信号接入端

子之间。

8、如权利要求 7 所述的半导体层结构制备方法，其中，该第一半导体层图案包括两个第一主体部及一个连接两个第一主体部的第一连接部，其中一个第一主体部的两端分别与该源极信号接入端子及该第一连接部连接，另外一个第一主体部的两端分别与该漏极信号接入端子及该第一连接部连接，该第二半导体层图案包括两个第二主体部及一个连接两个第二主体部的第二连接部，其中一个第二主体部的两端分别与该源极信号接入端子及该第二连接部连接，另外一个第二主体部的两端分别与该漏极信号接入端子及该第二连接部连接。

9、一种半导体层结构制备方法，包括如下步骤：

10 提供一个绝缘衬底；

在该绝缘衬底上形成一缓冲层；及

在该缓冲层上形成半导体层，该半导体层包括源极信号接入端子、漏极信号接入端子、第一半导体层图案以及第二半导体层图案，该第一半导体层图案及第二半导体层图案并联设置在该源极信号接入端子与该漏极信号接入端子之间。

10、如权利要求 9 所述的半导体层结构制备方法，其中，该第一半导体层图案包括两个第一主体部及一个连接两个第一主体部的第一连接部，其中一个第一主体部的两端分别与该源极信号接入端子及该第一连接部连接，另外一个第一主体部的两端分别与该漏极信号接入端子及该第一连接部连接，该第二半导体层图案包括两个第二主体部及一个连接两个第二主体部的第二连接部，其中一个第二主体部的两端分别与该源极信号接入端子及该第二连接部连接，另外一个第二主体部的两端分别与该漏极信号接入端子及该第二连接部连接。

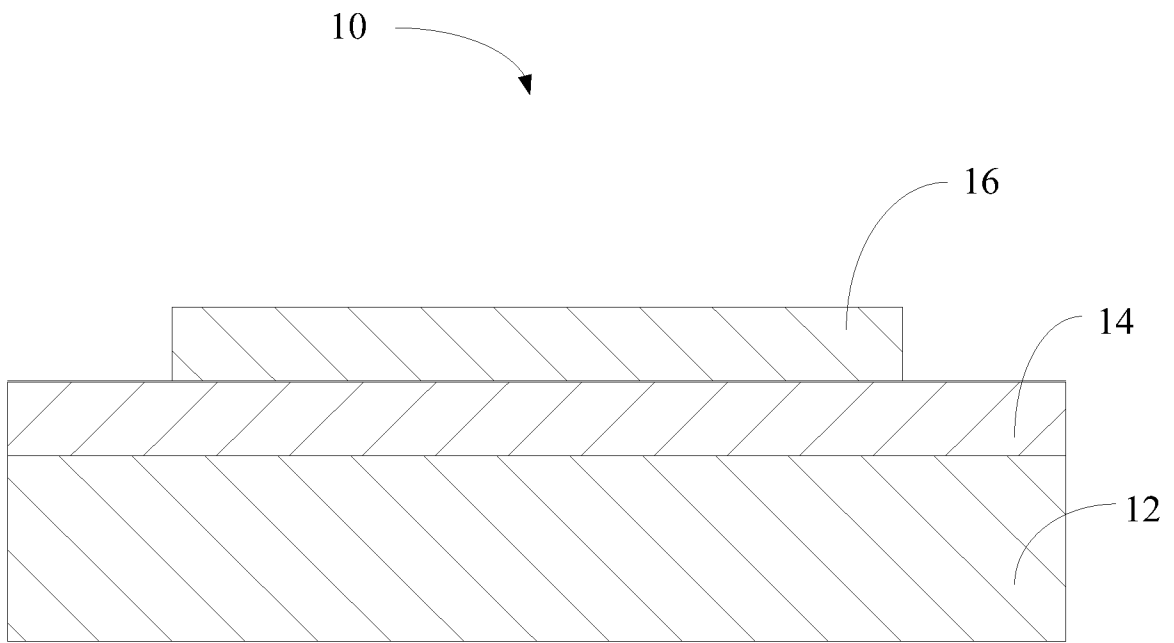


图 1

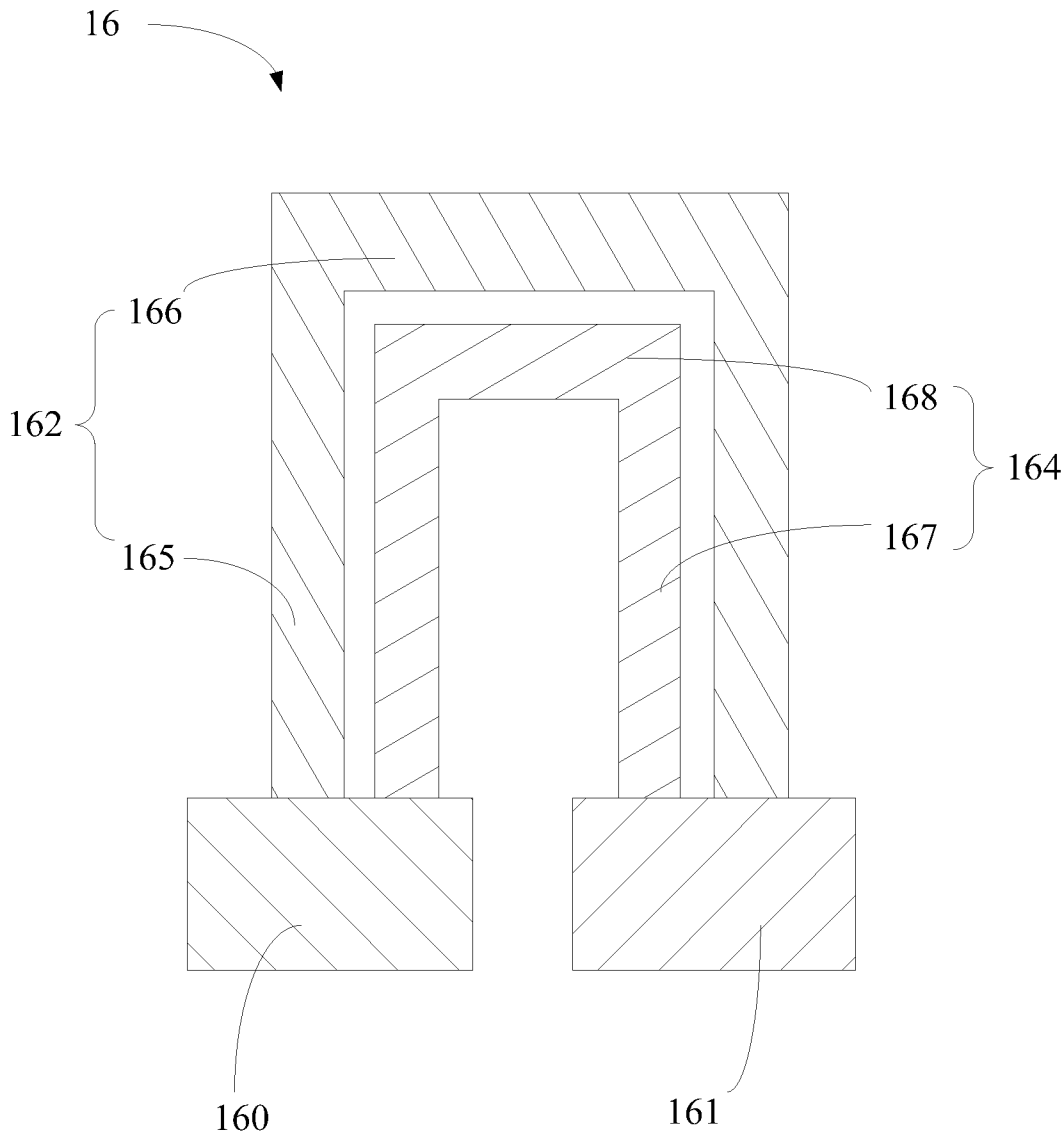


图 2

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2016/071710

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/786 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI, CNPAT, EPODOC, WPI: "n"; WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.; channel, parallel+, source, drain, resistance, speed

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 102201442 A (SUZHOU INSTITUTE OF NANO-TECH AND NANO-BIONICS (SINANO), CAS), 28 September 2011 (28.09.2011), description, paragraphs [0041]-[0067], and figures 1-6	1-10
X	CN 103681792 A (SUZHOU INSTITUTE OF NANO-TECH AND NANO-BIONICS (SINANO), CAS), 26 March 2014 (26.03.2014), description, paragraphs [0019]-[0035], and figures 1a and 1b	1-10
X	CN 103872121 A (SUZHOU INSTITUTE OF NANO-TECH AND NANO-BIONICS (SINANO), CAS), 18 June 2014 (18.06.2014), description, paragraphs [0027]-[0047], and figures 1-6	1-10
A	CN 102332469 A (SUN YAT-SEN UNIVERSITY), 25 January 2012 (25.01.2012), the whole document	1-10
A	US 2012097963 A1 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.), 26 April 2012 (26.04.2012), the whole document	1-10

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 01 September 2016 (01.09.2016)	Date of mailing of the international search report 22 September 2016 (22.09.2016)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer WANG, Na Telephone No.: (86-10) 61648121

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2016/071710

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 102201442 A	28 September 2011	CN 102201442 B	18 June 2014
CN 103681792 A	26 March 2014	None	
CN 103872121 A	18 June 2014	None	
CN 102332469 A	25 January 2012	CN 102332469 B	12 February 2014
US 2012097963 A1	26 April 2012	US 2007001228 A1	04 January 2007
		US 7109069 B2	19 September 2006
		US 2003234395 A1	25 December 2003
		JP 2003197916 A	11 July 2003
		US 8093593 B2	10 January 2012
		JP 4141138 B2	27 August 2008

国际检索报告

国际申请号

PCT/CN2016/071710

A. 主题的分类

H01L 29/786(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNKI, CNPAT, EPDOC, WPI; 沟道, 并联, 源, 漏, “n”, 电阻, 速度, 武汉华星光电技术有限公司, channel, parallel+, source, drain, resistance, speed

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 102201442 A (中国科学院苏州纳米技术与纳米仿生研究所) 2011年 9月 28日 (2011 - 09 - 28) 说明书第[0041]-[0067]段, 附图1-6	1-10
X	CN 103681792 A (中国科学院苏州纳米技术与纳米仿生研究所) 2014年 3月 26日 (2014 - 03 - 26) 说明书第[0019]-[0035]段, 附图1a、1b	1-10
X	CN 103872121 A (中国科学院苏州纳米技术与纳米仿生研究所) 2014年 6月 18日 (2014 - 06 - 18) 说明书第[0027]-[0047]段, 附图1-6	1-10
A	CN 102332469 A (中山大学) 2012年 1月 25日 (2012 - 01 - 25) 全文	1-10
A	US 2012097963 A1 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 2012年 4月 26日 (2012 - 04 - 26) 全文	1-10

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2016年 9月 1日

国际检索报告邮寄日期

2016年 9月 22日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

授权官员

王娜

传真号 (86-10)62019451

电话号码 (86-10)61648121

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2016/071710

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	102201442	A	2011年 9月 28日	CN	102201442	B	2014年 6月 18日
CN	103681792	A	2014年 3月 26日	无			
CN	103872121	A	2014年 6月 18日	无			
CN	102332469	A	2012年 1月 25日	CN	102332469	B	2014年 2月 12日
US	2012097963	A1	2012年 4月 26日	US	2007001228	A1	2007年 1月 4日
				US	7109069	B2	2006年 9月 19日
				US	2003234395	A1	2003年 12月 25日
				JP	2003197916	A	2003年 7月 11日
				US	8093593	B2	2012年 1月 10日
				JP	4141138	B2	2008年 8月 27日

表 PCT/ISA/210 (同族专利附件) (2009年7月)