



**URZĄD
PATENTOWY
PRL**

Patent tymczasowy dodatkowy
do patentu nr ———

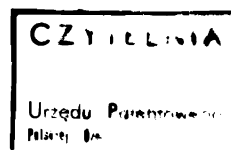
Int. Cl.³ G05F 1/58
H02M 3/10

Zgłoszono: 26.02.81 (P. 229879)

Pierwszeństwo ———

Zgłoszenie ogłoszono: 04.01.82

Opis patentowy opublikowano: 01.10.1984



Twórca wynalazku: Leszek Mike

Uprawniony z patentu tymczasowego: Komitet do Spraw Radia i Telewizji
„Polskie Radio i Telewizja”,
Warszawa (Polska)

Układ do ograniczania i redukcji prądu wyjściowego szeregowego stabilizatora napięcia

Przedmiotem wynalazku jest układ do ograniczania i redukcji prądu wyjściowego szeregowego stabilizatora napięcia, przeznaczony do zasilania takich urządzeń elektrycznych, w których mogą wystąpić przeciążenia a nawet zwarcia.

W znanych stabilizatorach napięcia ograniczanie prądu wyjściowego odbywa się przez włączenie w szereg z obciążeniem rezystora pomiarowego, oraz zastosowanie tranzystorowego ogranicznika prądu. Przekroczenie dopuszczalnej wartości prądu obciążenia wywołuje spadek napięcia na rezystorze pomiarowym większy od wartości napięcia baza-emiter UBE tranzystora ograniczającego, co w konsekwencji prowadzi do odetkania tego tranzystora i ograniczenia prądu wyjściowego. Redukcja prądu wyjściowego, przy zwarcu wyjścia stabilizatora, dokonywana jest przez wprowadzenie do układu zespołu rezystorów i odpowiednie dołączenie do niego tranzystora ograniczającego.

Celem niniejszego rozwiązania jest opracowanie stabilizatora napięcia z układem do ograniczania i redukcji prądu wyjściowego przy przeciążeniu. Cel ten został osiągnięty przez to, że według wynalazku zawiera tranzystor regulacyjny włączony w szereg z obciążeniem oraz dwa równoległe obwody sterowania tego tranzystora, z których pierwszy obwód ograniczania prądu wyjściowego składa się z tranzystora ograniczającego, którego emiter poprzez rezystor jest połączony z napięciem wyjściowym regulatora napięcia, baza jest połączona z napięciem odniesienia, natomiast kolektor tranzystora ograniczającego jest połączony z bazą tranzystora regulacyjnego, drugi obwód równoległy stanowiący obwód redukcji prądu wyjściowego zawiera tranzystor redukcyjny oraz podwójny tranzystor wykonany w jednej strukturze półprzewodnikowej, przy czym emiter tranzystora redukcyjnego poprzez rezystor jest połączony z kolektorem tranzystora regulacyjnego, którego baza zablokowana rezystorem do emitera jest połączona z jednym kolektorem tranzystora podwójnego, natomiast bazy tranzystora podwójnego są połączone ze sobą, z drugim kolektorem tranzystora podwójnego oraz z kolektorem tranzystora redukcyjnego, przy czym emitery tranzystora podwójnego są połączone ze sobą, z emitern tranzystora regulacyjnego oraz nieuziemionym zaciskiem wyjściowym zasilacza.

Zaletą tego wynalazku jest obniżenie minimalnej różnicy napięć między wejściem i wyjściem stabilizatora, przy czym różnica ta jest mniejsza o około 0,6 V w porównaniu z klasycznym układem z ograniczeniem prądu wyjściowego, a o kilka woltów niższa niż w układach z redukcją prądu wyjściowego. Dodatkową zaletą, w porównaniu ze znanymi układami, układ według wynalazku odznacza się nieograniczoną wartością stopnia redukcji prądu wyjściowego. W układzie według wynalazku poprzez zmianę wartości rezystorów w obwodach sterowania tranzystora regulacyjnego, zmienia się zarówno maksymalny prąd wyjściowy jak i stopień redukcji prądu zwarcia, bez wpływu na wartość różnicy napięcia między wejściem i wyjściem stabilizatora. Stopień redukcji prądu zwarcia może być dowolny w skrajnym ustawieniu może prowadzić do wyłączenia stabilizatora w przypadku przekroczenia maksymalnego prądu wyjściowego.

Przedmiot wynalazku zostanie opisany w oparciu o rysunek przedstawiający schemat ideowy. Układ składa się ze znanego regulatora napięcia **RN**, tranzystora regulacyjnego **T2** oraz dwóch równoległych obwodów sterowania tranzystora regulacyjnego **T2**. Pierwszy obwód sterowania stanowi obwód ograniczania prądu wyjściowego, a drugi — obwód redukcji prądu wyjściowego. Tranzystor regulacyjny **T2** o przewodnictwie n-p-n pracuje jako wzmacniacz napięciowy włączony w szereg z obciążeniem. Emiter i baza tranzystora regulacyjnego **T2** są połączone poprzez rezystor **R4**. Obwód ograniczania prądu wyjściowego stanowi tranzystor ograniczający p-n-p, którego kolektor jest połączony z bazą tranzystora regulacyjnego **T2**. Emiter tranzystora ograniczającego **T1** poprzez rezystor **R3** jest połączony z zaciskiem wyjściowym regulatora napięcia **RN**, na którym napięcie wynosi $-U_1$. Baza tranzystora ograniczającego **T1** jest połączona z jednym biegunem źródła odniesienia U_{od} . Drugi biegun tego źródła jest połączony ze wspólnym punktem — z masą układu. Baza tranzystora ograniczającego **T1** jest ponadto połączona z bazą tranzystora redukcyjnego **T3**, stanowiącego element drugiego obwodu sterowania, obwodu redukcji prądu wyjściowego. Emiter tranzystora redukcyjnego **T3** jest połączony poprzez rezystor **R5** z zaciskiem wyjściowym zasilacza; kolektor tranzystora redukcyjnego **T3** jest połączony z bazami podwójnego tranzystora **T4** i **T5** oraz z jednym kolektorem tranzystora podwójnego **T4**. Natomiast emiter tranzystora regulacyjnego **T2** jest połączony z zaciskiem wejściowym zasilacza, a baza z kolektorem tranzystora ograniczającego **T1**, który jest dodatkowo połączony z kolektorem tranzystora **T5**. Emitery tranzystora podwójnego **T4** i **T5** połączone są z emitern tranzystora regulacyjnego **T2**.

Działanie układu według wynalazku jest następujące: prąd pobierany z zasilacza równy jest prądowi kolektora tranzystora regulacyjnego **T2** (oznaczony jako I_{CT2}), gdyż prąd pobierany przez równoległe obwody sterowania tranzystora regulacyjnego **T2** jest znikomo mały w porównaniu z prądem I_{CT2} i dlatego można go zaniedbać. Zależność prądu I_{CT2} od bazy i od współczynnika β tranzystora **T2** można przedstawić jako:

$$I_{CT2} = h_{21ET2} \times I_{BT2}$$

W zakresie, w którym w stabilizatorze nie występują ani ograniczenie ani redukcja prądu wyjściowego, tranzystor redukcyjny **T3** jest zatkany. Pociąga to za sobą zatkanie tranzystorów **T4** i **T5**. Zatkanie tranzystora redukcyjnego **T3** występuje przy napięciu odniesienia określanym jako:

$$U_{od} \leq U_{wy} + U_{BET3 \min}$$

gdzie $U_{BET3 \min}$ jest to wartość napięcia baza-emiter tranzystora redukcyjnego **T3**, przy którym prąd kolektora tego tranzystora spada do zera. Prąd bazy tranzystora regulacyjnego **T2** można określić jako:

$$I_{BT2} = I_{CT1} - I_{CT5} - I_{R4}$$

przy czym prąd kolektora tranzystora ograniczającego **T1** określa zależność pomiędzy różnicą wartości napięcia odniesienia U_{od} , napięcia wyjściowego regulatora napięcia U_1 , napięcia bazy-emiter tranzystora ograniczającego **T1** U_{BET1} oraz wartością **R3**

$$I_{CT1} = \frac{U_{od} - U_1 - U_{BET1}}{R3}$$

ponieważ w zakresie stabilizacji napięcia, tranzystory **T4** i **T5** są zatkane;

$$I_{CT4} = 0 \text{ i } I_{CT5} = 0, I_{B4} = \frac{U_{BET2}}{R_4}$$

stąd po podstawieniu prąd bazy tranzystora regulacyjnego wynosi:

$$I_{BET2} = \frac{U_{od} - U_1 - U_{BET1}}{R_3} - \frac{U_{BET2}}{R_4}$$

Natomiast prąd kolektora tranzystora regulacyjnego **T2**

$$I_{CT2} = h_{21ET2} / \frac{U_{od} - U_1 - U_{BET1}}{R_3} - \frac{U_{BET2}}{R_4}$$

Ze wzrostem obciążenia stabilizatora, wskutek uzależnienia napięcia wyjściowego regulatora **RN** **U1** od obciążenia, rośnie pierwszy skład różnicy w wyrażeniu na prąd **I_{CT2}**. Po osiągnięciu minimalnej wartości napięcia **U1** prąd wyjściowy zasilacza osiąga wartość maksymalną i przestaje rosnąć, ze względu na ustabilizowanie się obu składników różnicy. W miarę zwiększania obciążenia stabilizatora ponad maksymalny prąd wyjściowy napięcie wyjściowe **U_{wy}** maleje. Doprowadza to w końcu do nie spełnienia warunku:

$$U_{od} \leq U_{wy} + U_{BET3 \text{ min}}$$

przy którym tranzystor **T3** był zatkany, a prądy **I_{CT4}** i **I_{CT5}** były równe zero. Pojawia się zatem prąd **I_{CT4}** określony jako:

$$I_{CT4} = \frac{U_{od} - U_{wy} - U_{BET3}}{R_5}$$

Prąd ten rośnie w miarę dalszego obciążenia zasilacza, a więc dalszego spadku napięcia wyjściowego **U_{wy}**. Jeżeli tranzystory **T5** i **T4**, dzięki na przykład wykonaniu ich w sposób identyczny, na wspólnej płytce półprzewodnikowej, mają identyczne parametry, to uwzględniając, że napięcie kolektor-emiter ma pomijalny wpływ na wartość prądu kolektora, można przyjąć, że prądy kolektorowe obu tranzystorów są równe:

$$I_{CT4} = I_{CT5}$$

a zatem

$$I_{CT5} = \frac{U_{od} - U_{wy} - U_{BET3}}{R_5}$$

przy czym prąd ten rośnie ze wzrostem obciążenia zasilacza, gdyż maleje napięcie **U_{wy}**. Prąd bazy szeregowego tranzystora regulacyjnego **T2** wynosi:

$$\begin{aligned} I_{BT2} &= I_{CT1} - I_{R4} - I_{CT5} = \\ &= \frac{U_{od} - U_1 - U_{BET1}}{R_3} - \frac{U_{BET2}}{R_4} - \frac{U_{od} - U_{wy} - U_{BET3}}{R_5} \end{aligned}$$

Stąd po podstawieniu prąd pobierany z zasilacza przy wzroście obciążenia wynosi:

$$I_{CT2} = h_{21ET2} / \frac{U_{od} - U_1 - U_{BET1}}{R_3} - \frac{U_{BET2}}{R_4} - \frac{U_{od} - U_{wy} - U_{BET3}}{R_5}$$

Pierwszy składnik powyższego wyrażenia ma wpływ na maksymalny prąd wyjściowy zasilacza, a ostatni — na stopień redukcji prądu wyjściowego. Przy bardzo dużej wartości rezystora **R5** w stabilizatorze może występować minimalny efekt redukcji prądu wyjściowego a przy małej wartości rezystora **R5**, efekt całkowitego zaniku prądu wyjściowego przy zwarciu wyjścia stabilizatora.

Zastrzeżenie patentowe

Układ do ograniczania i redukcji prądu wyjściowego szeregowego stabilizatora napięcia współpracującego z regulatorem napięcia, **znamienny tym**, że zawiera tranzystor regulacyjny (**T2**) włączony w szereg z obciążeniem oraz dwa równoległe obwody sterowania tego tranzystora, z których pierwszy obwód ograniczania prądu wyjściowego składa się z tranzystora ograniczającego (**T1**), którego emiter poprzez rezystor (**R3**) jest połączony z napięciem wyjściowym (**-U1**) regulatora napięcia (**RN**), baza jest połączona z napięciem odniesienia (**U_{od}**), natomiast kolektor tranzystora ograniczającego (**T1**) jest połączony z bazą tranzystora regulacyjnego (**T2**), drugi obwód równoległy stanowiący obwód redukcji prądu wyjściowego zawiera tranzystor redukcyjny (**T3**) oraz podwójny tranzystor (**T4 i T5**) wykonany w jednej strukturze półprzewodnikowej, przy czym emiter tranzystora redukcyjnego (**T3**) poprzez rezystor (**R5**) jest połączony z kolektorem tranzystora regulacyjnego (**T2**), którego baza zablokowana rezystorem (**R4**) do emitera jest połączona z kolektorem tranzystora (**T5**), natomiast baza tranzystora (**T5**) jest połączona z bazą tranzystora (**T4**), z kolektorem tranzystora (**T4**) oraz z kolektorem tranzystora redukcyjnego (**T3**), przy czym emitory tranzystora podwójnego (**T4 i T5**) są połączone ze sobą, z emiterem tranzystora regulacyjnego (**T2**) oraz z nieziemionym zaciskiem wejściowym zasilacza.

