

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-41037

(P2011-41037A)

(43) 公開日 平成23年2月24日(2011.2.24)

(51) Int.Cl. F I テーマコード (参考)
H O 4 N 7/32 (2006.01) H O 4 N 7/137 Z 5 C 1 5 9

審査請求 未請求 請求項の数 14 O L (全 63 頁)

(21) 出願番号	特願2009-187049 (P2009-187049)	(71) 出願人	000002185
(22) 出願日	平成21年8月12日 (2009.8.12)		ソニー株式会社
			東京都港区港南1丁目7番1号
		(74) 代理人	100082131
			弁理士 稲本 義雄
		(74) 代理人	100121131
			弁理士 西川 孝
		(72) 発明者	佐藤 数史
			東京都港区港南1丁目7番1号 ソニー株式会社社内

最終頁に続く

(54) 【発明の名称】 画像処理装置および方法

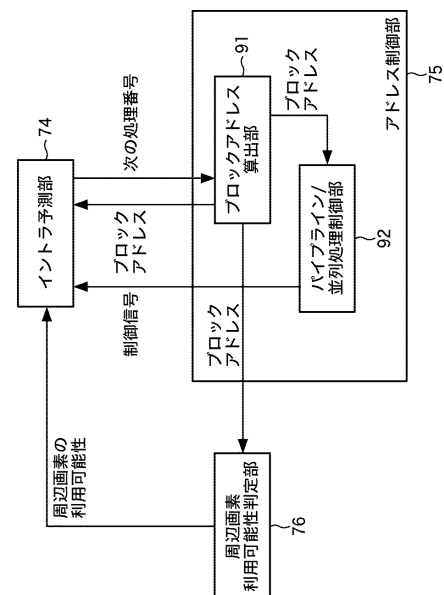
(57) 【要約】

【課題】イントラ予測の並列またはパイプライン処理化を実現するとともに、符号化効率を向上させることができるようにする。

【解決手段】イントラ予測部74は、アドレス制御部75によりH.264/AVCの処理順とは異なる処理順で確定されたブロックアドレスに対応する対象ブロックについて、周辺画素利用可能性判定部76により利用可能であると判定された周辺画素を用いるイントラ予測モードで、イントラ予測処理を行う。その際、イントラ予測部74は、パイプライン/並列処理制御部92からの制御信号に基づいて、複数のブロックについてのパイプライン処理または並列処理のイントラ予測を行うか、1つのブロックでイントラ予測を行う。本発明は、例えば、H.264/AVC方式で符号化する画像符号化装置に適用することができる。

【選択図】 図4

図4



【特許請求の範囲】**【請求項 1】**

画像の所定のブロックを構成するブロックのうち、次に処理する対象ブロックのブロックアドレスを、符号化規格とは異なる順に基づいて確定するアドレス制御手段と、

前記アドレス制御手段により確定されたブロックアドレスに対応する前記対象ブロックを、前記対象ブロックの周辺画素を用いた予測処理を行って、符号化する符号化手段と、
前記符号化手段により符号化された順に、前記対象ブロックをストリームとして出力するストリーム出力手段と
を備える画像処理装置。

【請求項 2】

前記アドレス制御手段は、前記所定のブロックが 16 個のブロックにより構成される場合、左上のブロックを (0,0) とし、{} 内のブロック同士は、パイプライン処理、並行処理、または先にどちらの処理を行ってもいいことを表すとすると、(0,0), (1,0), {(2,0), (0,1)}, {(3,0), (1,1)}, {(2,1), (0,2)}, {(3,1), (1,2)}, {(2,2), (0,3)}, {(3,2), (1,3)}, (2,3), (3,3) の順に基づいて、前記対象ブロックのブロックアドレスを確定する

請求項 1 に記載の画像処理装置。

【請求項 3】

前記アドレス制御手段により確定されたブロックアドレスを用いて、前記対象ブロックの周辺画素が利用可能であるか否かを判定する周辺画素利用可能性判定手段を
さらに備え、

前記符号化手段は、前記周辺画素利用可能性判定手段により利用可能であると判定された周辺画素を用いる予測モードで、前記対象ブロックの周辺画素を用いた予測処理を行って、前記対象ブロックを符号化する

請求項 2 に記載の画像処理装置。

【請求項 4】

前記アドレス制御手段により確定されたブロックアドレスを用いて、前記対象ブロックが、パイプライン処理または並列処理可能であるか否かを判定する処理判定手段をさらに備え、

前記符号化手段は、前記処理判定手段により前記対象ブロックが、パイプライン処理または並列処理可能であると判定された場合、パイプライン処理または並列処理により、前記対象ブロックを符号化する

請求項 2 に記載の画像処理装置。

【請求項 5】

前記所定のブロックは、 $m \times m$ ($m = 16$) 画素のマクロブロックであり、

前記所定のブロックを構成するブロックは、 $m/4 \times m/4$ 画素のブロックである

請求項 2 に記載の画像処理装置。

【請求項 6】

前記所定のブロックは、 $m \times m$ ($m = 32$) 画素のマクロブロック、または前記マクロブロックを構成するサブブロックであり、

前記所定のブロックを構成するブロックは、 16×16 画素のブロックである

請求項 2 に記載の画像処理装置。

【請求項 7】

画像処理装置が、

画像の所定のブロックを構成するブロックのうち、次の処理する対象ブロックのブロックアドレスを、符号化規格とは異なる順に基づいて確定し、

確定されたブロックアドレスに対応する前記対象ブロックについて、前記対象ブロックの周辺画素を用いた予測処理を行って、符号化し、

符号化された順に、前記対象ブロックをストリームとして出力するステップ
を含む画像処理方法。

【請求項 8】

画像の所定のブロックを構成するブロックであって、前記所定のブロック内において符号化規格とは異なる順で符号化された後ストリームとして出力されている次に処理する対象ブロックを前記ストリームの順に復号する復号手段と、

前記対象ブロックのブロックアドレスを、前記符号化規格とは異なる順に基づいて確定するアドレス制御手段と、

前記アドレス制御手段により確定されたブロックアドレスに対応する前記対象ブロックの予測画像を、前記対象ブロックの周辺画素を用いて予測する予測手段と

前記予測手段により予測された前記対象ブロックの予測画像と、前記復号手段により復号された前記対象ブロックの画像を加算する加算手段と

を備える画像処理装置。

10

【請求項 9】

前記アドレス制御手段は、前記所定のブロックが 16 個の前記ブロックにより構成される場合、左上のブロックを (0,0) とし、{} 内のブロック同士は、パイプライン処理、並行処理、または先にどちらの処理を行ってもいいことを表すとすると、(0,0), (1,0), {(2,0), (0,1)}, {(3,0), (1,1)}, {(2,1), (0,2)}, {(3,1), (1,2)}, {(2,2), (0,3)}, {(3,2), (1,3)}, (2,3), (3,3) の順に基づいて、前記対象ブロックのブロックアドレスを確定する

請求項 8 に記載の画像処理装置。

【請求項 10】

前記アドレス制御手段により確定されたブロックアドレスを用いて、前記対象ブロックの周辺画素が利用可能であるか否かを判定する周辺画素利用可能性判定手段を

20

さらに備え、

前記復号手段は、前記対象ブロックの予測モード情報も復号し、

前記予測手段は、前記予測モード情報が示す予測モードで、前記対象ブロックの予測画像を、前記周辺画素利用可能性判定手段により利用可能であると判定された前記対象ブロックの周辺画素を用いて予測する

請求項 9 に記載の画像処理装置。

【請求項 11】

前記アドレス制御手段により確定されたブロックアドレスを用いて、前記対象ブロックが、パイプライン処理または並列処理可能であるか否かを判定する処理判定手段をさらに備え、

30

前記符号化手段は、前記処理判定手段により前記対象ブロックが、パイプライン処理または並列処理可能であると判定された場合、パイプライン処理または並列処理で、前記対象ブロックの予測画像を予測する

請求項 9 に記載の画像処理装置。

【請求項 12】

前記所定のブロックは、 $m \times m$ ($m \geq 16$) 画素のマクロブロックであり、

前記所定のブロックを構成するブロックは、 $m/4 \times m/4$ 画素のブロックである

請求項 9 に記載の画像処理装置。

【請求項 13】

前記所定のブロックは、 $m \times m$ ($m \geq 32$) 画素のマクロブロック、または前記マクロブロックを構成するサブブロックであり、

40

前記所定のブロックを構成するブロックは、 16×16 画素のブロックである

請求項 9 に記載の画像処理装置。

【請求項 14】

画像処理装置が、

画像の所定のブロックを構成するブロックであって、前記所定のブロック内で、符号化規格とは異なる順で符号化された後ストリームとして出力されている次に処理する対象ブロックを前記ストリームの順に復号し、

前記対象ブロックのブロックアドレスを、前記符号化規格とは異なる順に基づいて確定し、

50

確定されたブロックアドレスに対応する前記対象ブロックの予測画像を、前記対象ブロックの周辺画素を用いて予測し、

予測された前記対象ブロックの予測画像と、復号された前記対象ブロックの画像を加算するステップ

を含む画像処理方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は画像処理装置および方法に関し、特に、イントラ予測の並列またはパイプライン処理化を実現するとともに、符号化効率を向上させるようにした画像処理装置および方法に関する。

10

【背景技術】

【0002】

近年、画像情報をデジタルとして取り扱い、その際、効率の高い情報の伝送、蓄積を目的とし、画像情報特有の冗長性を利用して、離散コサイン変換等の直交変換と動き補償により圧縮する符号化方式を採用して画像を圧縮符号する装置が普及しつつある。この符号化方式には、例えば、MPEG (Moving Picture Experts Group) などがある。

【0003】

特に、MPEG2 (ISO/IEC 13818-2) は、汎用画像符号化方式として定義されており、飛び越し走査画像及び順次走査画像の双方、並びに標準解像度画像及び高精細画像を網羅する標準である。例えば、MPEG2は、プロフェッショナル用途及びコンシューマ用途の広範なアプリケーションに現在広く用いられている。MPEG2圧縮方式を用いることにより、例えば720×480画素を持つ標準解像度の飛び越し走査画像であれば4乃至8Mbpsの符号量(ビットレート)が割り当てられる。また、MPEG2圧縮方式を用いることにより、例えば1920×1088画素を持つ高解像度の飛び越し走査画像であれば18乃至22 Mbpsの符号量(ビットレート)が割り当てられる。これにより、高い圧縮率と良好な画質の実現が可能である。

20

【0004】

MPEG2は主として放送用に適合する高画質符号化を対象としていたが、MPEG1より低い符号量(ビットレート)、つまりより高い圧縮率の符号化方式には対応していなかった。携帯端末の普及により、今後そのような符号化方式のニーズは高まると考えられ、これに対応してMPEG4符号化方式の標準化が行われた。画像符号化方式に関しては、1998年12月にISO/IEC 14496-2としてその規格が国際標準に承認された。

30

【0005】

さらに、近年、当初テレビ会議用の画像符号化を目的として、H.26L (ITU-T Q6/16 VCEG) という標準の規格化が進んでいる。H.26LはMPEG2やMPEG4といった従来の符号化方式に比べ、その符号化、復号化により多くの演算量が要求されるものの、より高い符号化効率を実現されることが知られている。また、現在、MPEG4の活動の一環として、このH.26Lをベースに、H.26Lではサポートされない機能をも取り入れ、より高い符号化効率を実現する標準化がJoint Model of Enhanced-Compression Video Codingとして行われている。標準化のスケジュールとしては、2003年3月にはH.264及びMPEG-4 Part10 (Advanced Video Coding、以下H.264/AVCと記す) という国際標準となっている。

40

【0006】

さらに、その拡張として、RGBや4:2:2、4:4:4といった、業務用に必要な符号化ツールや、MPEG-2で規定されていた8x8DCTや量子化マトリクスをも含んだFRExt (Fidelity Range Extension) の標準化が2005年2月に完了している。これにより、H.264/AVCを用いて、映画に含まれるフィルムノイズをも良好に表現することが可能な符号化方式となって、Blu-Ray Disc (商標) 等の幅広いアプリケーションに用いられる運びとなった。

【0007】

しかしながら、昨今、ハイビジョン画像の4倍の、4000×2000画素程度の画像を圧縮したいといった、更なる高圧縮率符号化に対するニーズが高まっている。あるいは、インタ

50

ーネットのような、限られた伝送容量の環境において、ハイビジョン画像を配信したいといった、更なる高圧縮率符号化に対するニーズが高まっている。このため、先述の、ITU-T傘下のVCEG (=Video Coding Expert Group) において、符号化効率の改善に関する検討が継続され行なわれている。

【 0 0 0 8 】

このH. 264/AV方式が、従来のMPEG2方式などと比して、高い符号化効率を実点する要因の1つとして、イントラ予測における動作原理を上げることができる。以下、H. 264/AV方式で定められているイントラ予測方式について簡単に説明する。

【 0 0 0 9 】

まず、輝度信号に対するイントラ予測モードについて説明する。輝度信号のイントラ予測モードには、イントラ4×4予測モード、イントラ8×8予測モード、およびイントラ16×16予測モードの3通りの方式が定められている。これは、ブロック単位を定めるモードであり、マクロブロック毎に設定される。また、色差信号に対しては、マクロブロック毎に輝度信号とは独立したイントラ予測モードを設定することが可能である。

10

【 0 0 1 0 】

さらに、イントラ4×4予測モードの場合、4×4画素の対象ブロック毎に、9種類の予測モードから1つの予測モードを設定することができる。イントラ8×8予測モードの場合、8×8画素の対象ブロック毎に、9種類の予測モードから1つの予測モードを設定することができる。また、イントラ16×16予測モードの場合、16×16画素の対象マクロブロックに対して、4種類の予測モードから1つの予測モードを設定することができる。

20

【 0 0 1 1 】

なお、以下、イントラ4×4予測モード、イントラ8×8予測モード、およびイントラ16×16予測モードは、それぞれ、4×4画素のイントラ予測モード、8×8画素のイントラ予測モード、および16×16画素のイントラ予測モードとも適宜称する。

【 0 0 1 2 】

図1の例において、各ブロックに付されている数字 - 1乃至25は、その各ブロックのビットストリーム順(復号側における処理順)を表している。なお、輝度信号については、マクロブロックが4×4画素に分割されて、4×4画素のDCTが行われる。そして、イントラ16×16予測モードの場合のみ、“ - 1 ”のブロックに示されるように、各ブロックの直流成分を集めて、4×4行列が生成され、これに対して、さらに、直交変換が施される。

30

【 0 0 1 3 】

一方、色差信号については、マクロブロックが4×4画素に分割され、4×4画素のDCTが行われた後に、“ 16 ”および“ 17 ”の各ブロックに示されるように、各ブロックの直流成分を集めて2×2行列が生成され、これに対して、さらに直交変換が施される。

【 0 0 1 4 】

なお、このことは、イントラ8×8予測モードに関しては、ハイプロファイルまたはそれ以上のプロファイルで、対象マクロブロックに、8×8直交変換が施される場合についてのみ適用可能である。

40

【 0 0 1 5 】

ここで、図1に示される各ブロックについて、例えば、“ 0 ”のブロックの一通りの処理、が終了しなければ、“ 1 ”のブロックのイントラ予測処理を開始することができない。この一通りの処理とは、すなわち、イントラ予測処理、直交変換処理、量子化処理、逆量子化処理、および逆直交変換処理までの処理を示す。

【 0 0 1 6 】

つまり、H. 264/AV方式におけるイントラ予測方式においては、各ブロックのパイプライン処理または並列処理を行うことが困難であった。

【 0 0 1 7 】

50

そこで、特許文献 1 においては、符号化順と圧縮画像としての出力順を変える方法が提案されている。図 2 A には、特許文献 1 に記載の方法における符号化処理順が示されており、図 2 B には、特許文献 1 に記載の方法における圧縮画像としての出力順が示されている。

【 0 0 1 8 】

図 2 A においては、上から第 1 段目の各ブロックには、左から順に、「 0 , 1 , 2 a , 3 a 」が付されている。上から第 2 段目の各ブロックには、左から順に、「 2 b , 3 b , 4 a , 5 a 」が付されている。上から第 3 段目の各ブロックには、左から順に、「 4 b , 5 b , 6 a , 7 a 」が付されている。上から第 3 段目の各ブロックには、左から順に、「 6 b , 7 b , 8 , 9 」が付されている。なお、図 2 A の例の場合、同じ番号で異なるアルファベットが付されたブロックは、どちらが先に処理されてもよい、すなわち、並列処理可能なブロックを表している。

10

【 0 0 1 9 】

図 2 B においては、上から第 1 段目の各ブロックには、左から順に、「 0 , 1 , 4 , 5 」が付されている。上から第 2 段目の各ブロックには、左から順に、「 2 , 3 , 6 , 7 」が付されている。上から第 3 段目の各ブロックには、左から順に、「 8 , 9 , 1 2 , 1 3 」が付されている。上から第 4 段目の各ブロックには、左から順に、「 1 0 , 1 1 , 1 4 , 1 5 」が付されている。

【 0 0 2 0 】

すなわち、特許文献 1 に記載の方法において、各ブロックは、図 2 A のブロックに付された番号の昇順に符号化されて、図 2 B のブロックに付された番号の昇順に並び替えられて、圧縮画像として出力される。

20

【 0 0 2 1 】

したがって、図 2 A において、同じ番号で異なるアルファベットが付されている 2 つのブロック（例えば、「 2 a 」が付されたブロックと「 2 b 」が付されたブロック）は、周囲ブロックの利用可能性（availability）に起因することなく処理が可能である。これにより、特許文献 1 に記載の方法の符号化処理においては、パイプライン処理または並列処理を行うことができる。

【 0 0 2 2 】

また、上述したように、H. 264/AV方式において、マクロブロックサイズは 1 6 × 1 6 画素である。しかしながら、マクロブロックサイズを 1 6 × 1 6 画素とするのは、次世代符号化方式の対象となるようなUHD(Ultra High Definition;4000 × 2000画素)といった大きな画枠に対しては最適ではない。

30

【 0 0 2 3 】

そこで、非特許文献 1 などにおいては、マクロブロックサイズを、例えば、3 2 × 3 2 画素といった大きさに拡張することも提案されている。

【 0 0 2 4 】

なお、上述した図 1 および図 2 は、以下、本発明を説明する図としても用いられる。

【先行技術文献】

【特許文献】

40

【 0 0 2 5 】

【特許文献 1】特開 2 0 0 5 - 1 3 0 5 0 9 号公報

【非特許文献】

【 0 0 2 6 】

【非特許文献 1】" Video Coding Using Extended Block Sizes ", VCEG-AD09, ITU-Telecommunications Standardization Sector STUDY GROUP Question 16 - Contribution 123, Jan 2009

【発明の概要】

【発明が解決しようとする課題】

【 0 0 2 7 】

50

ところで、特許文献 1 においては、符号化処理順と圧縮画像としての出力順が異なるため、符号化済みのデータを保持しておくバッファが必要となる。また、図 2 A に示される処理順では、利用可能(available)である隣接画素値も、図 2 B に示される処理順では、利用不可能(Unavailable)であることがある。

【 0 0 2 8 】

このため、特許文献 1 の方法では、符号化処理を並列に処理することができたとしても、図 2 A に示される処理順に符号化を行うことによって得られるはずの本来の符号化効率を得ることが困難であった。

【 0 0 2 9 】

本発明は、このような状況に鑑みてなされたものであり、イントラ予測の並列またはパイプライン処理化を実現するとともに、符号化効率を向上させるものである。

【課題を解決するための手段】

【 0 0 3 0 】

本発明の第 1 の側面の画像処理装置は、画像の所定のブロックを構成するブロックのうち、次に処理する対象ブロックのブロックアドレスを、符号化規格とは異なる順に基づいて決定するアドレス制御手段と、前記アドレス制御手段により決定されたブロックアドレスに対応する前記対象ブロックを、前記対象ブロックの周辺画素を用いた予測処理を行って、符号化する符号化手段と、前記符号化手段により符号化された順に、前記対象ブロックをストリームとして出力するストリーム出力手段とを備える。

【 0 0 3 1 】

前記アドレス制御手段は、前記所定のブロックが 16 個のブロックにより構成される場合、左上のブロックを(0,0)とし、{}内のブロック同士は、パイプライン処理、並行処理、または先にどちらの処理を行ってもいいことを表すとする、(0,0),(1,0),(2,0),(0,1),(3,0),(1,1),(2,1),(0,2),(3,1),(1,2),(2,2),(0,3),(3,2),(1,3),(2,3),(3,3)の順に基づいて、前記対象ブロックのブロックアドレスを決定することができる。

【 0 0 3 2 】

前記アドレス制御手段により決定されたブロックアドレスを用いて、前記対象ブロックの周辺画素が利用可能であるか否かを判定する周辺画素利用可能性判定手段をさらに備え、前記符号化手段は、前記周辺画素利用可能性判定手段により利用可能であると判定された周辺画素を用いる予測モードで、前記対象ブロックの周辺画素を用いた予測処理を行って、前記対象ブロックを符号化することができる。

【 0 0 3 3 】

前記アドレス制御手段により決定されたブロックアドレスを用いて、前記対象ブロックが、パイプライン処理または並列処理可能であるか否かを判定する処理判定手段をさらに備え、前記符号化手段は、前記処理判定手段により前記対象ブロックが、パイプライン処理または並列処理可能であると判定された場合、パイプライン処理または並列処理により、前記対象ブロックを符号化することができる。

【 0 0 3 4 】

前記所定のブロックは、 $m \times m$ ($m = 16$) 画素のマクロブロックであり、前記所定のブロックを構成するブロックは、 $m/4 \times m/4$ 画素のブロックである。

【 0 0 3 5 】

前記所定のブロックは、 $m \times m$ ($m = 32$) 画素のマクロブロック、または前記マクロブロックを構成するサブブロックであり、前記所定のブロックを構成するブロックは、 16×16 画素のブロックである。

【 0 0 3 6 】

本発明の第 1 の側面の画像処理方法は、画像処理装置が、画像の所定のブロックを構成するブロックのうち、次の処理する対象ブロックのブロックアドレスを、符号化規格とは異なる順に基づいて決定し、決定されたブロックアドレスに対応する前記対象ブロックを、前記対象ブロックの周辺画素を用いた予測処理を行って、符号化し、符号化された順に、前記対象ブロックをストリームとして出力するステップを含む。

【 0 0 3 7 】

本発明の第 2 の側面の画像処理装置は、画像の所定のブロックを構成するブロックであって、前記所定のブロック内において符号化規格とは異なる順で符号化された後ストリームとして出力されている次に処理する対象ブロックを前記ストリームの順に復号する復号手段と、前記対象ブロックのブロックアドレスを、前記符号化規格とは異なる順に基づいて確定するアドレス制御手段と、前記アドレス制御手段により確定されたブロックアドレスに対応する前記対象ブロックの予測画像を、前記対象ブロックの周辺画素を用いて予測する予測手段と前記予測手段により予測された前記対象ブロックの予測画像と、前記復号手段により復号された前記対象ブロックの画像を加算する加算手段とを備える。

【 0 0 3 8 】

前記アドレス制御手段は、前記所定のブロックが 16 個の前記ブロックにより構成される場合、左上のブロックを (0,0) とし、{} 内のブロック同士は、パイプライン処理、並行処理、または先にどちらの処理を行ってもいいことを表すとすると、(0,0), (1,0), {(2,0), (0,1)}, {(3,0), (1,1)}, {(2,1), (0,2)}, {(3,1), (1,2)}, {(2,2), (0,3)}, {(3,2), (1,3)}, (2,3), (3,3) の順に基づいて、前記対象ブロックのブロックアドレスを確定することができる。

【 0 0 3 9 】

前記アドレス制御手段により確定されたブロックアドレスを用いて、前記対象ブロックの周辺画素が利用可能であるか否かを判定する周辺画素利用可能性判定手段をさらに備え、前記復号手段は、前記対象ブロックの予測モード情報も復号し、前記予測手段は、前記予測モード情報が示す予測モードで、前記対象ブロックの予測画像を、前記周辺画素利用可能性判定手段により利用可能であると判定された前記対象ブロックの周辺画素を用いて予測することができる。

【 0 0 4 0 】

前記アドレス制御手段により確定されたブロックアドレスを用いて、前記対象ブロックが、パイプライン処理または並列処理可能であるか否かを判定する処理判定手段をさらに備え、前記符号化手段は、前記処理判定手段により前記対象ブロックが、パイプライン処理または並列処理可能であると判定された場合、パイプライン処理または並列処理で、前記対象ブロックの予測画像を予測することができる。

【 0 0 4 1 】

前記所定のブロックは、 $m \times m$ ($m = 16$) 画素のマクロブロックであり、前記所定のブロックを構成するブロックは、 $m / 4 \times m / 4$ 画素のブロックである。

【 0 0 4 2 】

前記所定のブロックは、 $m \times m$ ($m = 32$) 画素のマクロブロック、または前記マクロブロックを構成するサブブロックであり、前記所定のブロックを構成するブロックは、 16×16 画素のブロックである。

【 0 0 4 3 】

本発明の第 2 の側面の画像処理方法は、画像処理装置が、画像の所定のブロックを構成するブロックであって、前記所定のブロック内で、符号化規格とは異なる順で符号化された後ストリームとして出力されている次に処理する対象ブロックを前記ストリームの順に復号し、前記対象ブロックのブロックアドレスを、前記符号化規格とは異なる順に基づいて確定し、確定されたブロックアドレスに対応する前記対象ブロックの予測画像を、前記対象ブロックの周辺画素を用いて予測し、予測された前記対象ブロックの予測画像と、復号された前記対象ブロックの画像を加算するステップを含む。

【 0 0 4 4 】

本発明の第 1 の側面においては、画像の所定のブロックを構成するブロックのうち、次の処理する対象ブロックのブロックアドレスが、符号化規格とは異なる順に基づいて確定され、確定されたブロックアドレスに対応する前記対象ブロックが、前記対象ブロックの周辺画素を用いた予測処理を行って、符号化され、符号化された順に、前記対象ブロックがストリームとして出力される。

10

20

30

40

50

【 0 0 4 5 】

本発明の第 2 の側面においては、画像の所定のブロックを構成するブロックであって、前記所定のブロック内で、符号化規格とは異なる順で符号化された後ストリームとして出力されている次に処理する対象ブロックが前記ストリームの順に復号され、前記対象ブロックのブロックアドレスが、前記符号化規格とは異なる順に基づいて確定され、確定されたブロックアドレスに対応する前記対象ブロックの予測画像が、前記対象ブロックの周辺画素を用いて予測される。そして、予測された前記対象ブロックの予測画像と、復号された前記対象ブロックの画像が加算される。

【 0 0 4 6 】

なお、上述の画像処理装置のそれぞれは、独立した装置であっても良いし、1つの画像符号化装置または画像復号装置を構成している内部ブロックであってもよい。

10

【 発明の効果 】

【 0 0 4 7 】

本発明の第 1 の側面によれば、所定のブロックを構成するブロックを符号化することができる。また、本発明の第 1 の側面によれば、イントラ予測の並列またはパイプライン処理化を実現するとともに、符号化効率を向上させることができる。

【 0 0 4 8 】

本発明の第 2 の側面によれば、所定のブロックを構成するブロックを復号することができる。また、本発明の第 2 の側面によれば、イントラ予測の並列またはパイプライン処理化を実現するとともに、符号化効率を向上させることができる。

20

【 図面の簡単な説明 】

【 0 0 4 9 】

【 図 1 】 16 × 16 画素のイントラ予測モードの場合の処理順序を説明する図である。

【 図 2 】 符号化処理順とストリームへの出力順の例を示す図である。

【 図 3 】 本発明を適用した画像符号化装置の一実施の形態の構成を示すブロック図である。

【 図 4 】 アドレス制御部の構成例を示すブロック図である。

【 図 5 】 並列処理およびパイプライン処理を説明するタイミングチャートである。

【 図 6 】 本発明の効果を説明する図である。

【 図 7 】 図 3 の画像符号化装置の符号化処理を説明するフローチャートである。

30

【 図 8 】 図 7 のステップ S 2 1 の予測処理を説明するフローチャートである。

【 図 9 】 輝度信号の 4 × 4 画素のイントラ予測モードの種類を示す図である。

【 図 10 】 輝度信号の 4 × 4 画素のイントラ予測モードの種類を示す図である。

【 図 11 】 4 × 4 画素のイントラ予測の方向を説明する図である。

【 図 12 】 4 × 4 画素のイントラ予測を説明する図である。

【 図 13 】 輝度信号の 4 × 4 画素のイントラ予測モードの符号化を説明する図である。

【 図 14 】 輝度信号の 8 × 8 画素のイントラ予測モードの種類を示す図である。

【 図 15 】 輝度信号の 8 × 8 画素のイントラ予測モードの種類を示す図である。

【 図 16 】 輝度信号の 16 × 16 画素のイントラ予測モードの種類を示す図である。

【 図 17 】 輝度信号の 16 × 16 画素のイントラ予測モードの種類を示す図である。

40

【 図 18 】 16 × 16 画素のイントラ予測を説明する図である。

【 図 19 】 色差信号のイントラ予測モードの種類を示す図である。

【 図 20 】 図 8 のステップ S 3 1 のイントラ予測の前処理を説明するフローチャートである。

【 図 21 】 図 8 のステップ S 3 2 のイントラ予測処理を説明するフローチャートである。

【 図 22 】 図 8 のステップ S 3 3 のインター動き予測処理を説明するフローチャートである。

【 図 23 】 本発明を適用した画像復号装置の一実施の形態の構成を示すブロック図である。

【 図 24 】 アドレス制御部の構成例を示すブロック図である。

50

【図 2 5】図 2 3 の画像復号装置の復号処理を説明するフローチャートである。

【図 2 6】図 2 5 のステップ S 1 3 8 の予測処理を説明するフローチャートである。

【図 2 7】拡張されたブロックサイズの例を示す図である。

【図 2 8】拡張されたブロックサイズへの本発明の適用例を示す図である。

【図 2 9】コンピュータのハードウェアの構成例を示すブロック図である。

【図 3 0】本発明を適用したテレビジョン受像機の主な構成例を示すブロック図である。

【図 3 1】本発明を適用した携帯電話機の主な構成例を示すブロック図である。

【図 3 2】本発明を適用したハードディスクレコーダの主な構成例を示すブロック図である。

【図 3 3】本発明を適用したカメラの主な構成例を示すブロック図である。

10

【発明を実施するための形態】

【0050】

以下、図を参照して本発明の実施の形態について説明する。

【0051】

[画像符号化装置の構成例]

図 3 は、本発明を適用した画像処理装置としての画像符号化装置の一実施の形態の構成を表している。

【0052】

この画像符号化装置 5 1 は、例えば、H. 264 及び MPEG-4 Part10 (Advanced Video Coding) (以下 H. 264/AVC と記す) 方式で画像を圧縮符号化する。

20

【0053】

図 3 の例において、画像符号化装置 5 1 は、A / D 変換部 6 1、画面並べ替えバッファ 6 2、演算部 6 3、直交変換部 6 4、量子化部 6 5、可逆符号化部 6 6、蓄積バッファ 6 7、逆量子化部 6 8、逆直交変換部 6 9、および演算部 7 0 を含んで構成される。また、画像符号化装置 5 1 は、デブロックフィルタ 7 1、フレームメモリ 7 2、スイッチ 7 3、イントラ予測部 7 4、アドレス制御部 7 5、周辺画素利用可能性判定部 7 6、動き予測・補償部 7 7、予測画像選択部 7 8、およびレート制御部 7 9 を含んで構成される。

【0054】

A / D 変換部 6 1 は、入力された画像を A / D 変換し、画面並べ替えバッファ 6 2 に出力し、記憶させる。画面並べ替えバッファ 6 2 は、記憶した表示の順番のフレームの画像を、GOP (Group of Picture) に応じて、符号化のためのフレームの順番に並べ替える。

30

【0055】

演算部 6 3 は、画面並べ替えバッファ 6 2 から読み出された画像から、予測画像選択部 7 8 により選択されたイントラ予測部 7 4 からの予測画像または動き予測・補償部 7 7 からの予測画像を減算し、その差分情報を直交変換部 6 4 に出力する。直交変換部 6 4 は、演算部 6 3 からの差分情報に対して、離散コサイン変換、カルーネン・レーベ変換等の直交変換を施し、その変換係数を出力する。量子化部 6 5 は直交変換部 6 4 が出力する変換係数を量子化する。

【0056】

40

量子化部 6 5 の出力となる、量子化された変換係数は、可逆符号化部 6 6 に入力され、ここで可変長符号化、算術符号化等の可逆符号化が施され、圧縮される。

【0057】

可逆符号化部 6 6 は、イントラ予測を示す情報などをイントラ予測部 7 4 から取得し、インター予測モードを示す情報などを動き予測・補償部 7 7 から取得する。なお、イントラ予測を示す情報は、以下、イントラ予測モード情報とも称する。また、インター予測を示す情報モードを示す情報は、以下、インター予測モード情報とも称する。

【0058】

図 3 の例の場合、可逆符号化部 6 6 は、符号化処理部 8 1 およびストリーム出力部 8 2 により構成されている。符号化処理部 8 1 は、H. 264/AVC の処理順とは異なる処理順で、

50

量子化された変換係数を符号化するとともに、イントラ予測を示す情報やインター予測モードを示す情報などを符号化し、圧縮画像におけるヘッダ情報の一部とする。ストリーム出力部 82 は、符号化したデータを、符号化処理順と同じ出力順で、ストリームとして出力し、蓄積バッファ 67 に蓄積させる。

【0059】

なお、上述した処理順は、イントラ予測部 74 からの予測画像が符号化される場合の処理順であり、以下、特に言及しないが、動き予測・補償部 77 からの予測画像の場合には、H.264/AVCの処理順で符号化処理、出力処理が行われるものとする。

【0060】

ここで、可逆符号化部 66 においては、可変長符号化または算術符号化等の可逆符号化処理が行われる。可変長符号化としては、H.264/AVC方式で定められているCAVLC (Context-Adaptive Variable Length Coding) などがあげられる。算術符号化としては、CABAC (Context-Adaptive Binary Arithmetic Coding) などがあげられる。

【0061】

蓄積バッファ 67 は、可逆符号化部 66 から供給されたデータを、H.264/AVC方式で符号化された圧縮画像として、例えば、後段の図示せぬ記録装置や伝送路などに出力する。

【0062】

また、量子化部 65 より出力された、量子化された変換係数は、逆量子化部 68 にも入力され、逆量子化された後、さらに逆直交変換部 69 において逆直交変換される。逆直交変換された出力は演算部 70 により予測画像選択部 78 から供給される予測画像と加算されて、局部的に復号された画像となる。デブロックフィルタ 71 は、復号された画像のブロック歪を除去した後、フレームメモリ 72 に供給し、蓄積させる。フレームメモリ 72 には、デブロックフィルタ 71 によりデブロックフィルタ処理される前の画像も供給され、蓄積される。

【0063】

スイッチ 73 はフレームメモリ 72 に蓄積された参照画像を動き予測・補償部 77 またはイントラ予測部 74 に出力する。

【0064】

この画像符号化装置 51 においては、例えば、画面並べ替えバッファ 62 からの I ピクチャ、B ピクチャ、および P ピクチャが、イントラ予測 (イントラ処理とも称する) する画像として、イントラ予測部 74 に供給される。また、画面並べ替えバッファ 62 から読み出された B ピクチャおよび P ピクチャが、インター予測 (インター処理とも称する) する画像として、動き予測・補償部 77 に供給される。

【0065】

イントラ予測部 74 は、画面並べ替えバッファ 62 から読み出されたイントラ予測する画像とフレームメモリ 72 から供給された参照画像に基づいて、候補となる全てのイントラ予測モードのイントラ予測処理を行い、予測画像を生成する。

【0066】

その際、イントラ予測部 74 は、アドレス制御部 75 に、マクロブロック内において、次に処理するのが何番目のブロックであるかという次の処理番号の情報を供給する。これに対応して、イントラ予測部 74 は、アドレス制御部 75 から、ブロックアドレスと、パイプライン処理または並列処理を制御または禁止する制御信号を取得する。また、イントラ予測部 74 は、周辺画素利用可能性判定部 76 から、処理する対象ブロックの周辺画素の利用可能性の情報を取得する。

【0067】

イントラ予測部 74 は、アドレス制御部 75 からのブロックアドレスに対応するブロックについて、周辺画素利用可能性判定部 76 により利用可能であると判定された周辺画素を用いるイントラ予測モードで、イントラ予測処理を行う。なお、このとき、アドレス制御部 75 からパイプライン処理または並列処理を制御する制御信号を受け取った場合、イントラ予測部 74 は、それらのブロックについて、パイプライン処理または並列処理での

イントラ予測を行う。

【 0 0 6 8 】

イントラ予測部 7 4 は、予測画像を生成したイントラ予測モードに対してコスト関数値を算出し、算出したコスト関数値が最小値を与えるイントラ予測モードを、最適イントラ予測モードとして選択する。イントラ予測部 7 4 は、生成された予測画像と、対応する最適イントラ予測モードについて算出されたコスト関数値を、予測画像選択部 7 8 に供給する。

【 0 0 6 9 】

イントラ予測部 7 4 は、予測画像選択部 7 8 により最適イントラ予測モードで生成された予測画像が選択された場合、最適イントラ予測モードを示す情報を、可逆符号化部 6 6 に供給する。可逆符号化部 6 6 は、イントラ予測部 7 4 から情報が送られてきた場合には、この情報を符号化し、圧縮画像におけるヘッダ情報の一部とする。

【 0 0 7 0 】

アドレス制御部 7 5 は、イントラ予測部 7 4 からの処理番号の情報を得ると、H. 264/A VCの処理順とは異なる処理順で、次に処理するブロックアドレスを算出し、そのブロックアドレスを、イントラ予測部 7 4 および周辺画素利用可能性判定部 7 6 に供給する。

【 0 0 7 1 】

また、アドレス制御部 7 5 は、算出したブロックアドレスを用いて、対象ブロックがパイプライン処理または並列処理が可能であるか否かを判定する。アドレス制御部 7 5 は、その判定結果に応じて、パイプライン処理または並列処理を制御あるいは禁止する制御信号を、イントラ予測部 7 4 に供給する。

【 0 0 7 2 】

周辺画素利用可能性判定部 7 6 は、アドレス制御部 7 5 からのブロックアドレスを用いて、対象ブロックの周辺画素の利用可能性を判定し、判定した周辺画素の利用可能性の情報を、イントラ予測部 7 4 に供給する。

【 0 0 7 3 】

動き予測・補償部 7 7 は、候補となる全てのインター予測モードの動き予測・補償処理を行う。すなわち、動き予測・補償部 7 7 には、画面並べ替えバッファ 6 2 から読み出されたインター処理する画像と、スイッチ 7 3 を介してフレームメモリ 7 2 から参照画像が供給される。動き予測・補償部 7 7 は、インター処理する画像と参照画像に基づいて、候補となる全てのインター予測モードの動きベクトルを検出し、動きベクトルに基づいて参照画像に補償処理を施し、予測画像を生成する。

【 0 0 7 4 】

また、動き予測・補償部 7 7 は、候補となる全てのインター予測モードに対してコスト関数値を算出する。動き予測・補償部 7 7 は、算出したコスト関数値のうち、最小値を与える予測モードを、最適インター予測モードとして決定する。

【 0 0 7 5 】

動き予測・補償部 7 7 は、最適インター予測モードで生成された予測画像とそのコスト関数値を、予測画像選択部 7 8 に供給する。動き予測・補償部 7 7 は、予測画像選択部 7 8 により最適インター予測モードで生成された予測画像が選択された場合、最適インター予測モードを示す情報（インター予測モード情報）を可逆符号化部 6 6 に出力する。

【 0 0 7 6 】

なお、必要であれば、動きベクトル情報、フラグ情報、参照フレーム情報なども可逆符号化部 6 6 に出力される。可逆符号化部 6 6 は、動き予測・補償部 7 7 からの情報をやはり可変長符号化、算術符号化といった可逆符号化処理し、圧縮画像のヘッダ部に挿入する。

【 0 0 7 7 】

予測画像選択部 7 8 は、イントラ予測部 7 4 または動き予測・補償部 7 7 より出力された各コスト関数値に基づいて、最適イントラ予測モードと最適インター予測モードから、最適予測モードを決定する。そして、予測画像選択部 7 8 は、決定された最適予測モード

10

20

30

40

50

の予測画像を選択し、演算部 63, 70 に供給する。このとき、予測画像選択部 78 は、予測画像の選択情報を、イントラ予測部 74 または動き予測・補償部 77 に供給する。

【0078】

レート制御部 79 は、蓄積バッファ 67 に蓄積された圧縮画像に基づいて、オーバーフローあるいはアンダーフローが発生しないように、量子化部 65 の量子化動作のレートを制御する。

【0079】

[アドレス制御部の構成例]

図 4 は、アドレス制御部の構成例を示すブロック図である。

【0080】

図 4 の例の場合、アドレス制御部 75 は、ブロックアドレス算出部 91、およびパイプライン/並列処理制御部 92 により構成されている。

【0081】

イントラ予測部 74 は、マクロブロック内のブロックについて、次の処理番号の情報を、ブロックアドレス算出部 91 に供給する。この次の処理番号は、例えば、 16×16 画素からなるマクロブロックが、 4×4 画素からなる 16 個のブロックで構成されている場合、1 乃至 16 番目の何番目の処理までが終わって、次に何番目の処理がなされるかに関する情報である。

【0082】

ブロックアドレス算出部 91 は、イントラ予測部 74 からの処理番号から、H.264/AVC の処理順とは異なる処理順で、次に処理する対象ブロックのブロックアドレスを算出し、確定する。ブロックアドレス算出部 91 は、確定したブロックアドレスを、イントラ予測部 74、パイプライン/並列処理制御部 92、および周辺画素利用可能性判定部 76 に供給する。

【0083】

パイプライン/並列処理制御部 92 は、ブロックアドレス算出部 91 からのブロックアドレスを用いて、対象ブロックがパイプライン処理または並列処理が可能であるか否かを判定する。パイプライン/並列処理制御部 92 は、その判定結果に応じて、パイプライン処理または並列処理を制御あるいは禁止する制御信号を、イントラ予測部 74 に供給する。

【0084】

周辺画素利用可能性判定部 76 は、ブロックアドレス算出部 91 からのブロックアドレスを用いて、対象ブロックの周辺画素の利用可能性を判定し、判定した周辺画素の利用可能性を示す情報を、イントラ予測部 74 に供給する。

【0085】

イントラ予測部 74 は、ブロックアドレス算出部 91 からのブロックアドレスに対応する対象ブロックについて、周辺画素利用可能性判定部 76 により利用可能であると判定された周辺画素を用いるイントラ予測モードで、イントラ予測処理を行う。そして、その際、イントラ予測部 74 は、パイプライン/並列処理制御部 92 からの制御信号に基づいて、複数のブロックについてのパイプライン処理または並列処理のイントラ予測を行うか、1 つのブロックだけでイントラ予測を行う。

【0086】

[画像符号化装置における処理順の説明]

次に、再度、図 2 を参照して、画像符号化装置 51 の処理順について説明する。ここでは、例えば、 16×16 画素からなるマクロブロックが、 4×4 画素からなる 16 個のブロックで構成されている場合を例に説明する。

【0087】

画像符号化装置 51 においては、マクロブロック内の各ブロックについて、図 2A の各ブロックに付された番号順、すなわち、0 1 {2a,2b} {3a,3b} {4a,4b} {5a,5b} {6a,6b} {7a,7b} 8 9 の順で符号化処理が行われる。そして、画像符号化装置 51 におい

10

20

30

40

50

ては、さらに、符号化されたブロックが、符号化処理と同じ順でストリームとして出力される。なお、図 2 A の番号順で符号化処理が行われるということは、つまり、イントラ予測、直交変換、量子化、逆量子化、および逆直交変換が、図 2 A の番号順で処理が行われるということである。

【 0 0 8 8 】

ここで、例えば、{2a,2b}は、どちらを先に処理してもよいことを表している。{2a,2b}においては、一方の処理が終了せずとも、他方の処理を開始すること、すなわち、パイプライン処理が可能であり、並列処理も可能である。

【 0 0 8 9 】

例えば、H. 264/AVCの符号化処理は、図 2 B の各ブロックに付された番号順で行われる。なお、以下、各番号が付されたブロックを、“番号”のブロックとも称する。

10

【 0 0 9 0 】

H. 264/AVCの場合、図 2 B に示される“2”のブロックと“3”のブロックでは、図 5 A に示されるように、“2”のブロックのローカルデコード処理（逆直交変換）が完了しないと、“3”のブロックのイントラ予測を行うことができなかった。

【 0 0 9 1 】

例えば、図 5 A の例においては、H. 264/AVCの符号化順、すなわち、図 2 B に示される“2”のブロックと“3”のブロックの場合のタイミングチャートが示されている。図 5 A の場合、“2”のブロックのイントラ予測、直交変換、量子化、逆量子化、および逆直交変換が完了した後に、“3”のブロックのイントラ予測が開始されている。

20

【 0 0 9 2 】

このように、H. 264/AVCの場合、“2”のブロックのローカルデコード処理（逆直交変換）が完了しないと、“3”のブロックのイントラ予測を行うための周辺画素の値がわからないため、パイプライン処理を行うことが困難であった。

【 0 0 9 3 】

これに対して、画像符号化装置 5 1 の符号化順および出力順の場合、図 2 A に示される“2 a”のブロックと“2 b”のブロックは、周辺画素に関する依存関係が存在しないため、次の図 5 B および図 5 C に示されるような処理が可能である。

【 0 0 9 4 】

例えば、図 5 B の例においては、画像符号化装置 5 1 の符号化および出力順、すなわち、図 2 A に示される“2 a”のブロックと“2 b”のブロックの場合のパイプライン処理のタイミングチャートが示されている。図 5 B の場合、“2 a”のブロックのイントラ予測が完了した後、“2 a”のブロックの直交変換の開始と同時に、“2 a”のブロックの処理に影響されることなく、“2 b”のブロックのイントラ予測が開始されている。その後の“2 a”のブロックの量子化、逆量子化、逆直交変換の処理も、“2 b”のブロックの処理に影響することなく行われ、“2 b”のブロックの直交変換、量子化、逆量子化、逆直交変換も、“2 a”のブロックの処理に影響されることなく、行われている。

30

【 0 0 9 5 】

図 5 C の例においては、画像符号化装置 5 1 の符号化および出力順、すなわち、図 2 A に示される“2 a”のブロックと“2 b”のブロックの場合の並列処理のタイミングチャートが示されている。図 5 C の場合、“2 a”のブロックのイントラ予測と同時に、“2 b”のブロックのイントラ予測が開始されている。その後の“2 a”のブロックの直交変換、量子化、逆量子化、逆直交変換の処理も、“2 b”のブロックの直交変換、量子化、逆量子化、逆直交変換の処理とそれぞれ同時に行われている。

40

【 0 0 9 6 】

以上のように、図 2 A に示される“2 a”のブロックと“2 b”のブロックにおいては、図 5 B に示されるようなパイプライン処理や、図 5 C に示される並列処理が可能である。

【 0 0 9 7 】

なお、上述した特許文献 1 に記載の提案においては、符号化処理の順序は、図 2 A に付

50

された番号順であるが、ストリームへの出力順は、図 2 B に付された番号順である。したがって、順序を変更する（リオーダリングの）ためのバッファが必要であった。これに対して、画像符号化装置 5 1 においては、符号化順と出力順が同じであるため、符号化処理部 8 1 とストリーム出力部 8 2 の間にバッファを備える必要がない。

【0098】

また、図 6 に示される“3 b”のブロックまたは“7 b”のブロックについて注目してみる。図 6 の例においては、各ブロックには、符号化順を示す番号が付されており、その番号の隣に付される括弧内の番号は、特許文献 1 に記載の提案の出力順を表している。

【0099】

例えば、“3 b”のブロックを処理している場合、図 6 においてハッチがなされた“2 a”のブロックの処理は終了しているはずである。“7 b”のブロックについても同様で、“7 b”のブロックを処理している場合、図 6 においてハッチがなされた“6 a”のブロックの処理は終了しているはずである。したがって、処理の順から考えると、“3 b”のブロックおよび“7 b”のブロックに対する右上の周辺画素値は、利用可能(available)である。

10

【0100】

しかしながら、出力順が、括弧内の番号であるとする、“3 b”のブロックの出力順は、3 番目で、“2 a”のブロックの出力順は、4 番目であるので、“3 b”のブロックよりも“2 a”のブロックの方が後に出力される。

【0101】

“7 b”のブロックの出力順は、11 番目で、“6 a”のブロックの出力順は、12 番目であるので、“7 b”のブロックよりも“6 a”のブロックの方が後に出力される。

20

【0102】

したがって、“3 b”のブロックおよび“7 b”のブロックに対する右上の周辺画素値は、利用不可能(unavailable)であるとして処理しなければ、後段の復号側において、それらのブロックを復号することが困難になってしまう。すなわち、符号化効率が低下してしまう。

【0103】

これに対して、画像符号化装置 5 1 の場合、出力順が符号化順と同じであるので、復号側における復号順も同じであり、“3 b”のブロックおよび“7 b”のブロックに対する右上の周辺画素値は、利用可能(available)であると処理することができる。すなわち、候補のイントラ予測モードが増える。

30

【0104】

これにより、画像符号化装置 5 1 においては、符号化効率を低下させることなく、高い符号化効率で、パイプライン処理や並列処理を実現することができる。

【0105】

[画像符号化装置の符号化処理の説明]

次に、図 7 のフローチャートを参照して、図 3 の画像符号化装置 5 1 の符号化処理について説明する。

【0106】

ステップ S 1 1 において、A / D 変換部 6 1 は入力された画像を A / D 変換する。ステップ S 1 2 において、画面並べ替えバッファ 6 2 は、A / D 変換部 6 1 より供給された画像を記憶し、各ピクチャの表示する順番から符号化する順番への並べ替えを行う。

40

【0107】

ステップ S 1 3 において、演算部 6 3 は、ステップ S 1 2 で並び替えられた画像と予測画像との差分を演算する。予測画像は、インター予測する場合は動き予測・補償部 7 7 から、イントラ予測する場合はイントラ予測部 7 4 から、それぞれ予測画像選択部 7 8 を介して演算部 6 3 に供給される。

【0108】

差分データは元の画像データに較べてデータ量が小さくなっている。したがって、画像

50

をそのまま符号化する場合に較べて、データ量を圧縮することができる。

【0109】

ステップS14において、直交変換部64は演算部63から供給された差分情報を直交変換する。具体的には、離散コサイン変換、カルーネン・レーベ変換等の直交変換が行われ、変換係数が出力される。ステップS15において、量子化部65は変換係数を量子化する。この量子化に際しては、後述するステップS25の処理で説明されるように、レートが制御される。

【0110】

以上のようにして量子化された差分情報は、次のようにして局部的に復号される。すなわち、ステップS16において、逆量子化部68は量子化部65により量子化された変換係数を量子化部65の特性に対応する特性で逆量子化する。ステップS17において、逆直交変換部69は逆量子化部68により逆量子化された変換係数を直交変換部64の特性に対応する特性で逆直交変換する。

【0111】

ステップS18において、演算部70は、予測画像選択部78を介して入力される予測画像を局部的に復号された差分情報に加算し、局部的に復号された画像（演算部63への入力に対応する画像）を生成する。ステップS19においてデブロックフィルタ71は、演算部70より出力された画像をフィルタリングする。これによりブロック歪みが除去される。ステップS20においてフレームメモリ72は、フィルタリングされた画像を記憶する。なお、フレームメモリ72にはデブロックフィルタ71によりフィルタ処理されていない画像も演算部70から供給され、記憶される。

【0112】

ステップS21において、イントラ予測部74および動き予測・補償部77は、それぞれ画像の予測処理を行う。すなわち、ステップS21において、イントラ予測部74は、イントラ予測モードのイントラ予測処理を行う。動き予測・補償部77は、インター予測モードの動き予測・補償処理を行う。

【0113】

ステップS21における予測処理の詳細は、図8を参照して後述するが、この処理により、候補となる全ての予測モードでの予測処理がそれぞれ行われ、候補となる全ての予測モードでのコスト関数値がそれぞれ算出される。そして、算出されたコスト関数値に基づいて、最適イントラ予測モードが選択され、最適イントラ予測モードのイントラ予測により生成された予測画像とそのコスト関数値が予測画像選択部78に供給される。

【0114】

一方、算出されたコスト関数値に基づいて、インター予測モードの中から、最適インター予測モードが決定され、最適インター予測モードで生成された予測画像とそのコスト関数値が、予測画像選択部78に供給される。

【0115】

ステップS22において、予測画像選択部78は、イントラ予測部74および動き予測・補償部77より出力された各コスト関数値に基づいて、最適イントラ予測モードと最適インター予測モードのうちの一方を、最適予測モードに決定する。そして、予測画像選択部78は、決定した最適予測モードの予測画像を選択し、演算部63，70に供給する。この予測画像が、上述したように、ステップS13，S18の演算に利用される。

【0116】

なお、この予測画像の選択情報は、イントラ予測部74または動き予測・補償部77に供給される。最適イントラ予測モードの予測画像が選択された場合、イントラ予測部74は、最適イントラ予測モードを示す情報（すなわち、イントラ予測モード情報を、可逆符号化部66に供給する。

【0117】

最適インター予測モードの予測画像が選択された場合、動き予測・補償部77は、最適インター予測モードを示す情報と、必要に応じて、最適インター予測モードに応じた情報

10

20

30

40

50

を可逆符号化部 66 に出力する。最適インター予測モードに応じた情報としては、動きベクトル情報やフラグ情報、参照フレーム情報などがあげられる。すなわち、最適インター予測モードとして、インター予測モードによる予測画像が選択されているときには、動き予測・補償部 77 は、インター予測モード情報、動きベクトル情報、参照フレーム情報を可逆符号化部 66 に出力する。

【0118】

ステップ S23 において、符号化処理部 81 は量子化部 65 より出力された量子化された変換係数を符号化する。すなわち、差分画像が可変長符号化、算術符号化等の可逆符号化され、圧縮される。このとき、上述したステップ S22 において符号化処理部 81 に入力された、イントラ予測部 74 からのイントラ予測モード情報、または、動き予測・補償部 77 からの最適インター予測モードに応じた情報なども符号化され、ヘッダ情報に付加される。

【0119】

符号化処理部 81 により符号化されたデータは、ストリーム出力部 82 により、符号化処理順と同じ出力順で、ストリームとして蓄積バッファ 67 に出力される。

【0120】

ステップ S24 において蓄積バッファ 67 は差分画像を圧縮画像として蓄積する。蓄積バッファ 67 に蓄積された圧縮画像が適宜読み出され、伝送路を介して復号側に伝送される。

【0121】

ステップ S25 においてレート制御部 79 は、蓄積バッファ 67 に蓄積された圧縮画像に基づいて、オーバーフローあるいはアンダーフローが発生しないように、量子化部 65 の量子化動作のレートを制御する。

【0122】

[予測処理の説明]

次に、図 8 のフローチャートを参照して、図 7 のステップ S21 における予測処理を説明する。

【0123】

画面並べ替えバッファ 62 から供給される処理対象の画像がイントラ処理されるブロックの画像である場合、参照される復号済みの画像がフレームメモリ 72 から読み出され、スイッチ 73 を介してイントラ予測部 74 に供給される。

【0124】

イントラ予測部 74 は、アドレス制御部 75 に、マクロブロックにおいて、次に処理するのが何番目のブロックであるかという次の処理番号の情報を供給する。

【0125】

ステップ S31 において、アドレス制御部 75 と周辺画素利用可能性判定部 76 は、イントラ予測の前処理を行う。ステップ S31 におけるイントラ予測の前処理の詳細は、図 20 を参照して後述する。

【0126】

この処理により、図 2A に示される処理順で、処理番号が対応する次に処理するブロックのブロックアドレスが確定される。また、確定されたブロックアドレスが用いられて、対象ブロックがパイプライン処理または並列処理が可能であるか否かと、対象ブロックの周辺画素の利用可能性が判定される。そして、次に処理するブロックのブロックアドレス、パイプライン処理または並列処理を制御あるいは禁止する制御信号、および周辺画素の利用可能性を示す情報が、イントラ予測部 74 に供給される。

【0127】

ステップ S32 において、イントラ予測部 74 は、供給された画像を用いて、処理対象のブロックの画素を、候補となる全てのイントラ予測モードでイントラ予測する。なお、参照される復号済みの画素としては、デブロックフィルタ 71 によりデブロックフィルタリングされていない画素が用いられる。

10

20

30

40

50

【 0 1 2 8 】

ステップ S 3 2 におけるイントラ予測処理の詳細は、図 2 1 を参照して後述するが、この処理により、候補となる全てのイントラ予測モードでイントラ予測が行われる。なお、このとき、イントラ予測部 7 4 は、アドレス制御部 7 5 により確定されたブロックアドレスが対応する対象ブロックについて、周辺画素利用可能性判定部 7 6 により利用可能であると判定された周辺画素を用いるイントラ予測モードで、イントラ予測処理を行う。その際、イントラ予測部 7 4 は、アドレス制御部 7 5 からパイプライン処理または並列処理を制御する制御信号を受け取った場合、それらのブロックについて、パイプライン処理または並列処理でのイントラ予測を行う。

【 0 1 2 9 】

そして、候補となる全てのイントラ予測モードに対してコスト関数値が算出され、算出されたコスト関数値に基づいて、最適イントラ予測モードが決定される。生成された予測画像と最適イントラ予測モードのコスト関数値は、予測画像選択部 7 8 に供給される。

【 0 1 3 0 】

画面並べ替えバッファ 6 2 から供給される処理対象の画像がインター処理される画像である場合、参照される画像がフレームメモリ 7 2 から読み出され、スイッチ 7 3 を介して動き予測・補償部 7 7 に供給される。これらの画像に基づいて、ステップ S 3 3 において、動き予測・補償部 7 7 はインター動き予測処理を行う。すなわち、動き予測・補償部 7 7 は、フレームメモリ 7 2 から供給される画像を参照して、候補となる全てのインター予測モードの動き予測処理を行う。

【 0 1 3 1 】

ステップ S 3 3 におけるインター動き予測処理の詳細は、図 2 2 を参照して後述するが、この処理により、候補となる全てのインター予測モードで動き予測処理が行われ、候補となる全てのインター予測モードに対してコスト関数値が算出される。

【 0 1 3 2 】

ステップ S 3 4 において、動き予測・補償部 7 7 は、ステップ S 3 3 において算出されたインター予測モードに対してのコスト関数値を比較し、最小値を与える予測モードを、最適インター予測モードとして決定する。そして、動き予測・補償部 7 7 は、最適インター予測モードで生成された予測画像とそのコスト関数値を、予測画像選択部 7 8 に供給する。

【 0 1 3 3 】

[H . 2 6 4 / A V C 方式におけるイントラ予測処理の説明]

次に、H . 2 6 4 / A V C 方式で定められているイントラ予測の各モードについて説明する。

【 0 1 3 4 】

まず、輝度信号に対するイントラ予測モードについて説明する。輝度信号のイントラ予測モードには、イントラ 4 × 4 予測モード、イントラ 8 × 8 予測モード、およびイントラ 1 6 × 1 6 予測モードの 3 通りの方式が定められている。これは、ブロック単位を定めるモードであり、マクロブロック毎に設定される。また、色差信号に対しては、マクロブロック毎に輝度信号とは独立したイントラ予測モードを設定することが可能である。

【 0 1 3 5 】

さらに、イントラ 4 × 4 予測モードの場合、4 × 4 画素の対象ブロック毎に、9 種類の予測モードから 1 つの予測モードを設定することができる。イントラ 8 × 8 予測モードの場合、8 × 8 画素の対象ブロック毎に、9 種類の予測モードから 1 つの予測モードを設定することができる。また、イントラ 1 6 × 1 6 予測モードの場合、1 6 × 1 6 画素の対象マクロブロックに対して、4 種類の予測モードから 1 つの予測モードを設定することができる。

【 0 1 3 6 】

なお、以下、イントラ 4 × 4 予測モード、イントラ 8 × 8 予測モード、およびイントラ 1 6 × 1 6 予測モードは、それぞれ、4 × 4 画素のイントラ予測モード、8 × 8 画素のイ

10

20

30

40

50

ントラ予測モード、および 16×16 画素のイントラ予測モードとも適宜称する。

【0137】

図9および図10は、9種類の輝度信号の 4×4 画素のイントラ予測モード(Intra_4x4_pred_mode)を示す図である。平均値(DC)予測を示すモード2以外の8種類の各モードは、それぞれ、図11の番号0, 1, 3乃至8で示される方向に対応している。

【0138】

9種類のIntra_4x4_pred_modeについて、図12を参照して説明する。図12の例において、画素a乃至pは、イントラ処理される対象ブロックの画素を表し、画素値A乃至Mは、隣接ブロックに属する画素の画素値を表している。すなわち、画素a乃至pは、画面並べ替えバッファ62から読み出された処理対象の画像であり、画素値A乃至Mは、フレームメモリ72から読み出され、参照される復号済みの画像の画素値である。

10

【0139】

図10および図11に示す各イントラ予測モードの場合、画素a乃至pの予測画素値は、隣接ブロックに属する画素の画素値A乃至Mを用いて、以下のように生成される。なお、画素値が“available”であるとは、画枠の端であったり、あるいは、まだ符号化されていないなどの理由がなく、利用可能であることを表す。これに対して、画素値が“unavailable”であるとは、画枠の端であったり、あるいは、まだ符号化されていないなどの理由により利用可能ではないことを表す。

【0140】

モード0はVertical Prediction modeであり、画素値A乃至Dが“available”の場合のみ適用される。この場合、画素a乃至pの予測画素値は、次の式(1)のように生成される。

20

$$\begin{aligned} \text{画素 a, e, i, m の予測画素値} &= A \\ \text{画素 b, f, j, n の予測画素値} &= B \\ \text{画素 c, g, k, o の予測画素値} &= C \\ \text{画素 d, h, l, p の予測画素値} &= D \end{aligned} \quad \dots (1)$$

【0141】

モード1はHorizontal Prediction modeであり、画素値I乃至Lが“available”の場合のみ適用される。この場合、画素a乃至pの予測画素値は、次の式(2)のように生成される。

30

$$\begin{aligned} \text{画素 a, b, c, d の予測画素値} &= I \\ \text{画素 e, f, g, h の予測画素値} &= J \\ \text{画素 i, j, k, l の予測画素値} &= K \\ \text{画素 m, n, o, p の予測画素値} &= L \end{aligned} \quad \dots (2)$$

【0142】

モード2はDC Prediction modeであり、画素値A, B, C, D, I, J, K, Lが全て“available”である時、予測画素値は式(3)のように生成される。

40

$$(A + B + C + D + I + J + K + L + 4) \gg 3 \quad \dots (3)$$

【0143】

また、画素値A, B, C, Dが全て“unavailable”である時、予測画素値は式(4)のように生成される。

$$(I + J + K + L + 2) \gg 2 \quad \dots (4)$$

【0144】

また、画素値I, J, K, Lが全て“unavailable”である時、予測画素値は式(5)のように生成される。

50

$$(A + B + C + D + 2) >> 2 \quad \dots (5)$$

【0145】

なお、画素値 A, B, C, D, I, J, K, L が全て “unavailable” である時、128 を予測画素値として用いる。

【0146】

モード3はDiagonal_Down_Left Prediction modeであり、画素値 A, B, C, D, I, J, K, L, M が “available” の場合のみ適用される。この場合、画素 a 乃至 p の予測画素値は、次の式(6)のように生成される。

画素 a の予測画素値	=	$(A + 2B + C + 2)$	$>> 2$	10
画素 b, e の予測画素値	=	$(B + 2C + D + 2)$	$>> 2$	
画素 c, f, i の予測画素値	=	$(C + 2D + E + 2)$	$>> 2$	
画素 d, g, j, m の予測画素値	=	$(D + 2E + F + 2)$	$>> 2$	
画素 h, k, n の予測画素値	=	$(E + 2F + G + 2)$	$>> 2$	
画素 l, o の予測画素値	=	$(F + 2G + H + 2)$	$>> 2$	
画素 p の予測画素値	=	$(G + 3H + 2)$	$>> 2$	

... (6)

【0147】

モード4はDiagonal_Down_Right Prediction modeであり、画素値 A, B, C, D, I, J, K, L, M が “available” の場合のみ適用される。この場合、画素 a 乃至 p の予測画素値は、次の式(7)のように生成される。

画素 m の予測画素値	=	$(J + 2K + L + 2)$	$>> 2$	
画素 i, n の予測画素値	=	$(I + 2J + K + 2)$	$>> 2$	
画素 e, j, o の予測画素値	=	$(M + 2I + J + 2)$	$>> 2$	
画素 a, f, k, p の予測画素値	=	$(A + 2M + I + 2)$	$>> 2$	
画素 b, g, l の予測画素値	=	$(M + 2A + B + 2)$	$>> 2$	
画素 c, h の予測画素値	=	$(A + 2B + C + 2)$	$>> 2$	
画素 d の予測画素値	=	$(B + 2C + D + 2)$	$>> 2$	

... (7) 30

【0148】

モード5はDiagonal_Vertical_Right Prediction modeであり、画素値 A, B, C, D, I, J, K, L, M が “available” の場合のみ適用される。この場合、画素 a 乃至 p の予測画素値は、次の式(8)のように生成される。

画素 a, j の予測画素値	=	$(M + A + 1)$	$>> 1$	
画素 b, k の予測画素値	=	$(A + B + 1)$	$>> 1$	
画素 c, l の予測画素値	=	$(B + C + 1)$	$>> 1$	
画素 d の予測画素値	=	$(C + D + 1)$	$>> 1$	
画素 e, n の予測画素値	=	$(I + 2M + A + 2)$	$>> 2$	40
画素 f, o の予測画素値	=	$(M + 2A + B + 2)$	$>> 2$	
画素 g, p の予測画素値	=	$(A + 2B + C + 2)$	$>> 2$	
画素 h の予測画素値	=	$(B + 2C + D + 2)$	$>> 2$	
画素 i の予測画素値	=	$(M + 2I + J + 2)$	$>> 2$	
画素 m の予測画素値	=	$(I + 2J + K + 2)$	$>> 2$	

... (8)

【0149】

モード6はHorizontal_Down Prediction modeであり、画素値 A, B, C, D, I, J, K, L, M が “available” の場合のみ適用される。この場合、画素 a 乃至 p の予測画素値は、次の式(9)のように生成される。

画素 a , g の予測画素値	=	(M + I + 1)	> >	1	
画素 b , h の予測画素値	=	(I + 2 M + A + 2)	> >	2	
画素 c の予測画素値	=	(M + 2 A + B + 2)	> >	2	
画素 d の予測画素値	=	(A + 2 B + C + 2)	> >	2	
画素 e , k の予測画素値	=	(I + J + 1)	> >	1	
画素 f , l の予測画素値	=	(M + 2 I + J + 2)	> >	2	
画素 i , o の予測画素値	=	(J + K + 1)	> >	1	
画素 j , p の予測画素値	=	(I + 2 J + K + 2)	> >	2	
画素 m の予測画素値	=	(K + L + 1)	> >	1	10
画素 n の予測画素値	=	(J + 2 K + L + 2)	> >	2	
					・・・ (9)

【 0 1 5 0 】

モード 7 は、Vertical_Left Prediction modeであり、画素値 A , B , C , D , I , J , K , L , M が “ available ” の場合のみ適用される。この場合、画素 a 乃至 p の予測画素値は、次の式 (1 0) のように生成される。

画素 a の予測画素値	=	(A + B + 1)	> >	1	
画素 b , i の予測画素値	=	(B + C + 1)	> >	1	
画素 c , j の予測画素値	=	(C + D + 1)	> >	1	20
画素 d , k の予測画素値	=	(D + E + 1)	> >	1	
画素 l の予測画素値	=	(E + F + 1)	> >	1	
画素 e の予測画素値	=	(A + 2 B + C + 2)	> >	2	
画素 f , m の予測画素値	=	(B + 2 C + D + 2)	> >	2	
画素 g , n の予測画素値	=	(C + 2 D + E + 2)	> >	2	
画素 h , o の予測画素値	=	(D + 2 E + F + 2)	> >	2	
画素 p の予測画素値	=	(E + 2 F + G + 2)	> >	2	
					・・・ (1 0)

【 0 1 5 1 】

モード 8 は、Horizontal_Up Prediction modeであり、画素値 A , B , C , D , I , J , K , L , M が “ available ” の場合のみ適用される。この場合、画素 a 乃至 p の予測画素値は、次の式 (1 1) のように生成される。

画素 a の予測画素値	=	(I + J + 1)	> >	1	
画素 b の予測画素値	=	(I + 2 J + K + 2)	> >	2	
画素 c , e の予測画素値	=	(J + K + 1)	> >	1	
画素 d , f の予測画素値	=	(J + 2 K + L + 2)	> >	2	
画素 g , i の予測画素値	=	(K + L + 1)	> >	1	
画素 h , j の予測画素値	=	(K + 3 L + 2)	> >	2	
画素 k , l , m , n , o , p の予測画素値	=	L			40
					・・・ (1 1)

【 0 1 5 2 】

次に、図 1 3 を参照して、輝度信号の 4 × 4 画素のイントラ予測モード (Intra_4x4_pred_mode) の符号化方式について説明する。図 1 3 の例において、4 × 4 画素からなり、符号化対象となる対象ブロック C が示されており、対象ブロック C に隣接する 4 × 4 画素からなるブロック A およびブロック B が示されている。

【 0 1 5 3 】

この場合、対象ブロック C における Intra_4x4_pred_mode と、ブロック A およびブロック B における Intra_4x4_pred_mode とは高い相関があると考えられる。この相関性を用いて、次のように符号化処理を行うことにより、より高い符号化効率を実現することができ

る。

【 0 1 5 4 】

すなわち、図 1 3 の例において、ブロック A およびブロック B における Intra_4x4_pred_mode を、それぞれ、Intra_4x4_pred_modeA および Intra_4x4_pred_modeB として、MostProbableMode を次の式 (1 2) と定義する。

$$\text{MostProbableMode} = \text{Min}(\text{Intra_4x4_pred_modeA}, \text{Intra_4x4_pred_modeB}) \quad \dots (12)$$

【 0 1 5 5 】

すなわち、ブロック A およびブロック B のうち、より小さな mode_number を割り当てられている方を MostProbableMode とする。 10

【 0 1 5 6 】

ビットストリーム中には、対象ブロック C に対するパラメータとして、prev_intra4x4_pred_mode_flag[luma4x4BlkIdx] および rem_intra4x4_pred_mode[luma4x4BlkIdx] という 2 つの値が定義されており、次の式 (1 3) に示される擬似コードに基づく処理により、復号処理が行われ、対象ブロック C に対する Intra_4x4_pred_mode、Intra4x4PredMode[luma4x4BlkIdx] の値を得ることができる。

【 0 1 5 7 】

```
if(prev_intra4x4_pred_mode_flag[luma4x4BlkIdx])
    Intra4x4PredMode[luma4x4BlkIdx] = MostProbableMode 20
else
    if(rem_intra4x4_pred_mode[luma4x4BlkIdx] < MostProbableMode)
        Intra4x4PredMode[luma4x4BlkIdx]=rem_intra4x4_pred_mode[luma4x4BlkIdx]
    else
        Intra4x4PredMode[luma4x4BlkIdx]=rem_intra4x4_pred_mode[luma4x4BlkIdx] + 1
        \dots (13)
```

【 0 1 5 8 】

次に、8 × 8 画素のイントラ予測モードについて説明する。図 1 4 および図 1 5 は、9 種類の輝度信号の 8 × 8 画素のイントラ予測モード (Intra_8x8_pred_mode) を示す図である。 30

【 0 1 5 9 】

対象の 8 × 8 ブロックにおける画素値を、p[x,y](0 ≤ x ≤ 7; 0 ≤ y ≤ 7) とし、隣接ブロックの画素値を p[-1,-1], ..., p[-1,15], p[-1,0], ..., p[-1,7] のように表すものとする。

【 0 1 6 0 】

8 × 8 画素のイントラ予測モードについては、予測値を生成するに先立ち、隣接画素にローパスフィルタリング処理が施される。ここで、ローパスフィルタリング処理前の画素値を、p[-1,-1], ..., p[-1,15], p[-1,0], ..., p[-1,7]、処理後の画素値を p'[-1,-1], ..., p'[-1,15], p'[-1,0], ..., p'[-1,7] と表すとする。

【 0 1 6 1 】

まず、p'[0,-1] は、p[-1,-1] が “available” である場合には、次の式 (1 4) のように算出され、“not available” である場合には、次の式 (1 5) のように算出される。 40

$$p'[0,-1] = (p[-1,-1] + 2 \cdot p[0,-1] + p[1,-1] + 2) \gg 2 \quad \dots (14)$$

$$p'[0,-1] = (3 \cdot p[0,-1] + p[1,-1] + 2) \gg 2 \quad \dots (15)$$

【 0 1 6 2 】

p'[x,-1] (x=0, ..., 7) は、次の式 (1 6) のように算出される。

$$p'[x, -1] = (p[x-1, -1] + 2*p[x, -1] + p[x+1, -1] + 2) >> 2$$

・・・ (1 6)

【 0 1 6 3 】

$p'[x, -1]$ ($x=8, \dots, 15$) は、 $p[x, -1]$ ($x=8, \dots, 15$) が “available” である場合には、次の式 (1 7) のように算出される。

$$p'[x, -1] = (p[x-1, -1] + 2*p[x, -1] + p[x+1, -1] + 2) >> 2$$

$$p'[15, -1] = (p[14, -1] + 3*p[15, -1] + 2) >> 2$$

・・・ (1 7)

【 0 1 6 4 】

$p'[-1, -1]$ は、 $p[-1, -1]$ が “available” である場合には、以下のように算出される。すなわち、 $p'[-1, -1]$ は、 $p[0, -1]$ 及び $p[-1, 0]$ の双方が available である場合には、式 (1 8) のように算出され、 $p[-1, 0]$ が “unavailable” である場合には、式 (1 9) のように算出される。また、 $p'[-1, -1]$ は、 $p[0, -1]$ が “unavailable” である場合には、式 (2 0) のように算出される。

$$p'[-1, -1] = (p[0, -1] + 2*p[-1, -1] + p[-1, 0] + 2) >> 2$$

・・・ (1 8)

$$p'[-1, -1] = (3*p[-1, -1] + p[0, -1] + 2) >> 2$$

・・・ (1 9)

$$p'[-1, -1] = (3*p[-1, -1] + p[-1, 0] + 2) >> 2$$

・・・ (2 0)

【 0 1 6 5 】

$p'[-1, y]$ ($y=0, \dots, 7$) は、 $p[-1, y]$ ($y=0, \dots, 7$) が “available” の時、以下のように算出される。すなわち、まず、 $p'[-1, 0]$ は、 $p[-1, -1]$ が “available” である場合には、次の式 (2 1) のように算出され、“unavailable” である場合には、式 (2 2) のように算出される。

$$p'[-1, 0] = (p[-1, -1] + 2*p[-1, 0] + p[-1, 1] + 2) >> 2$$

・・・ (2 1)

$$p'[-1, 0] = (3*p[-1, 0] + p[-1, 1] + 2) >> 2$$

・・・ (2 2)

【 0 1 6 6 】

また、 $p'[-1, y]$ ($y=1, \dots, 6$) は、次の式 (2 3) のように算出され、 $p'[-1, 7]$ は、式 (2 4) のように算出される。

$$p[-1, y] = (p[-1, y-1] + 2*p[-1, y] + p[-1, y+1] + 2) >> 2$$

・・・ (2 3)

$$p'[-1, 7] = (p[-1, 6] + 3*p[-1, 7] + 2) >> 2$$

・・・ (2 4)

【 0 1 6 7 】

このように算出された p' を用いて、図 1 4 および図 1 5 に示される各イントラ予測モードにおける予測値は以下のように生成される。

【 0 1 6 8 】

モード 0 は Vertical Prediction mode であり、 $p[x, -1]$ ($x=0, \dots, 7$) が “available” である時のみ適用される。予測値 $\text{pred8x8}_L[x, y]$ は、次の式 (2 5) のように生成され

10

20

30

40

50

る。

$$\text{pred8x8}_L[x,y] = p'[x,-1] \quad x,y=0,\dots,7$$

・・・(25)

【0169】

モード1はHorizontal Prediction modeであり、 $p[-1,y]$ ($y=0, \dots, 7$) が “available” である時のみ適用される。予測値 $\text{pred8x8}_L[x,y]$ は、次の式(26)のように生成される。

$$\text{pred8x8}_L[x,y] = p'[-1,y] \quad x,y=0,\dots,7$$

・・・(26)

【0170】

モード2はDC Prediction modeであり、予測値 $\text{pred8x8}_L[x,y]$ は以下の通り生成される。すなわち、 $p[x,-1]$ ($x=0, \dots, 7$) および $p[-1,y]$ ($y=0, \dots, 7$) の両方が “available” である場合には、予測値 $\text{pred8x8}_L[x,y]$ は、次の式(27)のように生成される。

$$\text{Pred8x8}_L[x,y] = \left(\sum_{x'=0}^7 P'[x',-1] + \sum_{y'=0}^7 P'[-1,y] + 8 \right) >> 4 \quad \cdots(27)$$

20

【0171】

$p[x,-1]$ ($x=0, \dots, 7$) は “available” であるが、 $p[-1,y]$ ($y=0, \dots, 7$) が “unavailable” である場合には、予測値 $\text{pred8x8}_L[x,y]$ は、次の式(28)のように生成される。

【数2】

$$\text{Pred8x8}_L[x,y] = \left(\sum_{x'=0}^7 P'[x',-1] + 4 \right) >> 3 \quad \cdots(28)$$

【0172】

$p[x,-1]$ ($x=0, \dots, 7$) は “unavailable” であるが、 $p[-1,y]$ ($y=0, \dots, 7$) が “available” である場合には、予測値 $\text{pred8x8}_L[x,y]$ は、次の式(29)のように生成される。

【数3】

$$\text{Pred8x8}_L[x,y] = \left(\sum_{y'=0}^7 P'[-1,y] + 4 \right) >> 3 \quad \cdots(29)$$

【0173】

$p[x,-1]$ ($x=0, \dots, 7$) および $p[-1,y]$ ($y=0, \dots, 7$) の両方が “unavailable” である場合には、予測値 $\text{pred8x8}_L[x,y]$ は、次の式(30)のように生成される。

$$\text{pred8x8}_L[x,y] = 128$$

・・・(30)

ただし、式(30)は、8ビット入力の場合を表している。

【0174】

モード3はDiagonal_Down_Left_prediction modeであり、予測値 $\text{pred8x8}_L[x,y]$ は以下の通り生成される。すなわち、Diagonal_Down_Left_prediction modeは、 $p[x,-1]$, $x=0, \dots, 15$ が “available” の時のみ適用され、 $x=7$ かつ $y=7$ である予測画素値は、次の式(3

50

1) のように生成され、その他の予測画素値は、次の式 (32) のように生成される。

$$\text{pred8x8}_L[x,y] = (p'[14,-1] + 3*p'[15,-1] + 2) \gg 2 \quad \dots (31)$$

$$\text{red8x8}_L[x,y] = (p'[x+y,-1] + 2*p'[x+y+1,-1] + p'[x+y+2,-1] + 2) \gg 2 \quad \dots (32)$$

【0175】

モード4はDiagonal_Down_Right_prediction modeであり、予測値 $\text{pred8x8}_L[x,y]$ は以下の通り生成される。すなわち、Diagonal_Down_Right_prediction modeは、 $p[x,-1], x=0, \dots, 7$ 及び $p[-1,y], y=0, \dots, 7$ が “available” の時のみ適用され、 $x > y$ である予測画素値は、次の式 (33) のように生成され、 $x < y$ である予測画素値は、次の式 (34) のように生成される。また、 $x = y$ である予測画素値は、次の式 (35) のように生成される。

10

$$\text{pred8x8}_L[x,y] = (p'[x-y-2,-1] + 2*p'[x-y-1,-1] + p'[x-y,-1] + 2) \gg 2 \quad \dots (33)$$

$$\text{pred8x8}_L[x,y] = (p'[-1,y-x-2] + 2*p'[-1,y-x-1] + p'[-1,y-x] + 2) \gg 2 \quad \dots (34)$$

20

$$\text{pred8x8}_L[x,y] = (p'[0,-1] + 2*p'[-1,-1] + p'[-1,0] + 2) \gg 2 \quad \dots (35)$$

【0176】

モード5はVertical_Right_prediction modeであり、予測値 $\text{pred8x8}_L[x,y]$ は以下の通り生成される。すなわち、Vertical_Right_prediction modeは、 $p[x,-1], x=0, \dots, 7$ 及び $p[-1,y], y=-1, \dots, 7$ が “available” の時のみ適用される。今、zVRを、次の式 (36) のように定義する。

$$zVR = 2*x - y \quad \dots (36)$$

30

【0177】

この時、zVRが、0,2,4,6,8,10,12,14の場合には、画素予測値は、次の式 (37) のように生成され、zVRが1,3,5,7,9,11,13の場合には、画素予測値は、次の式 (38) のように生成される。

$$\text{pred8x8}_L[x,y] = (p'[x-(y>>1)-1,-1] + p'[x-(y>>1),-1] + 1) \gg 1 \quad \dots (37)$$

$$\begin{aligned} \text{pred8x8}_L[x,y] \\ = (p'[x-(y>>1)-2,-1] + 2*p'[x-(y>>1)-1,-1] + p'[x-(y>>1),-1] + 2) \gg 2 \end{aligned} \quad \dots (38)$$

40

【0178】

また、zVRが-1の場合には、画素予測値は、次の式 (39) のように生成され、これ以外の場合、すなわち、zVRが-2,-3,-4,-5,-6,-7の場合には、画素予測値は、次の式 (40) のように生成される。

$$\text{pred8x8}_L[x,y] = (p'[-1,0] + 2*p'[-1,-1] + p'[0,-1] + 2) \gg 2 \quad \dots (39)$$

$$\text{pred8x8}_L[x,y] = (p'[-1,y-2*x-1] + 2*p'[-1,y-2*x-2] + p'[-1,y-2*x-3] + 2) \gg 2 \quad \dots (40)$$

50

・・・(40)

【0179】

モード6はHorizontal_Down_prediction modeであり、予測値pred8x8_L[x,y]は以下の通り生成される。すなわち、Horizontal_Down_prediction modeは、p[x,-1], x=0,...,7及びp[-1,y], y=-1,...,7が“available”の時のみ適用される。今、zVRを次の式(41)のように定義するものとする。

$$zHD = 2*y - x$$

・・・(41)

【0180】

この時、zHDが0,2,4,6,8,10,12,14の場合には、予測画素値は、次の式(42)のように生成され、zHDが1,3,5,7,9,11,13の場合には、予測画素値は、次の式(43)のように生成される。

$$\text{pred8x8}_L[x,y] = (p'[-1,y-(x>>1)-1] + p'[-1,y-(x>>1) + 1] >> 1$$

・・・(42)

$$\text{pred8x8}_L[x,y]$$

$$= (p'[-1,y-(x>>1)-2] + 2*p'[-1,y-(x>>1)-1] + p'[-1,y-(x>>1)] + 2) >> 2$$

・・・(43)

【0181】

また、zHDが-1の場合には、予測画素値は、次の式(44)のように生成され、zHDがこれ以外の値の場合、すなわち、-2,-3,-4,-5,-6,-7の場合には、予測画素値は、次の式(45)のように生成される。

$$\text{pred8x8}_L[x,y] = (p'[-1,0] + 2*p'[-1,-1] + p'[0,-1] + 2) >> 2$$

・・・(44)

$$\text{pred8x8}_L[x,y] = (p'[x-2*y-1,-1] + 2*p'[x-2*y-2,-1] + p'[x-2*y-3,-1] + 2) >> 2$$

・・・(45)

【0182】

モード7はVertical_Left_prediction modeであり、予測値pred8x8_L[x,y]は以下の通り生成される。すなわち、Vertical_Left_prediction modeは、p[x,-1], x=0,...,15が“available”の時のみ適用され、y=0,2,4,6の場合、予測画素値は、次の式(46)のように生成され、それ以外の場合、すなわち、y=1,3,5,7の場合、予測画素値は、次の式(47)のように生成される。

$$\text{pred8x8}_L[x,y] = (p'[x+(y>>1),-1] + p'[x+(y>>1)+1,-1] + 1) >> 1$$

・・・(46)

$$\text{pred8x8}_L[x,y]$$

$$= (p'[x+(y>>1),-1] + 2*p'[x+(y>>1)+1,-1] + p'[x+(y>>1)+2,-1] + 2) >> 2$$

・・・(47)

【0183】

モード8はHorizontal_Up_prediction modeであり、予測値pred8x8_L[x,y]は以下の通り生成される。すなわち、Horizontal_Up_prediction modeは、p[-1,y], y=0,...,7が“available”の時のみ適用される。以下では、zHUを次の式(48)のように定義する。

$$zHU = x + 2*y$$

・・・(48)

10

20

30

40

50

【 0 1 8 4 】

zHUの値が0,2,4,6,8,10,12の場合、予測画素値は、次の式(49)のように生成され、zHUの値が1,3,5,7,9,11の場合、予測画素値は、次の式(50)のように生成される。

$$\text{pred8x8}_L[x,y] = (p'[-1,y+(x>>1)] + p'[-1,y+(x>>1)+1] + 1) >> 1 \quad \dots (49)$$

$$\text{pred8x8}_L[x,y] = (p'[-1,y+(x>>1)]) \quad \dots (50)$$

【 0 1 8 5 】

また、zHUの値が13の場合、予測画素値は、次の式(49)のように生成され、それ以外の場合、すなわち、zHUの値が13より大きい場合、予測画素値は、次の式(50)のように生成される。

$$\text{pred8x8}_L[x,y] = (p'[-1,6] + 3*p'[-1,7] + 2) >> 2 \quad \dots (49)$$

$$\text{pred8x8}_L[x,y] = p'[-1,7] \quad \dots (50)$$

【 0 1 8 6 】

次に、16×16画素のイントラ予測モードについて説明する。図16および図17は、4種類の輝度信号の16×16画素のイントラ予測モード(Intra_16x16_pred_mode)を示す図である。

【 0 1 8 7 】

4種類のイントラ予測モードについて、図18を参照して説明する。図18の例において、イントラ処理される対象マクロブロックAが示されており、P(x,y); x,y=-1,0,...,15は、対象マクロブロックAに隣接する画素の画素値を表している。

【 0 1 8 8 】

モード0は、Vertical Prediction modeであり、P(x,-1); x,y=-1,0,...,15が“available”である時のみ適用される。この場合、対象マクロブロックAの各画素の予測画素値Pred(x,y)は、次の式(51)のように生成される。

$$\text{Pred}(x,y) = P(x,-1); x,y=0,...,15 \quad \dots (51)$$

【 0 1 8 9 】

モード1はHorizontal Prediction modeであり、P(-1,y); x,y=-1,0,...,15が“available”である時のみ適用される。この場合、対象マクロブロックAの各画素の予測画素値Pred(x,y)は、次の式(52)のように生成される。

$$\text{Pred}(x,y) = P(-1,y); x,y=0,...,15 \quad \dots (52)$$

【 0 1 9 0 】

モード2はDC Prediction modeであり、P(x,-1)およびP(-1,y); x,y=-1,0,...,15が全て“available”である場合、対象マクロブロックAの各画素の予測画素値Pred(x,y)は、次の式(53)のように生成される。

【数 4】

$$\text{Pred}(x, y) = \left[\sum_{x'=0}^{15} P(x', -1) + \sum_{y'=0}^{15} P(-1, y') + 16 \right] \gg 5$$

with $x, y = 0, \dots, 15 \quad \dots(53)$

【0 1 9 1】

また、 $P(x, -1)$; $x, y = -1, 0, \dots, 15$ が “unavailable” である場合、対象マクロブロック A の各画素の予測画素値 $\text{Pred}(x, y)$ は、次の式 (54) のように生成される。

10

【数 5】

$$\text{Pred}(x, y) = \left[\sum_{y'=0}^{15} P(-1, y') + 8 \right] \gg 4 \quad \text{with } x, y = 0, \dots, 15 \quad \dots(54)$$

【0 1 9 2】

$P(-1, y)$; $x, y = -1, 0, \dots, 15$ が “unavailable” である場合、対象マクロブロック A の各画素の予測画素値 $\text{Pred}(x, y)$ は、次の式 (55) のように生成される。

【数 6】

$$\text{Pred}(x, y) = \left[\sum_{y'=0}^{15} P(x', -1) + 8 \right] \gg 4 \quad \text{with } x, y = 0, \dots, 15 \quad \dots(55)$$

20

【0 1 9 3】

$P(x, -1)$ および $P(-1, y)$; $x, y = -1, 0, \dots, 15$ が全て “unavailable” である場合には、予測画素値として 128 を用いる。

【0 1 9 4】

モード 3 は Plane Prediction mode であり、 $P(x, -1)$ 及び $P(-1, y)$; $x, y = -1, 0, \dots, 15$ が全て “available” の場合のみ適用される。この場合、対象マクロブロック A の各画素の予測画素値 $\text{Pred}(x, y)$ は、次の式 (56) のように生成される。

30

【数 7】

$$\text{Pred}(x, y) = \text{Clip1}((a + b \cdot (x - 7) + c \cdot (y - 7) + 16) \gg 5)$$

$$a = 16 \cdot (P(-1, 15) + P(15, -1))$$

$$b = (5 \cdot H + 32) \gg 6$$

$$c = (5 \cdot V + 32) \gg 6$$

$$H = \sum_{x=1}^8 x \cdot (P(7+x, -1) - P(7-x, -1))$$

40

$$V = \sum_{y=1}^8 y \cdot (P(-1, 7+y) - P(-1, 7-y)) \quad \dots(56)$$

【0 1 9 5】

次に、色差信号に対するイントラ予測モードについて説明する。図 19 は、4 種類の色差信号のイントラ予測モード (Intra_chroma_pred_mode) を示す図である。色差信号のイントラ予測モードは、輝度信号のイントラ予測モードと独立に設定が可能である。色差信号に対するイントラ予測モードは、上述した輝度信号の 16×16 画素のイントラ予測モードに順ずる。

50

【 0 1 9 6 】

ただし、輝度信号の 16×16 画素のイントラ予測モードが、 16×16 画素のブロックを対象としているのに対し、色差信号に対するイントラ予測モードは、 8×8 画素のブロックを対象としている。さらに、上述した図 16 と図 19 に示されるように、両者においてモード番号は対応していない。

【 0 1 9 7 】

ここで、図 18 を参照して上述した輝度信号の 16×16 画素のイントラ予測モードの対象マクロブロック A の画素値および隣接する画素値の定義に準じる。例えば、イントラ処理される対象マクロブロック A (色差信号の場合は、 8×8 画素) に隣接する画素の画素値を $P(x, y); x, y = -1, 0, \dots, 7$ とする。

10

【 0 1 9 8 】

モード 0 は DC Prediction mode であり、 $P(x, -1)$ および $P(-1, y); x, y = -1, 0, \dots, 7$ が全て “available” である場合、対象マクロブロック A の各画素の予測画素値 $\text{Pred}(x, y)$ は、次の式 (57) のように生成される。

$$\text{Pred}(x, y) = \left(\left(\sum_{n=0}^7 (P(-1, n) + P(n, -1)) \right) + 8 \right) \gg 4$$

$$\text{with } x, y = 0, \dots, 7 \quad \dots (57)$$

20

【 0 1 9 9 】

また、 $P(-1, y); x, y = -1, 0, \dots, 7$ が “unavailable” である場合、対象マクロブロック A の各画素の予測画素値 $\text{Pred}(x, y)$ は、次の式 (58) のように生成される。

$$\text{Pred}(x, y) = \left[\left(\sum_{n=0}^7 P(n, -1) \right) + 4 \right] \gg 3 \quad \text{with } x, y = 0, \dots, 7 \quad \dots (58)$$

30

【 0 2 0 0 】

また、 $P(x, -1); x, y = -1, 0, \dots, 7$ が “unavailable” である場合、対象マクロブロック A の各画素の予測画素値 $\text{Pred}(x, y)$ は、次の式 (59) のように生成される。

$$\text{Pred}(x, y) = \left[\left(\sum_{n=0}^7 P(-1, n) \right) + 4 \right] \gg 3 \quad \text{with } x, y = 0, \dots, 7 \quad \dots (59)$$

【 0 2 0 1 】

40

モード 1 は Horizontal Prediction mode であり、 $P(-1, y); x, y = -1, 0, \dots, 7$ が “available” の場合にのみ適用される。この場合、対象マクロブロック A の各画素の予測画素値 $\text{Pred}(x, y)$ は、次の式 (60) のように生成される。

$$\text{Pred}(x, y) = P(-1, y); x, y = 0, \dots, 7 \quad \dots (60)$$

【 0 2 0 2 】

モード 2 は Vertical Prediction mode であり、 $P(x, -1); x, y = -1, 0, \dots, 7$ が “available” の場合にのみ適用される。この場合、対象マクロブロック A の各画素の予測画素値 $\text{Pred}(x, y)$ は、次の式 (61) のように生成される。

50

$$\text{Pred}(x,y) = P(x,-1); x,y=0, \dots, 7$$

・・・ (6 1)

【 0 2 0 3 】

モード 3 は Plane Prediction mode であり、 $P(x,-1)$ 及び $P(-1,y)$; $x,y=-1,0,\dots,7$ が “available” の場合にのみ適用される。この場合、対象マクロブロック A の各画素の予測画素値 $\text{Pred}(x,y)$ は、次の式 (6 2) のように生成される。

【 数 1 1 】

$$\text{Pred}(x,y) = \text{Clip1}(a+b \cdot (x-3)+c \cdot (y-3)+16) \gg 5; x,y=0,\dots,7$$

10

$$a = 16 \cdot (P(-1,7)+P(7,-1))$$

$$b = (17 \cdot H+16) \gg 5$$

$$c = (17 \cdot V+16) \gg 5$$

$$H = \sum_{x=1}^4 x \cdot [P(3+x,-1)-P(3-x,-1)]$$

$$V = \sum_{y=1}^4 y \cdot [P(-1,3+y)-P(-1,3-y)] \quad \dots (62)$$

20

【 0 2 0 4 】

以上のように、輝度信号のイントラ予測モードには、9 種類の 4×4 画素および 8×8 画素のブロック単位、並びに 4 種類の 16×16 画素のマクロブロック単位の予測モードがある。このブロック単位のモードは、マクロブロック単位毎に設定される。色差信号のイントラ予測モードには、4 種類の 8×8 画素のブロック単位の予測モードがある。この色差信号のイントラ予測モードは、輝度信号のイントラ予測モードと独立に設定が可能である。

30

【 0 2 0 5 】

また、輝度信号の 4×4 画素のイントラ予測モード（イントラ 4×4 予測モード）および 8×8 画素のイントラ予測モード（イントラ 8×8 予測モード）については、 4×4 画素および 8×8 画素の輝度信号のブロック毎に 1 つのイントラ予測モードが設定される。輝度信号の 16×16 画素のイントラ予測モード（イントラ 16×16 予測モード）と色差信号のイントラ予測モードについては、1 つのマクロブロックに対して 1 つの予測モードが設定される。

【 0 2 0 6 】

なお、予測モードの種類は、上述した図 1 1 の番号 0 , 1 , 3 乃至 8 で示される方向に対応している。予測モード 2 は平均値予測である。

40

【 0 2 0 7 】

[イントラ予測の前処理の説明]

次に、図 2 0 のフローチャートを参照して、図 8 のステップ S 3 1 におけるイントラ予測の前処理について説明する。

【 0 2 0 8 】

ブロックアドレス算出部 9 1 には、イントラ予測部 7 4 から、マクロブロックにおいて、次に処理するのが何番目のブロックであるかという次の処理番号の情報が供給される。

【 0 2 0 9 】

ステップ S 4 1 において、ブロックアドレス算出部 9 1 は、イントラ予測部 7 4 からの次の処理番号から、図 2 A に示される処理順に従って、マクロブロックにおける対象プロ

50

ックのブロックアドレスを算出し、確定する。確定されたブロックアドレスは、イントラ予測部 7 4、パイプライン / 並列処理制御部 9 2、および周辺画素利用可能性判定部 7 6 に供給される。

【 0 2 1 0 】

ステップ S 4 2 において、周辺画素利用可能性判定部 7 6 は、アドレス制御部 7 5 からのブロックアドレスを用いて、対象ブロックの周辺画素の利用可能性を判定し、確定する。

【 0 2 1 1 】

周辺画素利用可能性判定部 7 6 は、対象ブロックの周辺画素が利用可能である場合、対象ブロックの周辺画素が利用可能であることを示す情報を、イントラ予測部 7 4 に供給する。また、周辺画素利用可能性判定部 7 6 は、対象ブロックの周辺画素が利用不可能である場合、対象ブロックの周辺画素が利用不可能であることを示す情報を、イントラ予測部 7 4 に供給する。

10

【 0 2 1 2 】

ステップ S 4 3 において、パイプライン / 並列処理制御部 9 2 は、ブロックアドレス算出部 9 1 からのブロックアドレスを用いて、対象ブロックがパイプライン処理または並列処理が可能かどうかを画定する。

【 0 2 1 3 】

すなわち、パイプライン / 並列処理制御部 9 2 は、例えば、図 2 A の “ 2 a ” のブロックと “ 2 b ” のブロックのように、対象ブロックがパイプライン処理または並列処理が可能である場合、パイプライン処理または並列処理を制御する制御信号をイントラ予測部 7 4 に供給する。

20

【 0 2 1 4 】

また、パイプライン / 並列処理制御部 9 2 は、例えば、図 2 A の “ 1 ” のブロックや “ 8 ” のブロックのように、対象ブロックがパイプライン処理または並列処理が不可能である場合、パイプライン処理または並列処理を禁止する制御信号をイントラ予測部 7 4 に供給する。

【 0 2 1 5 】

[イントラ予測処理の説明]

次に、上述した前処理により求められた情報を用いて行われるイントラ予測処理について、図 2 1 のフローチャートを参照して説明する。

30

【 0 2 1 6 】

なお、このイントラ予測処理は、図 8 のステップ S 3 2 におけるイントラ予測処理であり、図 2 1 の例においては、輝度信号の場合を例として説明する。また、このイントラ予測処理は、対象ブロック毎に行われる処理である。すなわち、図 2 0 を参照して上述した前処理により、パイプライン / 並列処理制御部 9 2 からパイプライン処理または並列処理を制御する制御信号がイントラ予測部 7 4 に供給された場合、図 2 1 の処理は、パイプライン処理または並列処理で行われる。

【 0 2 1 7 】

ステップ S 5 1 において、イントラ予測部 7 4 は、対象ブロックの最適予測モードをリセット (best_mode=0) にする。

40

【 0 2 1 8 】

ステップ S 5 2 において、イントラ予測部 7 4 は、予測モードを 1 つ選択する。イントラ 4 × 4 予測モードの場合、図 9 を参照して上述したように、9 種類の予測モードがあり、その中から、1 つの予測モードが選択される。

【 0 2 1 9 】

ステップ S 5 3 において、イントラ予測部 7 4 は、周辺画素利用可能性判定部 7 6 から供給される、対象ブロックの周辺画素の利用可能性を示す情報を参照して、選択した予測モードが、対象ブロックの周辺画素が利用可能なモードであるか否かを判定する。

【 0 2 2 0 】

50

選択した予測モードが、対象ブロックの周辺画素が利用可能なモードであると判定された場合、処理は、ステップ S 5 4 に進む。ステップ S 5 4 において、イントラ予測部 7 4 は、対象のブロックの画素を、フレームメモリ 7 2 から読み出される復号済みの隣接画像を参照して、選択した予測モードで、イントラ予測を行う。なお、参照される復号済みの画素としては、デブロックフィルタ 7 1 によりデブロックフィルタリングされていない画素が用いられる。

【 0 2 2 1 】

ステップ S 5 5 において、イントラ予測部 7 4 は、選択した予測モードに対応するコスト関数値を算出する。ここで、コスト関数値としては、High Complexity モードか、Low Complexity モードのいずれかの手法に基づいて行う。これらのモードは、H. 264/AVC 方式における参照ソフトウェアである JM (Joint Model) で定められている。

10

【 0 2 2 2 】

すなわち、High Complexity モードにおいては、ステップ S 5 4 の処理として、候補となる全ての予測モードに対して、仮に符号化処理までが行われる。そして、次の式 (6 3) で表わされるコスト関数値が各予測モードに対して算出され、その最小値を与える予測モードが最適予測モードであるとして選択される。

【 0 2 2 3 】

$$\text{Cost}(\text{Mode}) = D + \quad \cdot R \quad \cdot \cdot \cdot (6 3)$$

D は、原画像と復号画像の差分 (歪)、R は、直交変換係数まで含んだ発生符号量、 λ は、量子化パラメータ QP の関数として与えられるラグランジュ乗数である。

20

【 0 2 2 4 】

一方、Low Complexity モードにおいては、ステップ S 4 1 の処理として、候補となる全ての予測モードに対して、予測画像の生成、および、動きベクトル情報や予測モード情報、フラグ情報などのヘッダビットまでが算出される。そして、次の式 (6 4) で表わされるコスト関数値が各予測モードに対して算出され、その最小値を与える予測モードが最適予測モードであるとして選択される。

【 0 2 2 5 】

$$\text{Cost}(\text{Mode}) = D + \text{QPtoQuant}(\text{QP}) \cdot \text{Header_Bit} \quad \cdot \cdot \cdot (6 4)$$

30

D は、原画像と復号画像の差分 (歪)、Header_Bit は、予測モードに対するヘッダビット、QPtoQuant は、量子化パラメータ QP の関数として与えられる関数である。

【 0 2 2 6 】

Low Complexity モードにおいては、全ての予測モードに対して、予測画像を生成するのみで、符号化処理および復号処理を行う必要がないため、演算量が少なく済む。

【 0 2 2 7 】

なお、コスト関数として、SAD (Sum of Absolute Difference) を用いることもできる。

【 0 2 2 8 】

イントラ予測部 7 4 は、ステップ S 5 6 において、算出したコスト関数値が最小であるか否かを判定し、最小であると判定した場合、ステップ S 5 7 において、選択した予測モードで、最適予測モードを差し替える。その後、処理は、ステップ S 5 8 に進む。また、算出したコスト関数値が、いままで算出した中で最小ではないと判定された場合、ステップ S 5 7 の処理はスキップされ、処理は、ステップ S 5 8 に進む。

40

【 0 2 2 9 】

一方、ステップ S 5 3 において、選択した予測モードが、対象ブロックの周辺画素が利用可能なモードではないと判定された場合、処理は、ステップ S 5 4 乃至 S 5 7 をスキップし、ステップ S 5 8 に進む。

【 0 2 3 0 】

ステップ S 5 8 において、イントラ予測部 7 4 は、9 種類のすべての予測モードについての処理が終了したか否かを判定し、すべての予測モードについての処理が終了したと判

50

定された場合、イントラ予測処理を終了する。

【0231】

ステップS58において、まだ、すべての予測モードについての処理が終了していないと判定された場合、処理は、ステップS52に戻り、それ以降の処理が繰り返される。

【0232】

なお、図21の例においては、4×4画素のイントラ予測モードを例にして説明したが、このイントラ予測処理は、4×4画素、8×8画素、および16×16画素の各イントラ予測モードについて行われる処理である。すなわち、実際には、図21の処理が、8×8画素、および16×16画素の各イントラ予測モードについても別途行われ、それぞれ求めた最適予測モード(best_mode)の中からさらに最適イントラ予測モードが決定される。

10

【0233】

そして、決定された最適イントラ予測モードの予測画像と、そのコスト関数値が、予測画像選択部78に供給される。

【0234】

[インター動き予測処理の説明]

次に、図22のフローチャートを参照して、図8のステップS33のインター動き予測処理について説明する。

【0235】

動き予測・補償部77は、ステップS61において、16×16画素乃至4×4画素からなる8種類の各インター予測モードに対して動きベクトルと参照画像をそれぞれ決定する。すなわち、各インター予測モードの処理対象のブロックについて、動きベクトルと参照画像がそれぞれ決定される。

20

【0236】

動き予測・補償部77は、ステップS62において、16×16画素乃至4×4画素からなる8種類の各インター予測モードについて、ステップS61で決定された動きベクトルに基づいて、参照画像に動き予測と補償処理を行う。この動き予測と補償処理により、各インター予測モードでの予測画像が生成される。

【0237】

動き予測・補償部77は、ステップS63において、16×16画素乃至4×4画素からなる8種類の各インター予測モードに対して決定された動きベクトルについて、圧縮画像に付加するための動きベクトル情報を生成する。このとき、例えば、符号化されようとしている対象ブロックの予測動きベクトル情報を、既に符号化済の、隣接するブロックの動きベクトル情報を用いてメディアンオペレーションにより生成する方法が用いられる。

30

【0238】

生成された動きベクトル情報は、次のステップS64におけるコスト関数値算出の際にも用いられ、最終的に予測画像選択部78により対応する予測画像が選択された場合には、予測モード情報および参照フレーム情報とともに、可逆符号化部66へ出力される。

【0239】

動き予測・補償部77は、ステップS64において、16×16画素乃至4×4画素からなる8種類の各インター予測モードに対して、上述した式(63)または式(64)で示されるコスト関数値を算出する。ここで算出されたコスト関数値は、上述した図8のステップS34で最適インター予測モードを決定する際に用いられる。

40

【0240】

符号化された圧縮画像は、所定の伝送路を介して伝送され、画像復号装置により復号される。

【0241】

[画像復号装置の構成例]

図23は、本発明を適用した画像処理装置としての画像復号装置の一実施の形態の構成を表している。

50

【0242】

画像復号装置101は、蓄積バッファ111、可逆復号部112、逆量子化部113、逆直交変換部114、演算部115、デブロックフィルタ116、画面並べ替えバッファ117、およびD/A変換部118を含んで構成されている。また、画像復号装置101は、フレームメモリ119、スイッチ120、イントラ予測部121、アドレス制御部122、周辺画素利用可能判定部123、動き予測・補償部124、およびスイッチ125を含んで構成されている。

【0243】

蓄積バッファ111は伝送されてきた圧縮画像を蓄積する。可逆復号部112は、蓄積バッファ111より供給された、図3の可逆符号化部66により符号化された情報を、可逆符号化部66の符号化方式に対応する方式で復号する。

10

【0244】

図23の例の場合、可逆復号部112は、ストリーム入力部131および復号処理部132により構成されている。ストリーム入力部131は、蓄積バッファ111からの圧縮画像を入力し、そのストリーム順（すなわち、図2Aに示される順）のデータを、復号処理部132に出力する。復号処理部132は、ストリーム入力部131からのデータを、入力されたストリーム順に復号する。

【0245】

逆量子化部113は可逆復号部112により復号された画像を、図3の量子化部65の量子化方式に対応する方式で逆量子化する。逆直交変換部114は、図3の直交変換部64の直交変換方式に対応する方式で逆量子化部113の出力を逆直交変換する。

20

【0246】

逆直交変換された出力は演算部115によりスイッチ125から供給される予測画像と加算されて復号される。デブロックフィルタ116は、復号された画像のブロック歪を除去した後、フレームメモリ119に供給し、蓄積させるとともに、画面並べ替えバッファ117に出力する。

【0247】

画面並べ替えバッファ117は、画像の並べ替えを行う。すなわち、図3の画面並べ替えバッファ62により符号化の順番のために並べ替えられたフレームの順番が、元の表示の順番に並べ替えられる。D/A変換部118は、画面並べ替えバッファ117から供給された画像をD/A変換し、図示せぬディスプレイに出力し、表示させる。

30

【0248】

スイッチ120は、インター処理される画像と参照される画像をフレームメモリ119から読み出し、動き予測・補償部124に出力するとともに、イントラ予測に用いられる画像をフレームメモリ119から読み出し、イントラ予測部121に供給する。

【0249】

イントラ予測部121には、ヘッダ情報を復号して得られたイントラ予測モードを示す情報が、可逆復号部112から供給される。イントラ予測部121は、アドレス制御部122に、マクロブロック内において、次に処理するのが何番目のブロックであるかという次の処理番号の情報を供給する。これに対応して、イントラ予測部121は、アドレス制御部122から、ブロックアドレスと、パイプライン処理または並列処理を制御あるいは禁止する制御信号を取得する。また、イントラ予測部121は、周辺画素利用可能性判定部123から、処理する対象ブロックの周辺画素の利用可能性の情報を取得する。

40

【0250】

イントラ予測部121は、アドレス制御部122からのブロックアドレスに対応するブロックについて、可逆復号部112からのイントラ予測モードで、周辺画素利用可能性判定部123により利用可能であると判定された周辺画素を用いて、イントラ予測を行う。なお、このとき、アドレス制御部122からパイプライン処理または並列処理を制御する制御信号を受け取った場合、イントラ予測部121は、それらのブロックについて、パイプライン処理または並列処理でのイントラ予測を行う。

50

【 0 2 5 1 】

イントラ予測部 1 2 1 によるイントラ予測により生成された予測画像は、スイッチ 1 2 5 に出力される。

【 0 2 5 2 】

アドレス制御部 1 2 2 は、イントラ予測部 1 2 1 からの処理番号の情報を得ると、図 3 のアドレス制御部 7 5 と同じ処理順で、次に処理するブロックアドレスを算出する。そして、アドレス制御部 1 2 2 は、算出したブロックアドレスを、イントラ予測部 1 2 1 および周辺画素利用可能性判定部 1 2 3 に供給する。

【 0 2 5 3 】

また、アドレス制御部 1 2 2 は、算出したブロックアドレスを用いて、対象ブロックがパイプライン処理または並列処理が可能であるか否かを判定する。アドレス制御部 1 2 2 は、その判定結果に応じて、パイプライン処理または並列処理を制御あるいは禁止する制御信号を、イントラ予測部 1 2 1 に供給する。

【 0 2 5 4 】

周辺画素利用可能性判定部 1 2 3 は、アドレス制御部 1 2 2 からのブロックアドレスを用いて、対象ブロックの周辺画素の利用可能性を判定し、判定した周辺画素の利用可能性の情報を、イントラ予測部 1 2 1 に供給する。

【 0 2 5 5 】

動き予測・補償部 1 2 4 には、ヘッダ情報を復号して得られた情報（予測モード情報、動きベクトル情報、参照フレーム情報）が可逆復号部 1 12 から供給される。インター予測モードを示す情報が供給された場合、動き予測・補償部 1 2 4 は、動きベクトル情報と参照フレーム情報に基づいて画像に動き予測と補償処理を施し、予測画像を生成する。動き予測・補償部 1 2 4 は、インター予測モードにより生成された予測画像をスイッチ 1 2 5 に出力する。

【 0 2 5 6 】

スイッチ 1 2 5 は、動き予測・補償部 1 2 4 またはイントラ予測部 1 2 1 により生成された予測画像を選択し、演算部 1 15 に供給する。

【 0 2 5 7 】

なお、図 3 の画像符号化装置 5 1 においては、コスト関数に基づく予測モード判定のため、すべてのイントラ予測モードに対してイントラ予測処理が行われる。これに対して、この画像復号装置 1 0 1 においては、符号化されて送られてくるイントラ予測モードの情報に基づいてのみイントラ予測処理が行われる。

【 0 2 5 8 】

[アドレス制御部の構成例]

図 2 4 は、アドレス制御部の構成例を示すブロック図である。

【 0 2 5 9 】

図 2 4 の例の場合、アドレス制御部 1 2 2 は、ブロックアドレス算出部 1 4 1、およびパイプライン / 並列処理制御部 1 4 2 により構成されている。

【 0 2 6 0 】

イントラ予測部 1 2 1 は、図 4 のイントラ予測部 7 5 と同様に、マクロブロック内のブロックについて、次の処理番号の情報を、ブロックアドレス算出部 1 4 1 に供給する。

【 0 2 6 1 】

ブロックアドレス算出部 1 4 1 は、図 4 のブロックアドレス算出部 9 1 と基本的に同様の処理を行う。すなわち、ブロックアドレス算出部 1 4 1 は、イントラ予測部 1 2 1 からの処理番号から、H. 264/AVC の処理順とは異なる処理順で、次に処理する対象ブロックのブロックアドレスを算出し、確定する。ブロックアドレス算出部 1 4 1 は、確定したブロックアドレスを、イントラ予測部 1 2 1、パイプライン / 並列処理制御部 1 4 2、および周辺画素利用可能性判定部 1 2 3 に供給する。

【 0 2 6 2 】

パイプライン / 並列処理制御部 1 4 2 は、ブロックアドレス算出部 1 4 1 からのブロッ

10

20

30

40

50

クアドレスを用いて、対象ブロックがパイプライン処理または並列処理が可能であるか否かを判定する。パイプライン/並列処理制御部 142 は、その判定結果に応じて、パイプライン処理または並列処理を制御あるいは禁止する制御信号を、イントラ予測部 121 に供給する。

【0263】

周辺画素利用可能性判定部 123 は、図 4 の周辺画素利用可能性判定部 123 と基本的に同様の処理を行う。すなわち、周辺画素利用可能性判定部 123 は、アドレス制御部 122 からのブロックアドレスを用いて、対象ブロックの周辺画素の利用可能性を判定し、判定した周辺画素の利用可能性を示す情報を、イントラ予測部 121 に供給する。

【0264】

イントラ予測部 121 は、ブロックアドレス算出部 141 からのブロックアドレスに対応する対象ブロックについて、次のように、イントラ予測処理を行う。すなわち、イントラ予測部 121 は、可逆復号部 112 からのイントラ予測モードで、周辺画素利用可能性判定部 123 により利用可能であると判定された周辺画素を用いて、イントラ予測処理を行う。その際、イントラ予測部 121 は、パイプライン/並列処理制御部 142 からの制御信号に基づいて、複数のブロックについてのパイプライン処理または並列処理のイントラ予測を行うか、1つのブロックだけでイントラ予測を行う。

【0265】

[画像復号装置の復号処理の説明]

次に、図 25 のフローチャートを参照して、画像復号装置 101 が実行する復号処理について説明する。

【0266】

ステップ S131 において、蓄積バッファ 111 は伝送されてきた画像を蓄積する。ストリーム入力部 131 は、蓄積バッファ 111 からの圧縮画像を入力し、そのストリームの順のデータを、復号処理部 132 に出力する。ステップ S132 において、復号処理部 132 は、ストリーム入力部 131 から供給される圧縮画像を復号する。すなわち、図 3 の可逆符号化部 66 により符号化された I ピクチャ、P ピクチャ、並びに B ピクチャが復号される。

【0267】

このとき、動きベクトル情報、参照フレーム情報、予測モード情報（イントラ予測モード、またはインター予測モードを示す情報）、およびフラグ情報なども復号される。

【0268】

すなわち、予測モード情報がイントラ予測モード情報である場合、予測モード情報は、イントラ予測部 121 に供給される。予測モード情報がインター予測モード情報である場合、予測モード情報と対応する動きベクトル情報および参照フレーム情報は、動き予測・補償部 124 に供給される。

【0269】

ステップ S133 において、逆量子化部 113 は可逆復号部 112 により復号された変換係数を、図 3 の量子化部 65 の特性に対応する特性で逆量子化する。ステップ S134 において逆直交変換部 114 は逆量子化部 113 により逆量子化された変換係数を、図 3 の直交変換部 64 の特性に対応する特性で逆直交変換する。これにより図 3 の直交変換部 64 の入力（演算部 63 の出力）に対応する差分情報が復号されたことになる。

【0270】

ステップ S135 において、演算部 115 は、後述するステップ S141 の処理で選択され、スイッチ 125 を介して入力される予測画像を差分情報と加算する。これにより元の画像が復号される。ステップ S136 においてデブロックフィルタ 116 は、演算部 115 より出力された画像をフィルタリングする。これによりブロック歪みが除去される。ステップ S137 においてフレームメモリ 119 は、フィルタリングされた画像を記憶する。

【0271】

10

20

30

40

50

ステップS 1 3 8において、イントラ予測部 1 2 1、および動き予測・補償部 1 2 4は、可逆復号部 1 1 2から供給される予測モード情報に対応して、それぞれ画像の予測処理を行う。

【0 2 7 2】

このとき、イントラ予測部 1 2 1は、アドレス制御部 1 2 2により確定されたブロックアドレスが対応する対象ブロックについて、可逆復号部 1 1 2からのイントラ予測モードで、周辺画素利用可能性判定部 1 2 3により利用可能であると判定された周辺画素を用いて、イントラ予測処理を行う。その際、イントラ予測部 1 2 1は、アドレス制御部 1 2 2からパイプライン処理または並列処理を制御する制御信号を受け取った場合、それらのブロックについて、パイプライン処理または並列処理でのイントラ予測を行う。

10

【0 2 7 3】

ステップS 1 3 8における予測処理の詳細は、図 2 6を参照して後述するが、この処理により、イントラ予測部 1 2 1により生成された予測画像、または動き予測・補償部 1 2 4により生成された予測画像がスイッチ 1 2 5に供給される。

【0 2 7 4】

ステップS 1 3 9において、スイッチ 1 2 5は予測画像を選択する。すなわち、イントラ予測部 1 2 1により生成された予測画像、または動き予測・補償部 1 2 4により生成された予測画像が供給される。したがって、供給された予測画像が選択されて演算部 1 1 5に供給され、上述したように、ステップS 1 3 4において逆直交変換部 1 1 4の出力と加算される。

20

【0 2 7 5】

すなわち、イントラ予測の場合、演算部 1 1 5において、ストリーム順（図 2 Aの処理順）に復号、逆量子化、逆直交変換された対象ブロックの画像の差分情報は、イントラ予測部 1 2 1により図 2 Aの処理順で生成された対象ブロックの予測画像と加算される。

【0 2 7 6】

一方、動き予測の場合、演算部 1 1 5において、ストリーム順（H. 264/AVCの処理順）に復号、逆量子化、逆直交変換された対象ブロックの画像の差分情報は、動き予測・補償部 1 2 4によりH. 264/AVCの処理順に基づいて生成された対象ブロックの予測画像と加算される。

【0 2 7 7】

30

ステップS 1 4 0において、画面並べ替えバッファ 1 1 7は並べ替えを行う。すなわち画像符号化装置 5 1の画面並べ替えバッファ 6 2により符号化のために並べ替えられたフレームの順序が、元の表示の順序に並べ替えられる。

【0 2 7 8】

ステップS 1 4 1において、D / A変換部 1 1 8は、画面並べ替えバッファ 1 1 7からの画像をD / A変換する。この画像が図示せぬディスプレイに出力され、画像が表示される。

【0 2 7 9】

[予測処理の説明]

次に、図 2 6のフローチャートを参照して、図 2 5のステップS 1 3 8の予測処理を説明する。

40

【0 2 8 0】

イントラ予測部 1 2 1は、ステップS 1 7 1において、対象ブロックがイントラ符号化されているか否かを判定する。可逆復号部 1 1 2からイントラ予測モード情報がイントラ予測部 1 2 1に供給されると、イントラ予測部 1 2 1は、ステップ1 7 1において、対象ブロックがイントラ符号化されていると判定し、処理は、ステップS 1 7 2に進む。

【0 2 8 1】

イントラ予測部 1 2 1は、ステップS 1 7 2において、可逆復号部 1 1 2からのイントラ予測モード情報を受信、取得する。イントラ予測部 1 2 1は、イントラ予測モード情報を受信すると、ブロックアドレス算出部 1 4 1に、マクロブロック内において、次に処理

50

するのが何番目のブロックであるかという次の処理番号の情報を供給する。

【0282】

ブロックアドレス算出部141は、ステップS173において、イントラ予測部121からの処理番号の情報を得ると、図4のブロックアドレス算出部91と同じ処理順で、次に処理するブロックアドレスを算出する。ブロックアドレス算出部141は、算出したブロックアドレスを、イントラ予測部121および周辺画素利用可能性判定部123に供給する。

【0283】

ステップS174において、周辺画素利用可能性判定部123は、ブロックアドレス算出部141からのブロックアドレスを用いて、対象ブロックの周辺画素の利用可能性を判定し、確定する。周辺画素利用可能性判定部123は、確定した周辺画素の利用可能性の情報を、イントラ予測部121に供給する。

10

【0284】

ステップS175において、パイプライン/並列処理制御部142は、ブロックアドレス算出部141からのブロックアドレスを用いて、対象ブロックがパイプライン処理または並列処理が可能なブロックであるか否かを判定する。

【0285】

ステップS175において、対象ブロックがパイプライン処理または並列処理が可能なブロックであると判定された場合、パイプライン/並列処理制御部142は、パイプライン処理または並列処理を制御する制御信号を、イントラ予測部121に供給する。

20

【0286】

この制御信号に対応して、イントラ予測部121は、ステップS176において、並列処理またはパイプライン処理によるイントラ予測を行う。すなわち、イントラ予測部121は、アドレス制御部122からの2つのブロックアドレスに対応する対象ブロック（例えば、図2Aに示される“2a”のブロックと“2b”のブロック）について、並列処理またはパイプライン処理で、イントラ予測処理を行う。このとき、イントラ予測部121は、可逆復号部112からのイントラ予測モードで、周辺画素利用可能性判定部123により利用可能であると判定された周辺画素を用いて、イントラ予測処理を行う。

【0287】

また、ステップS175において、対象ブロックがパイプライン処理または並列処理が可能なブロックではないと判定された場合、パイプライン/並列処理制御部142は、パイプライン処理または並列処理を禁止する制御信号を、イントラ予測部121に供給する。

30

【0288】

この制御信号に対応して、イントラ予測部121は、ステップS177において、並列処理またはパイプライン処理せずに、イントラ予測を行う。すなわち、イントラ予測部121は、アドレス制御部122からの1つのブロックアドレスに対応する対象ブロックについて、イントラ予測処理を行う。このとき、イントラ予測部121は、可逆復号部112からのイントラ予測モードで、周辺画素利用可能性判定部123により利用可能であると判定された周辺画素を用いて、イントラ予測処理を行う。

40

【0289】

一方、ステップS171において、イントラ符号化されていないと判定された場合、処理は、ステップS178に進む。

【0290】

処理対象の画像がインター処理される画像である場合、可逆復号部112からインター予測モード情報、参照フレーム情報、動きベクトル情報が動き予測・補償部124に供給される。ステップS176において、動き予測・補償部124は、可逆復号部112からのインター予測モード情報、参照フレーム情報、動きベクトル情報などを取得する。

【0291】

そして、動き予測・補償部124は、ステップS178において、インター動き予測を

50

行う。すなわち、処理対象の画像がインター予測処理される画像である場合、必要な画像がフレームメモリ 119 から読み出され、スイッチ 120 を介して動き予測・補償部 124 に供給される。ステップ S 179 において動き予測・補償部 124 は、ステップ S 178 で取得した動きベクトルに基づいて、インター予測モードの動き予測をし、予測画像を生成する。生成した予測画像は、スイッチ 125 に出力される。

【0292】

以上のように、画像符号化装置 51 においては、H.264/AVC の符号化順とは異なる、図 2A に示される昇順に符号化およびストリームへの出力が行われる。また、画像復号装置 101 においては、画像符号化装置 51 からのストリーム順（すなわち、H.264/AVC の符号化順とは異なる、図 2A に示される昇順）にストリームの入力および復号が行われる。

10

【0293】

これにより、同じ処理順を示す、周辺画素に関する依存関係が存在しない 2 つのブロック（例えば、図 2A の“2a”のブロックと“2b”のブロック）のパイプライン処理または並列処理が可能となる。

【0294】

また、特許文献 1 に記載の提案と異なり、符号化順と出力順が同じであるため、符号化処理部 81 とストリーム出力部 82 の間にバッファを備える必要がないので、回路規模を小さくできる。これは、画像復号装置 101 の場合も同様で、入力順と復号順が同じであるため、ストリーム入力部 131 と復号処理部 132 の間にバッファを備える必要がないので、回路規模を小さくすることができる。

20

【0295】

さらに、特許文献 1 に記載の提案と比して、利用可能な周辺画素値が増え、候補となるイントラ予測モードが増えるため、高い符号化効率で、パイプライン処理や並列処理を実現することができる。

【0296】

なお、上記説明においては、マクロブロックの大きさが、 16×16 画素の場合について説明してきたが、本発明は、上述した非特許文献 1 に記載の拡張されたマクロブロックサイズに対しても適用することが可能である。

【0297】

[拡張マクロブロックサイズへの適用の説明]

30

図 27 は、非特許文献 1 で提案されているブロックサイズの例を示す図である。非特許文献 1 では、マクロブロックサイズが 32×32 画素に拡張されている。

【0298】

図 27 の上段には、左から、 32×32 画素、 32×16 画素、 16×32 画素、および 16×16 画素のブロック（パーティション）に分割された 32×32 画素で構成されるマクロブロックが順に示されている。図 27 の中段には、左から、 16×16 画素、 16×8 画素、 8×16 画素、および 8×8 画素のブロックに分割された 16×16 画素で構成されるブロックが順に示されている。また、図 27 の下段には、左から、 8×8 画素、 8×4 画素、 4×8 画素、および 4×4 画素のブロックに分割された 8×8 画素のブロックが順に示されている。

40

【0299】

すなわち、 32×32 画素のマクロブロックは、図 27 の上段に示される 32×32 画素、 32×16 画素、 16×32 画素、および 16×16 画素のブロックでの処理が可能である。

【0300】

また、上段の右側に示される 16×16 画素のブロックは、H.264/AVC 方式と同様に、中段に示される 16×16 画素、 16×8 画素、 8×16 画素、および 8×8 画素のブロックでの処理が可能である。

【0301】

さらに、中段の右側に示される 8×8 画素のブロックは、H.264/AVC 方式と同様に、下

50

段に示される 8×8 画素、 8×4 画素、 4×8 画素、および 4×4 画素のブロックでの処理が可能である。

【0302】

このような階層構造を採用することにより、非特許文献1の提案では、 16×16 画素のブロック以下に関しては、H.264/AVC方式と互換性を保ちながら、そのスーパーセットとして、より大きなブロックが定義されている。

【0303】

以上のように提案される拡張されたマクロブロックサイズへの本発明の第1の適用方法としては、例えば、上段の右側に示される 16×16 画素のブロックに対して、図2に記載の符号化順および出力順を適用する方法があげられる。

10

【0304】

例えば、マクロブロックサイズが 32×32 画素であっても、 64×64 画素であっても、それ以上の大きさであっても、非特許文献1の階層構造により、 16×16 画素のブロックが用いられることがある。この 16×16 画素のブロック内の符号化処理順および出力順に、本発明を適用することができる。

【0305】

また、第2の適用方法としては、マクロブロックサイズが $m \times m$ 画素 ($m \geq 16$) であって、直交変換の単位が $m/4 \times m/4$ ブロックである場合に、その $m/4 \times m/4$ ブロックに対する符号化順および出力順に、本発明を適用することができる。

【0306】

20

図28は、第2の適用方法を具体的に示す図である。

【0307】

図28Aには、 $m = 32$ の場合、すなわち、マクロブロックサイズが 32×32 画素であって、直交変換の単位が 8×8 ブロックである場合が示されている。図28Aに示されるマクロブロックサイズが 32×32 画素であって、直交変換の単位が 8×8 ブロックである場合、このマクロブロック内における、 8×8 ブロックに対する符号化順および出力順に、本発明を適用することができる。

【0308】

また、図28Bには、 $m = 64$ の場合、すなわち、マクロブロックサイズが 64×64 画素であって、直交変換の単位が 16×16 ブロックである場合が示されている。図28Bに示されるマクロブロックサイズが 64×64 画素であって、直交変換の単位が 16×16 ブロックである場合、このマクロブロック内における、 16×16 ブロックに対する符号化順および出力順に、本発明を適用することができる。

30

【0309】

なお、第2の適用方法において、 $m = 16$ の場合は、マクロブロックサイズが 16×16 画素であって、直交変換の単位が 4×4 画素のブロックである上述した例に相当する。

【0310】

以上においては、符号化方式としてH.264/AVC方式を用いるようにしたが、本発明はこれに限らず、隣接画素を用いた予測を行う、その他の符号化方式/復号方式を適用することができる。

40

【0311】

なお、本発明は、例えば、MPEG、H.26x等の様に、離散コサイン変換等の直交変換と動き補償によって圧縮された画像情報(ビットストリーム)を、衛星放送、ケーブルテレビジョン、インターネット、または携帯電話機などのネットワークメディアを介して受信する際に用いられる画像符号化装置および画像復号装置に適用することができる。また、本発明は、光、磁気ディスク、およびフラッシュメモリのような記憶メディア上で処理する際に用いられる画像符号化装置および画像復号装置に適用することができる。さらに、本発明は、それらの画像符号化装置および画像復号装置などに含まれる動き予測補償装置にも適用することができる。

【0312】

50

上述した一連の処理は、ハードウェアにより実行することもできるし、ソフトウェアにより実行することもできる。一連の処理をソフトウェアにより実行する場合には、そのソフトウェアを構成するプログラムが、コンピュータにインストールされる。ここで、コンピュータには、専用のハードウェアに組み込まれているコンピュータや、各種のプログラムをインストールすることで、各種の機能を実行することが可能な汎用のパーソナルコンピュータなどが含まれる。

【0313】

[パーソナルコンピュータの構成例]

図29は、上述した一連の処理をプログラムにより実行するコンピュータのハードウェアの構成例を示すブロック図である。

10

【0314】

コンピュータにおいて、CPU(Central Processing Unit)201、ROM(Read Only Memory)202、RAM(Random Access Memory)203は、バス204により相互に接続されている。

【0315】

バス204には、さらに、入出力インタフェース205が接続されている。入出力インタフェース205には、入力部206、出力部207、記憶部208、通信部209、およびドライブ210が接続されている。

【0316】

入力部206は、キーボード、マウス、マイクロホンなどよりなる。出力部207は、ディスプレイ、スピーカなどよりなる。記憶部208は、ハードディスクや不揮発性のメモリなどよりなる。通信部209は、ネットワークインタフェースなどよりなる。ドライブ210は、磁気ディスク、光ディスク、光磁気ディスク、又は半導体メモリなどのリムーバブルメディア211を駆動する。

20

【0317】

以上のように構成されるコンピュータでは、CPU201が、例えば、記憶部208に記憶されているプログラムを入出力インタフェース205及びバス204を介してRAM203にロードして実行することにより、上述した一連の処理が行われる。

【0318】

コンピュータ(CPU201)が実行するプログラムは、例えば、パッケージメディア等としてのリムーバブルメディア211に記録して提供することができる。また、プログラムは、ローカルエリアネットワーク、インターネット、デジタル放送といった、有線または無線の伝送媒体を介して提供することができる。

30

【0319】

コンピュータでは、プログラムは、リムーバブルメディア211をドライブ210に装着することにより、入出力インタフェース205を介して、記憶部208にインストールすることができる。また、プログラムは、有線または無線の伝送媒体を介して、通信部209で受信し、記憶部208にインストールすることができる。その他、プログラムは、ROM202や記憶部208に、あらかじめインストールしておくことができる。

【0320】

なお、コンピュータが実行するプログラムは、本明細書で説明する順序に沿って時系列に処理が行われるプログラムであっても良いし、並列に、あるいは呼び出しが行われたとき等の必要なタイミングで処理が行われるプログラムであっても良い。

40

【0321】

本発明の実施の形態は、上述した実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲において種々の変更が可能である。

【0322】

例えば、上述した画像符号化装置51や画像復号装置101は、任意の電子機器に適用することができる。以下にその例について説明する。

【0323】

50

〔テレビジョン受像機の構成例〕

図 30 は、本発明を適用した画像復号装置を用いるテレビジョン受像機の主な構成例を示すブロック図である。

【0324】

図 30 に示されるテレビジョン受像機 300 は、地上波チューナ 313、ビデオデコーダ 315、映像信号処理回路 318、グラフィック生成回路 319、パネル駆動回路 320、および表示パネル 321 を有する。

【0325】

地上波チューナ 313 は、地上アナログ放送の放送波信号を、アンテナを介して受信し、復調し、映像信号を取得し、それをビデオデコーダ 315 に供給する。ビデオデコーダ 315 は、地上波チューナ 313 から供給された映像信号に対してデコード処理を施し、得られたデジタルのコンポーネント信号を映像信号処理回路 318 に供給する。

10

【0326】

映像信号処理回路 318 は、ビデオデコーダ 315 から供給された映像データに対してノイズ除去などの所定の処理を施し、得られた映像データをグラフィック生成回路 319 に供給する。

【0327】

グラフィック生成回路 319 は、表示パネル 321 に表示させる番組の映像データや、ネットワークを介して供給されるアプリケーションに基づく処理による画像データなどを生成し、生成した映像データや画像データをパネル駆動回路 320 に供給する。また、グラフィック生成回路 319 は、項目の選択などにユーザにより利用される画面を表示するための映像データ（グラフィック）を生成し、それを番組の映像データに重畳したりすることによって得られた映像データをパネル駆動回路 320 に供給するといった処理も適宜行う。

20

【0328】

パネル駆動回路 320 は、グラフィック生成回路 319 から供給されたデータに基づいて表示パネル 321 を駆動し、番組の映像や上述した各種の画面を表示パネル 321 に表示させる。

【0329】

表示パネル 321 は LCD (Liquid Crystal Display) などよりなり、パネル駆動回路 320 による制御に従って番組の映像などを表示させる。

30

【0330】

また、テレビジョン受像機 300 は、音声 A/D (Analog/Digital) 変換回路 314、音声信号処理回路 322、エコーキャンセル / 音声合成回路 323、音声増幅回路 324、およびスピーカ 325 も有する。

【0331】

地上波チューナ 313 は、受信した放送波信号を復調することにより、映像信号だけでなく音声信号も取得する。地上波チューナ 313 は、取得した音声信号を音声 A/D 変換回路 314 に供給する。

40

【0332】

音声 A/D 変換回路 314 は、地上波チューナ 313 から供給された音声信号に対して A/D 変換処理を施し、得られたデジタルの音声信号を音声信号処理回路 322 に供給する。

【0333】

音声信号処理回路 322 は、音声 A/D 変換回路 314 から供給された音声データに対してノイズ除去などの所定の処理を施し、得られた音声データをエコーキャンセル / 音声合成回路 323 に供給する。

【0334】

エコーキャンセル / 音声合成回路 323 は、音声信号処理回路 322 から供給された音声データを音声増幅回路 324 に供給する。

【0335】

50

音声増幅回路 3 2 4 は、エコーキャンセル / 音声合成回路 3 2 3 から供給された音声データに対して D/A 変換処理、増幅処理を施し、所定の音量に調整した後、音声をスピーカ 3 2 5 から出力させる。

【 0 3 3 6 】

さらに、テレビジョン受像機 3 0 0 は、デジタルチューナ 3 1 6 および MPEG デコーダ 3 1 7 も有する。

【 0 3 3 7 】

デジタルチューナ 3 1 6 は、デジタル放送（地上デジタル放送、BS（Broadcasting Satellite）/ CS（Communications Satellite）デジタル放送）の放送波信号を、アンテナを介して受信し、復調し、MPEG-TS（Moving Picture Experts Group-Transport Stream）を取得し、それを MPEG デコーダ 3 1 7 に供給する。

10

【 0 3 3 8 】

MPEG デコーダ 3 1 7 は、デジタルチューナ 3 1 6 から供給された MPEG-TS に施されているスクランブルを解除し、再生対象（視聴対象）になっている番組のデータを含むストリームを抽出する。MPEG デコーダ 3 1 7 は、抽出したストリームを構成する音声パケットをデコードし、得られた音声データを音声信号処理回路 3 2 2 に供給するとともに、ストリームを構成する映像パケットをデコードし、得られた映像データを映像信号処理回路 3 1 8 に供給する。また、MPEG デコーダ 3 1 7 は、MPEG-TS から抽出した EPG（Electronic Program Guide）データを図示せぬ経路を介して CPU 3 3 2 に供給する。

【 0 3 3 9 】

20

テレビジョン受像機 3 0 0 は、このように映像パケットをデコードする MPEG デコーダ 3 1 7 として、上述した画像復号装置 1 0 1 を用いる。したがって、MPEG デコーダ 3 1 7 は、画像復号装置 1 0 1 の場合と同様に、H. 264/AVC の符号化順とは異なる、図 2 A に示される昇順に符号化および出力が行われたストリームを、そのストリーム順に入力および復号する。これにより、高い符号化効率で、パイプライン処理や並列処理を実現することができる。また、MPEG デコーダ 3 1 7 の回路規模を小さくすることができる。

【 0 3 4 0 】

MPEG デコーダ 3 1 7 から供給された映像データは、ビデオデコーダ 3 1 5 から供給された映像データの場合と同様に、映像信号処理回路 3 1 8 において所定の処理が施される。そして、所定の処理が施された映像データは、グラフィック生成回路 3 1 9 において、生成された映像データ等が適宜重畳され、パネル駆動回路 3 2 0 を介して表示パネル 3 2 1 に供給され、その画像が表示される。

30

【 0 3 4 1 】

MPEG デコーダ 3 1 7 から供給された音声データは、音声 A/D 変換回路 3 1 4 から供給された音声データの場合と同様に、音声信号処理回路 3 2 2 において所定の処理が施される。そして、所定の処理が施された音声データは、エコーキャンセル / 音声合成回路 3 2 3 を介して音声増幅回路 3 2 4 に供給され、D/A 変換処理や増幅処理が施される。その結果、所定の音量に調整された音声はスピーカ 3 2 5 から出力される。

【 0 3 4 2 】

また、テレビジョン受像機 3 0 0 は、マイクロホン 3 2 6、および A/D 変換回路 3 2 7 も有する。

40

【 0 3 4 3 】

A/D 変換回路 3 2 7 は、音声会話用のものとしてテレビジョン受像機 3 0 0 に設けられるマイクロホン 3 2 6 により取り込まれたユーザの音声の信号を受信する。A/D 変換回路 3 2 7 は、受信した音声信号に対して A/D 変換処理を施し、得られたデジタルの音声データをエコーキャンセル / 音声合成回路 3 2 3 に供給する。

【 0 3 4 4 】

エコーキャンセル / 音声合成回路 3 2 3 は、テレビジョン受像機 3 0 0 のユーザ（ユーザ A）の音声のデータが A/D 変換回路 3 2 7 から供給されている場合、ユーザ A の音声データを対象としてエコーキャンセルを行う。そして、エコーキャンセル / 音声合成回路 3

50

23は、エコーキャンセルの後、他の音声データと合成するなどして得られた音声のデータを、音声増幅回路324を介してスピーカ325より出力させる。

【0345】

さらに、テレビジョン受像機300は、音声コーデック328、内部バス329、SDRAM (Synchronous Dynamic Random Access Memory) 330、フラッシュメモリ331、CPU 332、USB (Universal Serial Bus) I/F 333、およびネットワークI/F 334も有する。

【0346】

A/D変換回路327は、音声会話用のものとしてテレビジョン受像機300に設けられるマイクロホン326により取り込まれたユーザの音声の信号を受信する。A/D変換回路327は、受信した音声信号に対してA/D変換処理を施し、得られたデジタルの音声データを音声コーデック328に供給する。

10

【0347】

音声コーデック328は、A/D変換回路327から供給された音声データを、ネットワーク経由で送信するための所定のフォーマットのデータに変換し、内部バス329を介してネットワークI/F 334に供給する。

【0348】

ネットワークI/F 334は、ネットワーク端子335に装着されたケーブルを介してネットワークに接続される。ネットワークI/F 334は、例えば、そのネットワークに接続される他の装置に対して、音声コーデック328から供給された音声データを送信する。また、ネットワークI/F 334は、例えば、ネットワークを介して接続される他の装置から送信される音声データを、ネットワーク端子335を介して受信し、それを、内部バス329を介して音声コーデック328に供給する。

20

【0349】

音声コーデック328は、ネットワークI/F 334から供給された音声データを所定のフォーマットのデータに変換し、それをエコーキャンセル/音声合成回路323に供給する。

【0350】

エコーキャンセル/音声合成回路323は、音声コーデック328から供給される音声データを対象としてエコーキャンセルを行い、他の音声データと合成するなどして得られた音声のデータを、音声増幅回路324を介してスピーカ325より出力させる。

30

【0351】

SDRAM 330は、CPU 332が処理を行う上で必要な各種のデータを記憶する。

【0352】

フラッシュメモリ331は、CPU 332により実行されるプログラムを記憶する。フラッシュメモリ331に記憶されているプログラムは、テレビジョン受像機300の起動時などの所定のタイミングでCPU 332により読み出される。フラッシュメモリ331には、デジタル放送を介して取得されたEPGデータ、ネットワークを介して所定のサーバから取得されたデータなども記憶される。

【0353】

40

例えば、フラッシュメモリ331には、CPU 332の制御によりネットワークを介して所定のサーバから取得されたコンテンツデータを含むMPEG-TSが記憶される。フラッシュメモリ331は、例えばCPU 332の制御により、そのMPEG-TSを、内部バス329を介してMPEGデコーダ317に供給する。

【0354】

MPEGデコーダ317は、デジタルチューナ316から供給されたMPEG-TSの場合と同様に、そのMPEG-TSを処理する。このようにテレビジョン受像機300は、映像や音声等よりなるコンテンツデータを、ネットワークを介して受信し、MPEGデコーダ317を用いてデコードし、その映像を表示させたり、音声を出力させたりすることができる。

【0355】

50

また、テレビジョン受像機 3 0 0 は、リモートコントローラ 3 5 1 から送信される赤外線信号を受光する受光部 3 3 7 も有する。

【 0 3 5 6 】

受光部 3 3 7 は、リモートコントローラ 3 5 1 からの赤外線を受光し、復調して得られたユーザ操作の内容を表す制御コードを CPU 3 3 2 に出力する。

【 0 3 5 7 】

CPU 3 3 2 は、フラッシュメモリ 3 3 1 に記憶されているプログラムを実行し、受光部 3 3 7 から供給される制御コードなどに応じてテレビジョン受像機 3 0 0 の全体の動作を制御する。CPU 3 3 2 とテレビジョン受像機 3 0 0 の各部は、図示せぬ経路を介して接続されている。

10

【 0 3 5 8 】

USB I/F 3 3 3 は、USB端子 3 3 6 に装着されたUSBケーブルを介して接続される、テレビジョン受像機 3 0 0 の外部の機器との間でデータの送受信を行う。ネットワーク I/F 3 3 4 は、ネットワーク端子 3 3 5 に装着されたケーブルを介してネットワークに接続し、ネットワークに接続される各種の装置と音声データ以外のデータの送受信も行う。

【 0 3 5 9 】

テレビジョン受像機 3 0 0 は、MPEGデコーダ 3 1 7 として画像復号装置 1 0 1 を用いることにより、処理の高速化を実現するとともに、精度の高い予測画像を生成することができる。その結果として、テレビジョン受像機 3 0 0 は、アンテナを介して受信した放送波信号や、ネットワークを介して取得したコンテンツデータから、より高速に、より高精細な復号画像を得て、表示することができる。

20

【 0 3 6 0 】

[携帯電話機の構成例]

図 3 1 は、本発明を適用した画像符号化装置および画像復号装置を用いる携帯電話機の主な構成例を示すブロック図である。

【 0 3 6 1 】

図 3 1 に示される携帯電話機 4 0 0 は、各部を統括的に制御するようになされた主制御部 4 5 0、電源回路部 4 5 1、操作入力制御部 4 5 2、画像エンコーダ 4 5 3、カメラ I/F 部 4 5 4、LCD制御部 4 5 5、画像デコーダ 4 5 6、多重分離部 4 5 7、記録再生部 4 6 2、変復調回路部 4 5 8、および音声コーデック 4 5 9 を有する。これらは、バス 4 6 0

30

【 0 3 6 2 】

また、携帯電話機 4 0 0 は、操作キー 4 1 9、CCD (Charge Coupled Devices) カメラ 4 1 6、液晶ディスプレイ 4 1 8、記憶部 4 2 3、送受信回路部 4 6 3、アンテナ 4 1 4、マイクロホン (マイク) 4 2 1、およびスピーカ 4 1 7 を有する。

【 0 3 6 3 】

電源回路部 4 5 1 は、ユーザの操作により終話および電源キーがオン状態にされると、バッテリーパックから各部に対して電力を供給することにより携帯電話機 4 0 0 を動作可能な状態に起動する。

【 0 3 6 4 】

携帯電話機 4 0 0 は、CPU、ROMおよびRAM等である主制御部 4 5 0 の制御に基づいて、音声通話モードやデータ通信モード等の各種モードで、音声信号の送受信、電子メールや画像データの送受信、画像撮影、またはデータ記録等の各種動作を行う。

40

【 0 3 6 5 】

例えば、音声通話モードにおいて、携帯電話機 4 0 0 は、マイクロホン (マイク) 4 2 1 で集音した音声信号を、音声コーデック 4 5 9 によってデジタル音声データに変換し、これを変復調回路部 4 5 8 でスペクトラム拡散処理し、送受信回路部 4 6 3 でデジタルアナログ変換処理および周波数変換処理する。携帯電話機 4 0 0 は、その変換処理により得られた送信用信号を、アンテナ 4 1 4 を介して図示しない基地局へ送信する。基地局へ伝送された送信用信号 (音声信号) は、公衆電話回線網を介して通話相手の携帯電話機に供

50

給される。

【0366】

また、例えば、音声通話モードにおいて、携帯電話機400は、アンテナ414で受信した受信信号を送受信回路部463で増幅し、さらに周波数変換処理およびアナログデジタル変換処理し、変復調回路部458でスペクトラム逆拡散処理し、音声コーデック459によってアナログ音声信号に変換する。携帯電話機400は、その変換して得られたアナログ音声信号をスピーカ417から出力する。

【0367】

更に、例えば、データ通信モードにおいて電子メールを送信する場合、携帯電話機400は、操作キー419の操作によって入力された電子メールのテキストデータを、操作入力制御部452において受け付ける。携帯電話機400は、そのテキストデータを主制御部450において処理し、LCD制御部455を介して、画像として液晶ディスプレイ418に表示させる。

10

【0368】

また、携帯電話機400は、主制御部450において、操作入力制御部452が受け付けたテキストデータやユーザ指示等に基づいて電子メールデータを生成する。携帯電話機400は、その電子メールデータを、変復調回路部458でスペクトラム拡散処理し、送受信回路部463でデジタルアナログ変換処理および周波数変換処理する。携帯電話機400は、その変換処理により得られた送信用信号を、アンテナ414を介して図示しない基地局へ送信する。基地局へ伝送された送信用信号（電子メール）は、ネットワークおよびメールサーバ等を介して、所定のあて先に供給される。

20

【0369】

また、例えば、データ通信モードにおいて電子メールを受信する場合、携帯電話機400は、基地局から送信された信号を、アンテナ414を介して送受信回路部463で受信し、増幅し、さらに周波数変換処理およびアナログデジタル変換処理する。携帯電話機400は、その受信信号を変復調回路部458でスペクトラム逆拡散処理して元の電子メールデータを復元する。携帯電話機400は、復元された電子メールデータを、LCD制御部455を介して液晶ディスプレイ418に表示する。

【0370】

なお、携帯電話機400は、受信した電子メールデータを、記録再生部462を介して、記憶部423に記録する（記憶させる）ことも可能である。

30

【0371】

この記憶部423は、書き換え可能な任意の記憶媒体である。記憶部423は、例えば、RAMや内蔵型フラッシュメモリ等の半導体メモリであってもよいし、ハードディスクであってもよいし、磁気ディスク、光磁気ディスク、光ディスク、USBメモリ、またはメモ리카ード等のリムーバブルメディアであってもよい。もちろん、これら以外のものであってもよい。

【0372】

さらに、例えば、データ通信モードにおいて画像データを送信する場合、携帯電話機400は、撮像によりCCDカメラ416で画像データを生成する。CCDカメラ416は、レンズや絞り等の光学デバイスと光電変換素子としてのCCDを有し、被写体を撮像し、受光した光の強度を電気信号に変換し、被写体の画像の画像データを生成する。その画像データを、カメラI/F部454を介して、画像エンコーダ453で、例えばMPEG2やMPEG4等の所定の符号化方式によって圧縮符号化することにより符号化画像データに変換する。

40

【0373】

携帯電話機400は、このような処理を行う画像エンコーダ453として、上述した画像符号化装置51を用いる。したがって、画像エンコーダ453は、画像符号化装置51の場合と同様に、H.264/AVCの符号化順とは異なる、図2Aに示される昇順に符号化およびストリームへの出力を行う。これにより、高い符号化効率で、パイプライン処理や並列処理を実現することができる。また、画像エンコーダ453の回路規模を小さくすること

50

ができる。

【0374】

なお、携帯電話機400は、このとき同時に、CCDカメラ416で撮像中にマイクロホン（マイク）421で集音した音声を、音声コーデック459においてアナログデジタル変換し、さらに符号化する。

【0375】

携帯電話機400は、多重分離部457において、画像エンコーダ453から供給された符号化画像データと、音声コーデック459から供給されたデジタル音声データとを、所定の方式で多重化する。携帯電話機400は、その結果得られる多重化データを、変復調回路部458でスペクトラム拡散処理し、送受信回路部463でデジタルアナログ変換処理および周波数変換処理する。携帯電話機400は、その変換処理により得られた送信用信号を、アンテナ414を介して図示しない基地局へ送信する。基地局へ伝送された送信用信号（画像データ）は、ネットワーク等を介して、通信相手に供給される。

10

【0376】

なお、画像データを送信しない場合、携帯電話機400は、CCDカメラ416で生成した画像データを、画像エンコーダ453を介さずに、LCD制御部455を介して液晶ディスプレイ418に表示させることもできる。

【0377】

また、例えば、データ通信モードにおいて、簡易ホームページ等にリンクされた動画像ファイルのデータを受信する場合、携帯電話機400は、基地局から送信された信号を、アンテナ414を介して送受信回路部463で受信し、増幅し、さらに周波数変換処理およびアナログデジタル変換処理する。携帯電話機400は、その受信信号を変復調回路部458でスペクトラム逆拡散処理して元の多重化データを復元する。携帯電話機400は、多重分離部457において、その多重化データを分離して、符号化画像データと音声データとに分ける。

20

【0378】

携帯電話機400は、画像デコーダ456において、符号化画像データを、MPEG2やMP4等の所定の符号化方式に対応した復号方式でデコードすることにより、再生動画像データを生成し、これを、LCD制御部455を介して液晶ディスプレイ418に表示させる。これにより、例えば、簡易ホームページにリンクされた動画像ファイルに含まれる動画データが液晶ディスプレイ418に表示される。

30

【0379】

携帯電話機400は、このような処理を行う画像デコーダ456として、上述した画像復号装置101を用いる。したがって、画像デコーダ456は、画像復号装置101の場合と同様に、H.264/AVCの符号化順とは異なる、図2Aに示される昇順に符号化および出力が行われたストリームを、そのストリーム順に入力および復号する。これにより、高い符号化効率で、パイプライン処理や並列処理を実現することができる。また、画像デコーダ456の回路規模を小さくすることができる。

【0380】

このとき、携帯電話機400は、同時に、音声コーデック459において、デジタルの音声データをアナログ音声信号に変換し、これをスピーカ417より出力させる。これにより、例えば、簡易ホームページにリンクされた動画像ファイルに含まれる音声データが再生される。

40

【0381】

なお、電子メールの場合と同様に、携帯電話機400は、受信した簡易ホームページ等にリンクされたデータを、記録再生部462を介して、記憶部423に記録する（記憶させる）ことも可能である。

【0382】

また、携帯電話機400は、主制御部450において、撮像されてCCDカメラ416で得られた2次元コードを解析し、2次元コードに記録された情報を取得することができる

50

。

【0383】

さらに、携帯電話機400は、赤外線通信部481で赤外線により外部の機器と通信することができる。

【0384】

携帯電話機400は、画像エンコーダ453として画像符号化装置51を用いることにより、処理の高速化を実現するとともに、例えばCCDカメラ416において生成された画像データを符号化して生成する符号化データの符号化効率を向上させることができる。結果として、携帯電話機400は、符号化効率のよい符号化データ(画像データ)を、他の装置に提供することができる。

10

【0385】

また、携帯電話機400は、画像デコーダ456として画像復号装置101を用いることにより、処理の高速化を実現するとともに、精度の高い予測画像を生成することができる。その結果として、携帯電話機400は、例えば、簡易ホームページにリンクされた動画像ファイルから、より高精細な復号画像を得て、表示することができる。

【0386】

なお、以上において、携帯電話機400が、CCDカメラ416を用いるように説明したが、このCCDカメラ416の代わりに、CMOS(Complementary Metal Oxide Semiconductor)を用いたイメージセンサ(CMOSイメージセンサ)を用いるようにしてもよい。この場合も、携帯電話機400は、CCDカメラ416を用いる場合と同様に、被写体を撮像し、被

20

【0387】

また、以上においては携帯電話機400として説明したが、例えば、PDA(Personal Digital Assistants)、スマートフォン、UMPC(Ultra Mobile Personal Computer)、ネットブック、ノート型パーソナルコンピュータ等、この携帯電話機400と同様の撮像機能や通信機能を有する装置であれば、どのような装置であっても携帯電話機400の場合と同様に、画像符号化装置51および画像復号装置101を適用することができる。

【0388】

[ハードディスクレコーダの構成例]

図32は、本発明を適用した画像符号化装置および画像復号装置を用いるハードディスクレコーダの主な構成例を示すブロック図である。

30

【0389】

図32に示されるハードディスクレコーダ(HDDレコーダ)500は、チューナにより受信された、衛星や地上のアンテナ等より送信される放送波信号(テレビジョン信号)に含まれる放送番組のオーディオデータとビデオデータを、内蔵するハードディスクに保存し、その保存したデータをユーザの指示に応じたタイミングでユーザに提供する装置である。

【0390】

ハードディスクレコーダ500は、例えば、放送波信号よりオーディオデータとビデオデータを抽出し、それらを適宜復号し、内蔵するハードディスクに記憶させることができる。また、ハードディスクレコーダ500は、例えば、ネットワークを介して他の装置からオーディオデータやビデオデータを取得し、それらを適宜復号し、内蔵するハードディスクに記憶させることもできる。

40

【0391】

さらに、ハードディスクレコーダ500は、例えば、内蔵するハードディスクに記録されているオーディオデータやビデオデータを復号してモニタ560に供給し、モニタ560の画面にその画像を表示させる。また、ハードディスクレコーダ500は、モニタ560のスピーカよりその音声を出力させることができる。

【0392】

ハードディスクレコーダ500は、例えば、チューナを介して取得された放送波信号よ

50

り抽出されたオーディオデータとビデオデータ、または、ネットワークを介して他の装置から取得したオーディオデータやビデオデータを復号してモニタ560に供給し、モニタ560の画面にその画像を表示させる。また、ハードディスクレコーダ500は、モニタ560のスピーカよりその音声を出力させることもできる。

【0393】

もちろん、この他の動作も可能である。

【0394】

図32に示されるように、ハードディスクレコーダ500は、受信部521、復調部522、デマルチプレクサ523、オーディオデコーダ524、ビデオデコーダ525、およびレコーダ制御部526を有する。ハードディスクレコーダ500は、さらに、EPGデータメモリ527、プログラムメモリ528、ワークメモリ529、ディスプレイコンバータ530、OSD(On Screen Display)制御部531、ディスプレイ制御部532、記録再生部533、D/Aコンバータ534、および通信部535を有する。

【0395】

また、ディスプレイコンバータ530は、ビデオエンコーダ541を有する。記録再生部533は、エンコーダ551およびデコーダ552を有する。

【0396】

受信部521は、リモートコントローラ(図示せず)からの赤外線信号を受信し、電気信号に変換してレコーダ制御部526に出力する。レコーダ制御部526は、例えば、マイクロプロセッサなどにより構成され、プログラムメモリ528に記憶されているプログラムに従って、各種の処理を実行する。レコーダ制御部526は、このとき、ワークメモリ529を必要に応じて使用する。

【0397】

通信部535は、ネットワークに接続され、ネットワークを介して他の装置との通信処理を行う。例えば、通信部535は、レコーダ制御部526により制御され、チューナ(図示せず)と通信し、主にチューナに対して選局制御信号を出力する。

【0398】

復調部522は、チューナより供給された信号を、復調し、デマルチプレクサ523に出力する。デマルチプレクサ523は、復調部522より供給されたデータを、オーディオデータ、ビデオデータ、およびEPGデータに分離し、それぞれ、オーディオデコーダ524、ビデオデコーダ525、またはレコーダ制御部526に出力する。

【0399】

オーディオデコーダ524は、入力されたオーディオデータを、例えばMPEG方式でデコードし、記録再生部533に出力する。ビデオデコーダ525は、入力されたビデオデータを、例えばMPEG方式でデコードし、ディスプレイコンバータ530に出力する。レコーダ制御部526は、入力されたEPGデータをEPGデータメモリ527に供給し、記憶させる。

【0400】

ディスプレイコンバータ530は、ビデオデコーダ525またはレコーダ制御部526より供給されたビデオデータを、ビデオエンコーダ541により、例えばNTSC(National Television Standards Committee)方式のビデオデータにエンコードし、記録再生部533に出力する。また、ディスプレイコンバータ530は、ビデオデコーダ525またはレコーダ制御部526より供給されるビデオデータの画面のサイズを、モニタ560のサイズに対応するサイズに変換する。ディスプレイコンバータ530は、画面のサイズが変換されたビデオデータを、さらに、ビデオエンコーダ541によってNTSC方式のビデオデータに変換し、アナログ信号に変換し、ディスプレイ制御部532に出力する。

【0401】

ディスプレイ制御部532は、レコーダ制御部526の制御のもと、OSD(On Screen Display)制御部531が出力したOSD信号を、ディスプレイコンバータ530より入力されたビデオ信号に重畳し、モニタ560のディスプレイに出力し、表示させる。

10

20

30

40

50

【 0 4 0 2 】

モニタ 5 6 0 にはまた、オーディオデコーダ 5 2 4 が出力したオーディオデータが、D/Aコンバータ 5 3 4 によりアナログ信号に変換されて供給されている。モニタ 5 6 0 は、このオーディオ信号を内蔵するスピーカから出力する。

【 0 4 0 3 】

記録再生部 5 3 3 は、ビデオデータやオーディオデータ等を記録する記憶媒体としてハードディスクを有する。

【 0 4 0 4 】

記録再生部 5 3 3 は、例えば、オーディオデコーダ 5 2 4 より供給されるオーディオデータを、エンコーダ 5 5 1 によりMPEG方式でエンコードする。また、記録再生部 5 3 3 は、ディスプレイコンバータ 5 3 0 のビデオエンコーダ 5 4 1 より供給されるビデオデータを、エンコーダ 5 5 1 によりMPEG方式でエンコードする。記録再生部 5 3 3 は、そのオーディオデータの符号化データとビデオデータの符号化データとをマルチプレクサにより合成する。記録再生部 5 3 3 は、その合成データをチャンネルコーディングして増幅し、そのデータを、記録ヘッドを介してハードディスクに書き込む。

【 0 4 0 5 】

記録再生部 5 3 3 は、再生ヘッドを介してハードディスクに記録されているデータを再生し、増幅し、デマルチプレクサによりオーディオデータとビデオデータに分離する。記録再生部 5 3 3 は、デコーダ 5 5 2 によりオーディオデータおよびビデオデータをMPEG方式でデコードする。記録再生部 5 3 3 は、復号したオーディオデータをD/A変換し、モニタ 5 6 0 のスピーカに出力する。また、記録再生部 5 3 3 は、復号したビデオデータをD/A変換し、モニタ 5 6 0 のディスプレイに出力する。

【 0 4 0 6 】

レコーダ制御部 5 2 6 は、受信部 5 2 1 を介して受信されるリモートコントローラからの赤外線信号により示されるユーザ指示に基づいて、EPGデータメモリ 5 2 7 から最新のEPGデータを読み出し、それをOSD制御部 5 3 1 に供給する。OSD制御部 5 3 1 は、入力されたEPGデータに対応する画像データを発生し、ディスプレイ制御部 5 3 2 に出力する。ディスプレイ制御部 5 3 2 は、OSD制御部 5 3 1 より入力されたビデオデータをモニタ 5 6 0 のディスプレイに出力し、表示させる。これにより、モニタ 5 6 0 のディスプレイには、EPG（電子番組ガイド）が表示される。

【 0 4 0 7 】

また、ハードディスクレコーダ 5 0 0 は、インターネット等のネットワークを介して他の装置から供給されるビデオデータ、オーディオデータ、またはEPGデータ等の各種データを取得することができる。

【 0 4 0 8 】

通信部 5 3 5 は、レコーダ制御部 5 2 6 に制御され、ネットワークを介して他の装置から送信されるビデオデータ、オーディオデータ、およびEPGデータ等の符号化データを取得し、それをレコーダ制御部 5 2 6 に供給する。レコーダ制御部 5 2 6 は、例えば、取得したビデオデータやオーディオデータの符号化データを記録再生部 5 3 3 に供給し、ハードディスクに記憶させる。このとき、レコーダ制御部 5 2 6 および記録再生部 5 3 3 が、必要に応じて再エンコード等の処理を行うようにしてもよい。

【 0 4 0 9 】

また、レコーダ制御部 5 2 6 は、取得したビデオデータやオーディオデータの符号化データを復号し、得られるビデオデータをディスプレイコンバータ 5 3 0 に供給する。ディスプレイコンバータ 5 3 0 は、ビデオデコーダ 5 2 5 から供給されるビデオデータと同様に、レコーダ制御部 5 2 6 から供給されるビデオデータを処理し、ディスプレイ制御部 5 3 2 を介してモニタ 5 6 0 に供給し、その画像を表示させる。

【 0 4 1 0 】

また、この画像表示に合わせて、レコーダ制御部 5 2 6 が、復号したオーディオデータを、D/Aコンバータ 5 3 4 を介してモニタ 5 6 0 に供給し、その音声をスピーカから出力

10

20

30

40

50

させるようにしてもよい。

【0411】

さらに、レコーダ制御部526は、取得したEPGデータの符号化データを復号し、復号したEPGデータをEPGデータメモリ527に供給する。

【0412】

以上のようなハードディスクレコーダ500は、ビデオデコーダ525、デコーダ552、およびレコーダ制御部526に内蔵されるデコーダとして画像復号装置101を用いる。したがって、ビデオデコーダ525、デコーダ552、およびレコーダ制御部526に内蔵されるデコーダは、画像復号装置101の場合と同様に、H.264/AVCの符号化順とは異なる、図2Aに示される昇順に符号化および出力が行われたストリームを、そのストリーム順に入力および復号する。これにより、高い符号化効率で、パイプライン処理や並列処理を実現することができる。また、各デコーダの回路規模を小さくすることができる。

10

【0413】

したがって、ハードディスクレコーダ500は、処理の高速化を実現するとともに、精度の高い予測画像を生成することができる。その結果として、ハードディスクレコーダ500は、例えば、チューナを介して受信されたビデオデータの符号化データや、記録再生部533のハードディスクから読み出されたビデオデータの符号化データや、ネットワークを介して取得したビデオデータの符号化データから、より高精細な復号画像を得て、モニタ560に表示させることができる。

20

【0414】

また、ハードディスクレコーダ500は、エンコーダ551として画像符号化装置51を用いる。したがって、エンコーダ551は、画像符号化装置51の場合と同様に、H.264/AVCの符号化順とは異なる、図2Aに示される昇順に符号化およびストリームへの出力を行う。これにより、高い符号化効率で、パイプライン処理や並列処理を実現することができる。また、エンコーダ551の回路規模を小さくすることができる。

【0415】

したがって、ハードディスクレコーダ500は、例えば、処理の高速化を実現させるとともに、ハードディスクに記録する符号化データの符号化効率を向上させることができる。その結果として、ハードディスクレコーダ500は、ハードディスクの記憶領域をより効率よく使用することができる。

30

【0416】

なお、以上においては、ビデオデータやオーディオデータをハードディスクに記録するハードディスクレコーダ500について説明したが、もちろん、記録媒体はどのようなものであってもよい。例えばフラッシュメモリ、光ディスク、またはビデオテープ等、ハードディスク以外の記録媒体を適用するレコーダであっても、上述したハードディスクレコーダ500の場合と同様に、画像符号化装置51および画像復号装置101を適用することができる。

【0417】

[カメラの構成例]

40

図33は、本発明を適用した画像復号装置および画像符号化装置を用いるカメラの主な構成例を示すブロック図である。

【0418】

図33に示されるカメラ600は、被写体を撮像し、被写体の画像をLCD616に表示させたり、それを画像データとして、記録メディア633に記録したりする。

【0419】

レンズブロック611は、光（すなわち、被写体の映像）を、CCD/CMOS612に入射させる。CCD/CMOS612は、CCDまたはCMOSを用いたイメージセンサであり、受光した光の強度を電気信号に変換し、カメラ信号処理部613に供給する。

【0420】

50

カメラ信号処理部 6 1 3 は、CCD/CMOS 6 1 2 から供給された電気信号を、Y, Cr, Cb の色差信号に変換し、画像信号処理部 6 1 4 に供給する。画像信号処理部 6 1 4 は、コントローラ 6 2 1 の制御の下、カメラ信号処理部 6 1 3 から供給された画像信号に対して所定の画像処理を施したり、その画像信号をエンコーダ 6 4 1 で例えばMPEG方式により符号化したりする。画像信号処理部 6 1 4 は、画像信号を符号化して生成した符号化データを、デコーダ 6 1 5 に供給する。さらに、画像信号処理部 6 1 4 は、オンスクリーンディスプレイ (OSD) 6 2 0 において生成された表示用データを取得し、それをデコーダ 6 1 5 に供給する。

【0 4 2 1】

以上の処理において、カメラ信号処理部 6 1 3 は、バス 6 1 7 を介して接続される DRAM (Dynamic Random Access Memory) 6 1 8 を適宜利用し、必要に応じて画像データや、その画像データが符号化された符号化データ等をその DRAM 6 1 8 に保持させる。

【0 4 2 2】

デコーダ 6 1 5 は、画像信号処理部 6 1 4 から供給された符号化データを復号し、得られた画像データ (復号画像データ) を LCD 6 1 6 に供給する。また、デコーダ 6 1 5 は、画像信号処理部 6 1 4 から供給された表示用データを LCD 6 1 6 に供給する。LCD 6 1 6 は、デコーダ 6 1 5 から供給された復号画像データの画像と表示用データの画像を適宜合成し、その合成画像を表示する。

【0 4 2 3】

オンスクリーンディスプレイ 6 2 0 は、コントローラ 6 2 1 の制御の下、記号、文字、または図形からなるメニュー画面やアイコンなどの表示用データを、バス 6 1 7 を介して画像信号処理部 6 1 4 に出力する。

【0 4 2 4】

コントローラ 6 2 1 は、ユーザが操作部 6 2 2 を用いて指令した内容を示す信号に基づいて、各種処理を実行するとともに、バス 6 1 7 を介して、画像信号処理部 6 1 4、DRAM 6 1 8、外部インタフェース 6 1 9、オンスクリーンディスプレイ 6 2 0、およびメディアドライブ 6 2 3 等を制御する。FLASH ROM 6 2 4 には、コントローラ 6 2 1 が各種処理を実行する上で必要なプログラムやデータ等が格納される。

【0 4 2 5】

例えば、コントローラ 6 2 1 は、画像信号処理部 6 1 4 やデコーダ 6 1 5 に代わって、DRAM 6 1 8 に記憶されている画像データを符号化したり、DRAM 6 1 8 に記憶されている符号化データを復号したりすることができる。このとき、コントローラ 6 2 1 は、画像信号処理部 6 1 4 やデコーダ 6 1 5 の符号化・復号方式と同様の方式によって符号化・復号処理を行うようにしてもよいし、画像信号処理部 6 1 4 やデコーダ 6 1 5 が対応していない方式により符号化・復号処理を行うようにしてもよい。

【0 4 2 6】

また、例えば、操作部 6 2 2 から画像印刷の開始が指示された場合、コントローラ 6 2 1 は、DRAM 6 1 8 から画像データを読み出し、それを、バス 6 1 7 を介して外部インタフェース 6 1 9 に接続されるプリンタ 6 3 4 に供給して印刷させる。

【0 4 2 7】

さらに、例えば、操作部 6 2 2 から画像記録が指示された場合、コントローラ 6 2 1 は、DRAM 6 1 8 から符号化データを読み出し、それを、バス 6 1 7 を介してメディアドライブ 6 2 3 に装着される記録メディア 6 3 3 に供給して記憶させる。

【0 4 2 8】

記録メディア 6 3 3 は、例えば、磁気ディスク、光磁気ディスク、光ディスク、または半導体メモリ等の、読み書き可能な任意のリムーバブルメディアである。記録メディア 6 3 3 は、もちろん、リムーバブルメディアとしての種類も任意であり、テープデバイスであってもよいし、ディスクであってもよいし、メモリカードであってもよい。もちろん、非接触 IC カード等であっても良い。

【0 4 2 9】

10

20

30

40

50

また、メディアドライブ 6 2 3 と記録メディア 6 3 3 を一体化し、例えば、内蔵型ハードディスクドライブやSSD (Solid State Drive) 等のように、非可搬性の記憶媒体により構成されるようにしてもよい。

【0430】

外部インタフェース 6 1 9 は、例えば、USB入出力端子などで構成され、画像の印刷を行う場合に、プリンタ 6 3 4 と接続される。また、外部インタフェース 6 1 9 には、必要に応じてドライブ 6 3 1 が接続され、磁気ディスク、光ディスク、あるいは光磁気ディスクなどのリムーバブルメディア 6 3 2 が適宜装着され、それらから読み出されたコンピュータプログラムが、必要に応じて、FLASH ROM 6 2 4 にインストールされる。

【0431】

さらに、外部インタフェース 6 1 9 は、LANやインターネット等の所定のネットワークに接続されるネットワークインタフェースを有する。コントローラ 6 2 1 は、例えば、操作部 6 2 2 からの指示に従って、DRAM 6 1 8 から符号化データを読み出し、それを外部インタフェース 6 1 9 から、ネットワークを介して接続される他の装置に供給させることができる。また、コントローラ 6 2 1 は、ネットワークを介して他の装置から供給される符号化データや画像データを、外部インタフェース 6 1 9 を介して取得し、それをDRAM 6 1 8 に保持させたり、画像信号処理部 6 1 4 に供給したりすることができる。

【0432】

以上のようなカメラ 6 0 0 は、デコーダ 6 1 5 として画像復号装置 1 0 1 を用いる。したがって、デコーダ 6 1 5 は、画像復号装置 1 0 1 の場合と同様に、H. 264/AVCの符号化順とは異なる、図 2 A に示される昇順に符号化および出力が行われたストリームを、そのストリーム順に入力および復号する。これにより、高い符号化効率で、パイプライン処理や並列処理を実現することができる。また、各デコーダの回路規模を小さくすることができる。

【0433】

したがって、カメラ 6 0 0 は、処理の高速化を実現するとともに、精度の高い予測画像を生成することができる。その結果として、カメラ 6 0 0 は、例えば、CCD/CMOS 6 1 2 において生成された画像データや、DRAM 6 1 8 または記録メディア 6 3 3 から読み出されたビデオデータの符号化データや、ネットワークを介して取得したビデオデータの符号化データから、より高精細な復号画像を得て、LCD 6 1 6 に表示させることができる。

【0434】

また、カメラ 6 0 0 は、エンコーダ 6 4 1 として画像符号化装置 5 1 を用いる。したがって、エンコーダ 6 4 1 は、画像符号化装置 5 1 の場合と同様に、H. 264/AVCの符号化順とは異なる、図 2 A に示される昇順に符号化およびストリームへの出力を行う。これにより、高い符号化効率で、パイプライン処理や並列処理を実現することができる。また、エンコーダ 6 4 1 の回路規模を小さくすることができる。

【0435】

したがって、カメラ 6 0 0 は、例えば、処理の高速化を実現させるとともに、ハードディスクに記録する符号化データの符号化効率を、処理を複雑にすることなく向上させることができる。その結果として、カメラ 6 0 0 は、DRAM 6 1 8 や記録メディア 6 3 3 の記憶領域をより効率よく使用することができる。

【0436】

なお、コントローラ 6 2 1 が行う復号処理に画像復号装置 1 0 1 の復号方法を適用するようにしてもよい。同様に、コントローラ 6 2 1 が行う符号化処理に画像符号化装置 5 1 の符号化方法を適用するようにしてもよい。

【0437】

また、カメラ 6 0 0 が撮像する画像データは動画画像であってもよいし、静止画像であってもよい。

【0438】

もちろん、画像符号化装置 5 1 および画像復号装置 1 0 1 は、上述した装置以外の装置

10

20

30

40

50

やシステムにも適用可能である。

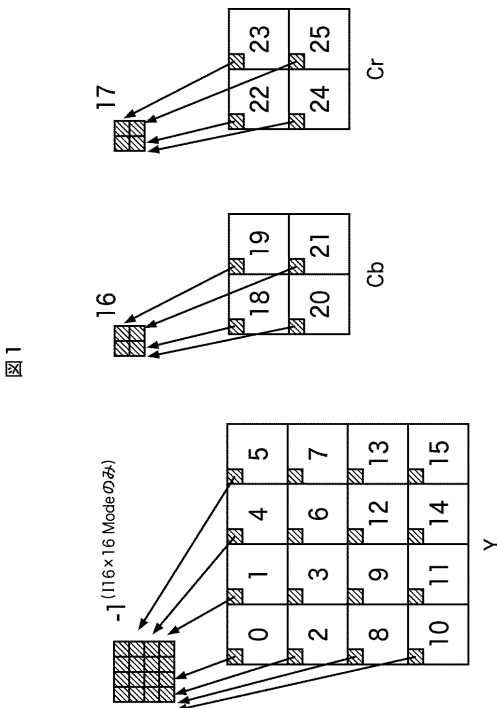
【符号の説明】

【 0 4 3 9 】

5 1 画像符号化装置， 6 6 可逆符号化部， 7 4 イントラ予測部， 7 5 アドレス制御部， 7 6 周辺画素利用可能性判定部， 8 1 符号化処理部， 8 2 ストリーム出力部， 9 1 ブロックアドレス算出部， 9 2 パイプライン／並列処理制御部， 1 0 1 画像復号装置， 1 1 2 可逆復号部， 1 2 1 イントラ予測部， 1 2 2 アドレス制御部， 1 2 3 周辺画素利用可能性判定部， 1 3 1 ストリーム入力部， 1 3 2 復号処理部， 1 4 1 ブロックアドレス算出部， 1 4 2 パイプライン／並列処理制御部， 3 0 0 テレビジョン受像機， 4 0 0 携帯電話機， 5 0 0 ハードディスクレコーダ， 6 0 0 カメラ

10

【 図 1 】



【 図 2 】

図 2

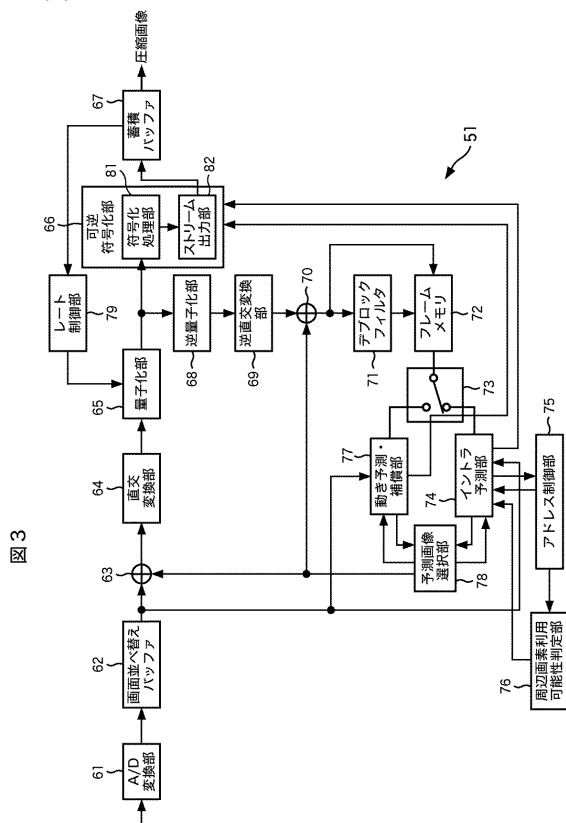
0	1	2a	3a
2b	3b	4a	5a
4b	5b	6a	7a
6b	7b	8	9

A

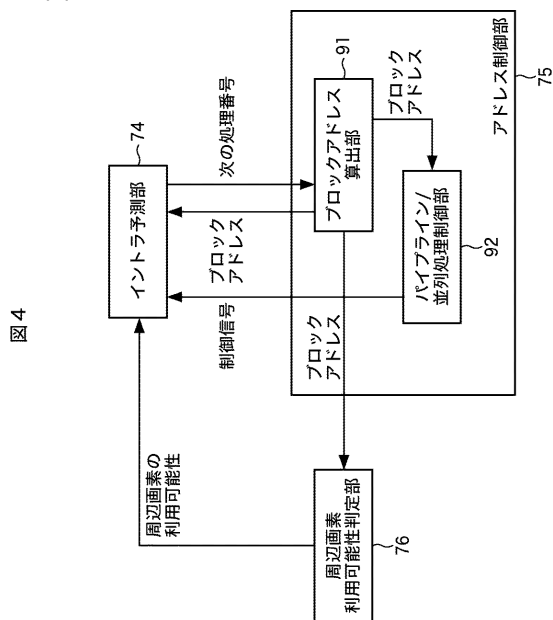
0	1	4	5
2	3	6	7
8	9	12	13
10	11	14	15

B

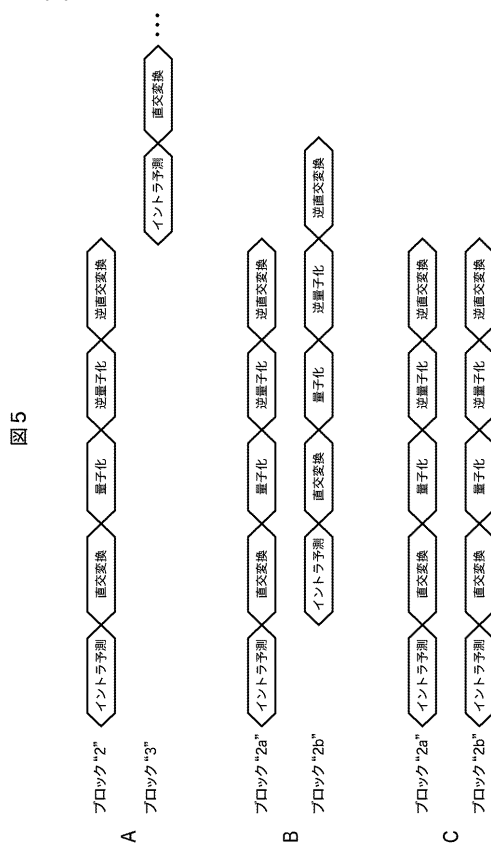
【 図 3 】



【 図 4 】



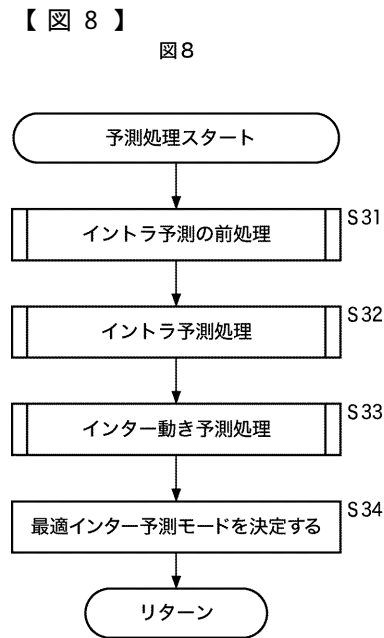
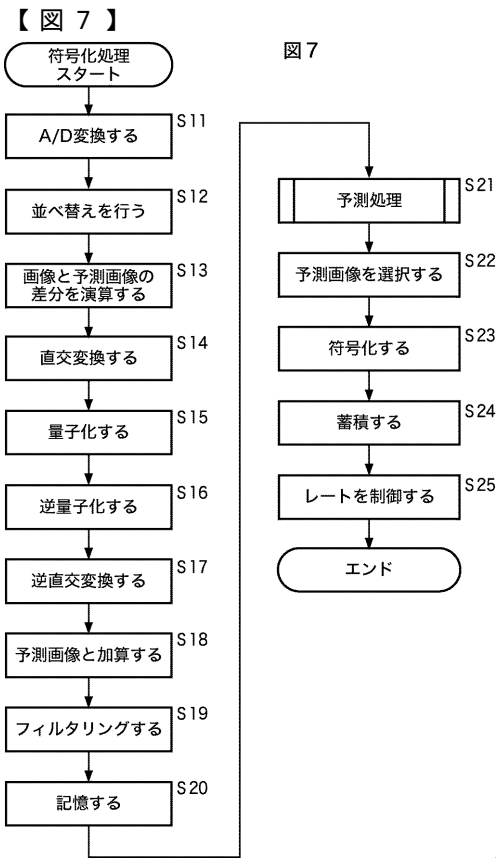
【 図 5 】



【 図 6 】

图 6

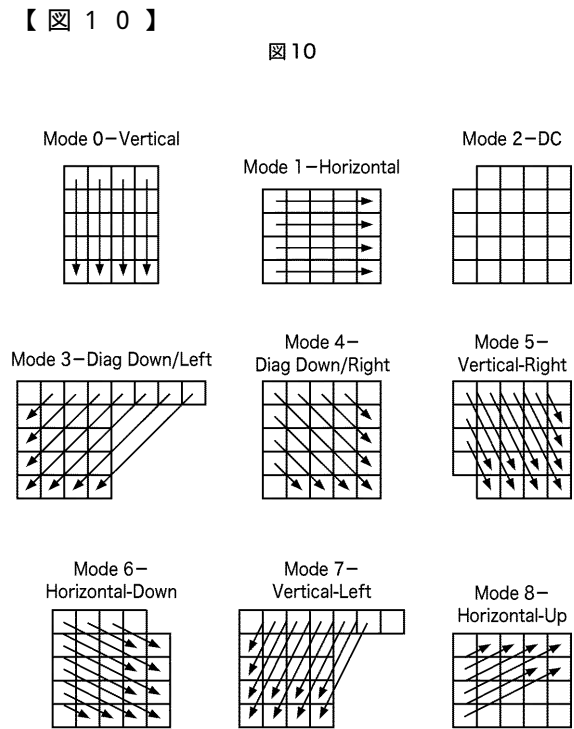
0[0]	1[1]	2a[4]	3a[5]
2b[2]	3b[3]	4a[6]	5a[7]
4b[8]	5b[9]	6a[12]	7a[13]
6b[10]	7b[11]	8[14]	9[15]



【 図 9 】

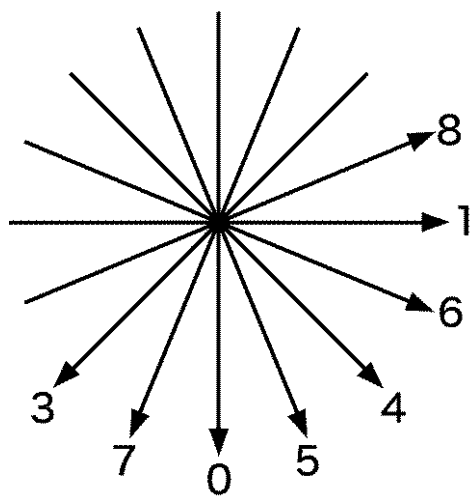
図 9

Intra4x4LumaPredMode[4x4LumaBlkIdx]	Name of Intra4x4LumaPredMode[4x4LumaBlkIdx]
0	Intra_4x4_Verical (prediction mode)
1	Intra_4x4_Horizontal (prediction mode)
2	Intra_4x4_DC (prediction mode)
3	Intra_4x4_Diagonal_Down_Left (prediction mode)
4	Intra_4x4_Diagonal_Down_Right (prediction mode)
5	Intra_4x4_Verical_Right (prediction mode)
6	Intra_4x4_Horizontal_Down (prediction mode)
7	Intra_4x4_Verical_Left (prediction mode)
8	Intra_4x4_Horizontal_Up (prediction mode)



【図 1 1】

図 11



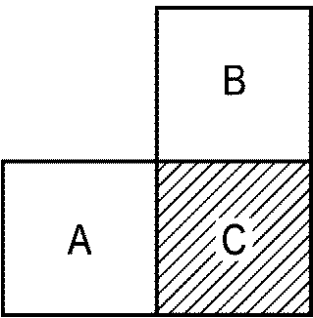
【図 1 2】

図 12

M	A	B	C	D	E	F	G	H
I	a	b	c	d				
J	e	f	g	h				
K	i	j	k	l				
L	m	n	o	p				

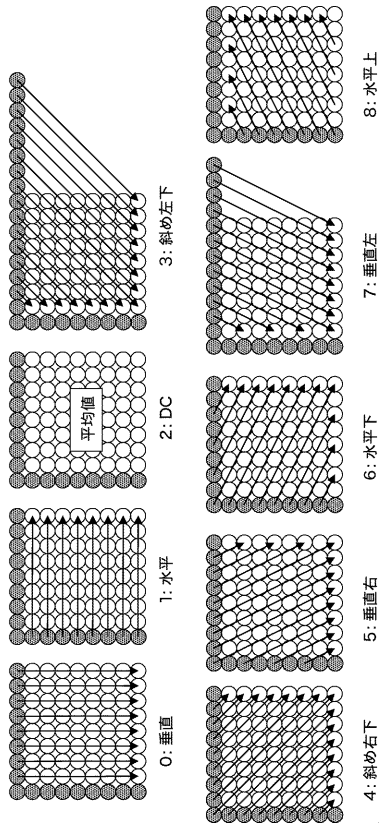
【図 1 3】

図 13



【図 1 4】

図 14



【図 1 5】

図 15

Intra8x8LumaPredMode[8x8LumaBlkIdx]	Name of Intra8x8LumaPredMode[8x8LumaBlkIdx]
0	Intra_8x8_Verical (prediction mode)
1	Intra_8x8_Horizontal (prediction mode)
2	Intra_8x8_DC (prediction mode)
3	Intra_8x8_Diagonal_Down_Left (prediction mode)
4	Intra_8x8_Diagonal_Down_Right (prediction mode)
5	Intra_8x8_Verical_Right (prediction mode)
6	Intra_8x8_Horizontal_Down (prediction mode)
7	Intra_8x8_Verical_Left (prediction mode)
8	Intra_8x8_Horizontal_Up (prediction mode)

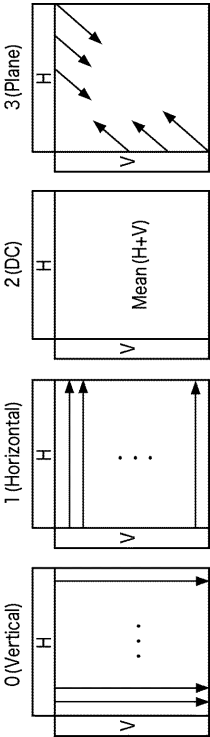
【 図 1 6 】

図 16

Intra_16×16_pred_mode	Name of Intra_16×16_pred_mode
0	Intra_16×16_Vertical (prediction_mode)
1	Intra_16×16_Horizontal (prediction_mode)
2	Intra_16×16_DC (prediction_mode)
3	Intra_16×16_Plane (prediction_mode)

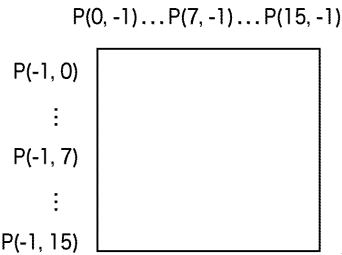
【 図 1 7 】

図 17



【 図 1 8 】

図 18



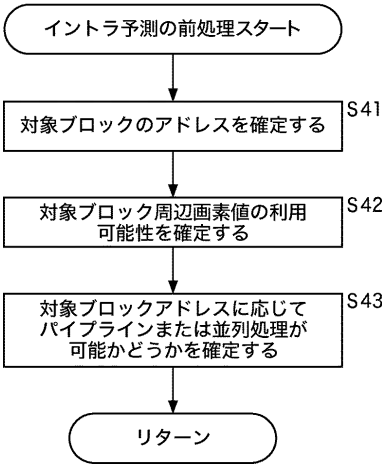
【 図 1 9 】

図 19

Intra_chroma_pred_mode	Name of Intra_chroma_pred_mode
0	Intra_chroma_DC (prediction mode)
1	Intra_chroma_Horizontal (prediction mode)
2	Intra_chroma_Vertical (prediction mode)
3	Intra_chroma_Plane (prediction mode)

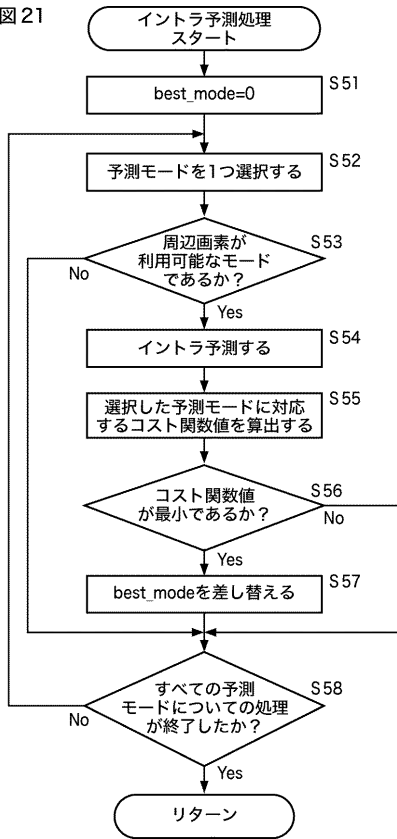
【 図 2 0 】

図 20



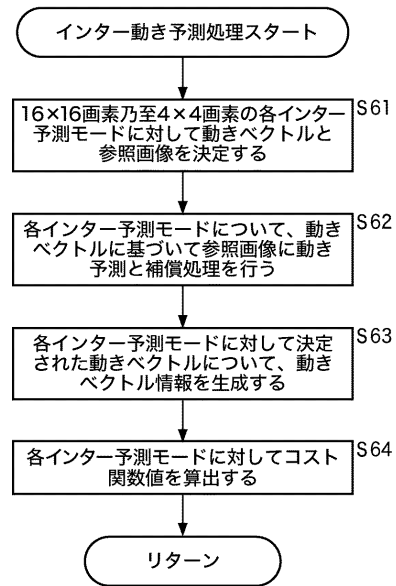
【図 2 1】

図 21



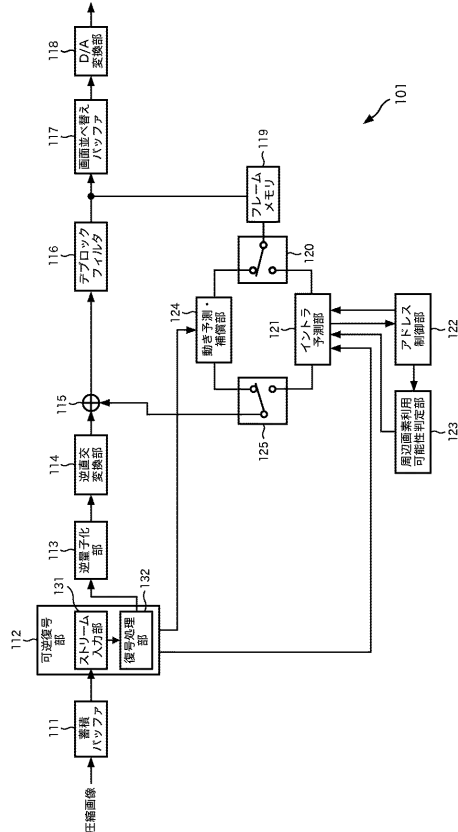
【図 2 2】

図 22



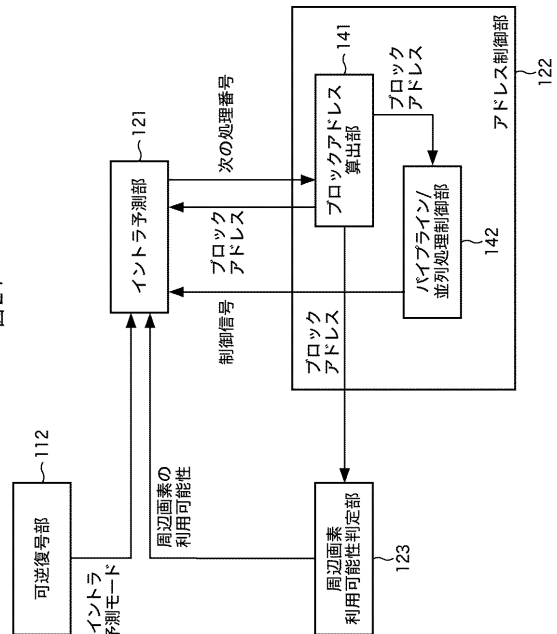
【図 2 3】

図 23

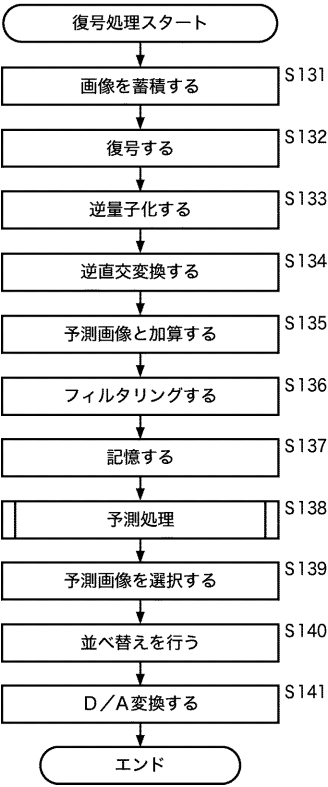


【図 2 4】

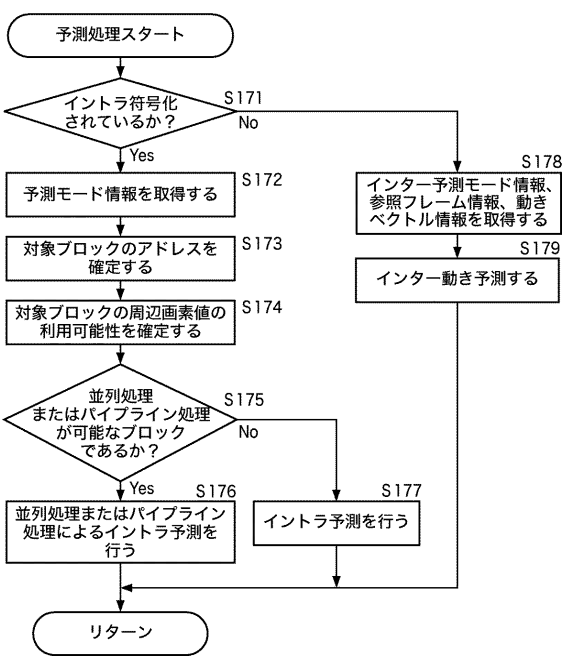
図 24



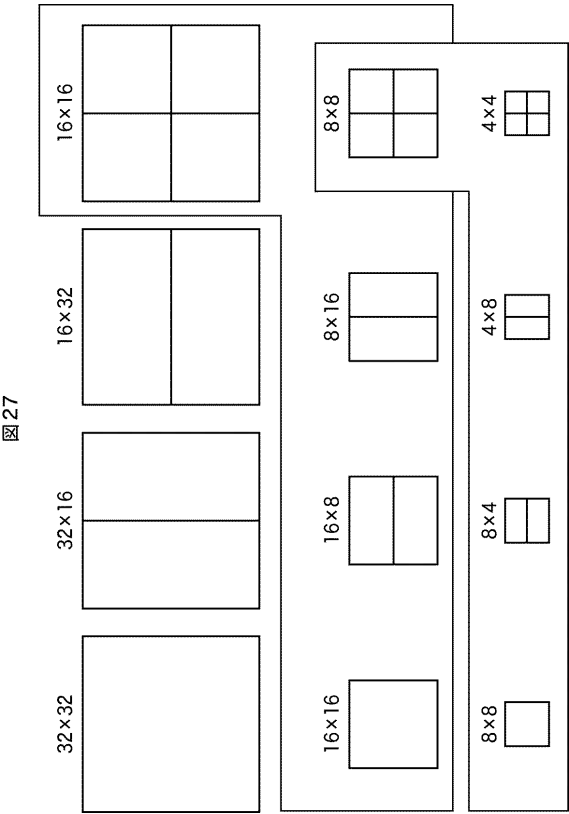
【 図 2 5 】
図 25



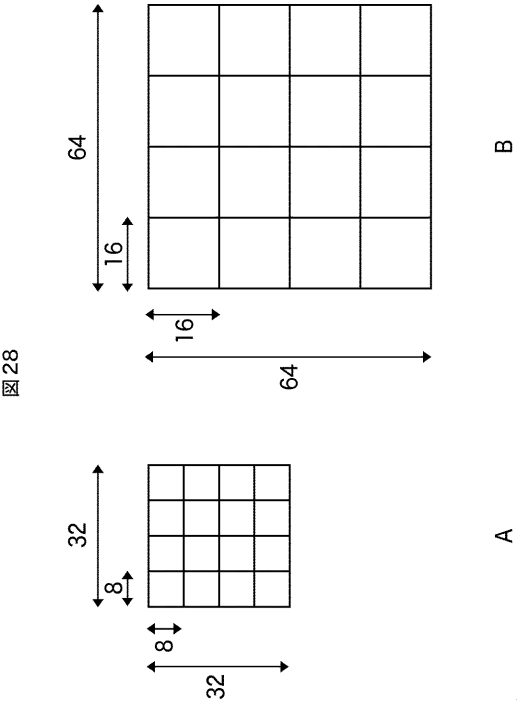
【 図 2 6 】
図 26



【 図 2 7 】

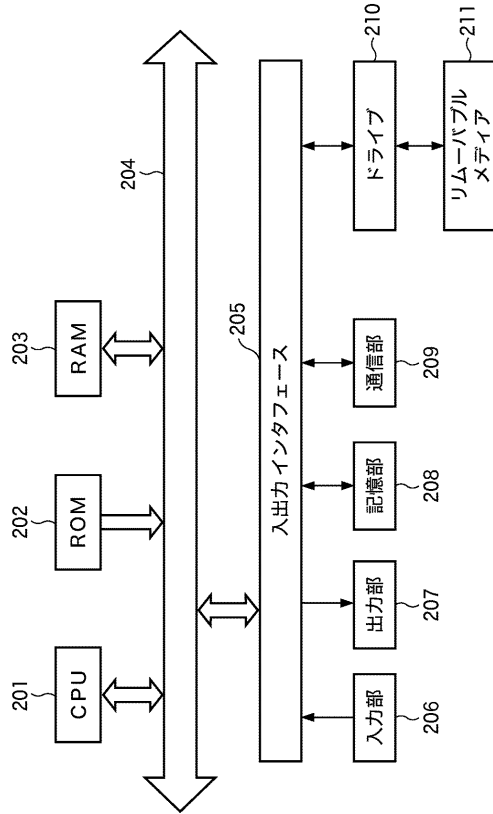


【 図 2 8 】



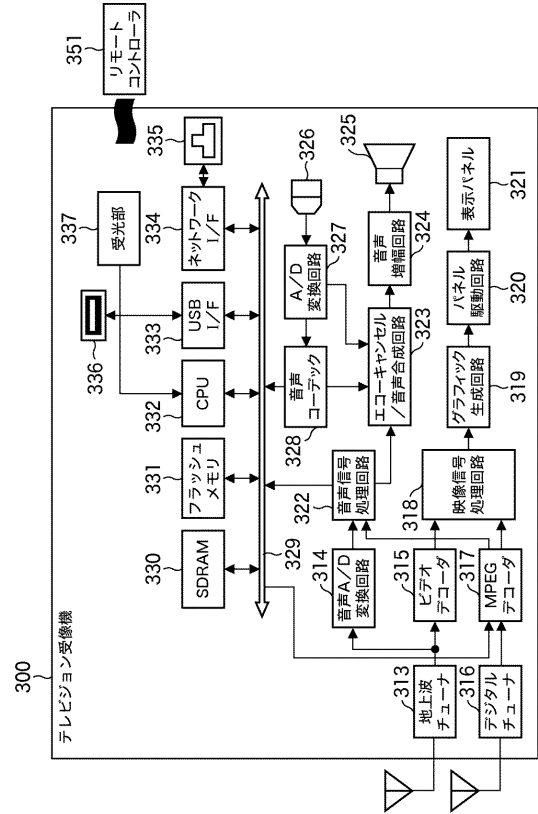
【図 29】

図 29



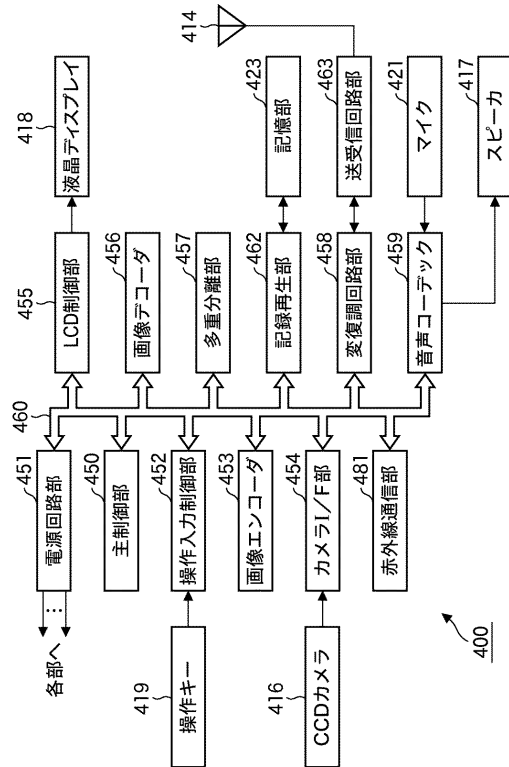
【図 30】

図 30



【図 31】

図 31



【図 32】

図 32

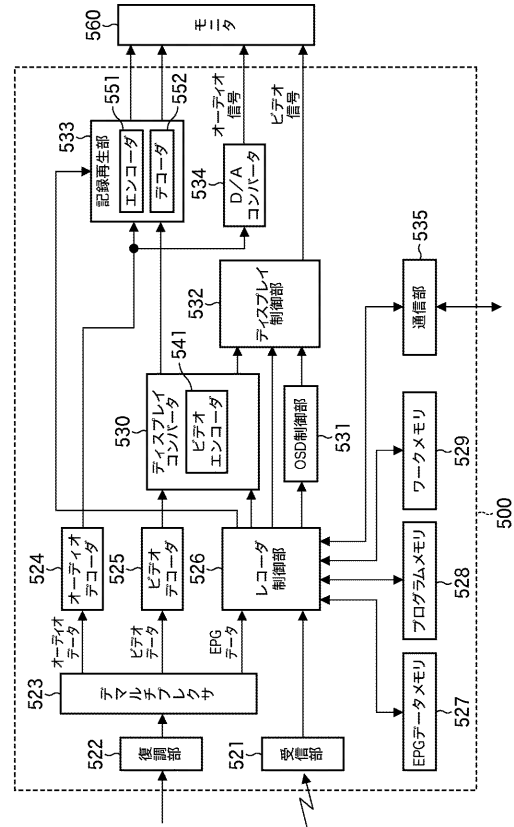
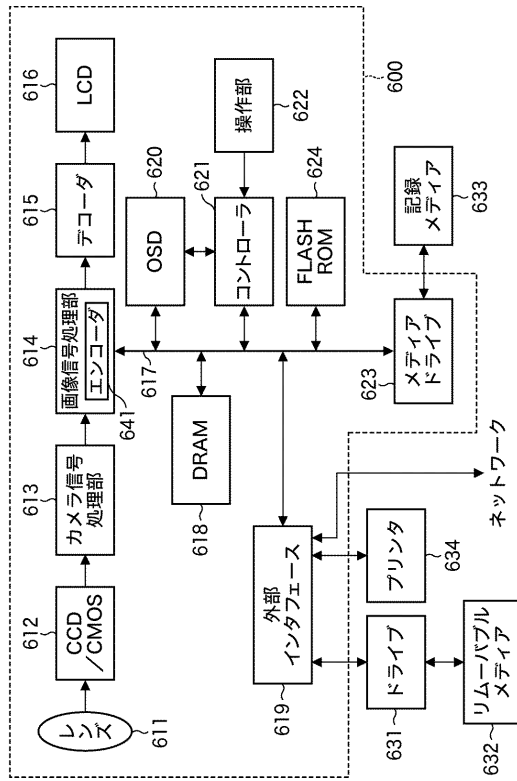


図 33

【図 33】



フロントページの続き

F ターム(参考) 5C159 KK13 MA00 MA04 MA05 MA23 MC11 MC38 ME01 ME11 NN01
NN21 PP01 PP05 PP06 PP07 PP16 RA01 RA04 RB09 RC32
SS02 SS08 SS10 TA17 TC02 TC26 TC28 TC42 TC52 TD02
TD16 UA02 UA04 UA05 UA11 UA29 UA32 UA33 UA36