

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】令和 1 年 12 月 5 日 (2019.12.5)

【公表番号】特表 2018-533851 (P2018-533851A)

【公表日】平成 30 年 11 月 15 日 (2018.11.15)

【年通号数】公開・登録公報 2018-044

【出願番号】特願 2018-543025 (P2018-543025)

【国際特許分類】

H 0 1 L 21/336 (2006.01)

H 0 1 L 29/78 (2006.01)

H 0 1 L 21/28 (2006.01)

【F I】

H 0 1 L 29/78 3 0 1 G

H 0 1 L 29/78 3 0 1 D

H 0 1 L 21/28 3 0 1 S

【手続補正書】

【提出日】令和 1 年 10 月 23 日 (2019.10.23)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体デバイスであって、

p 型である半導体材料を含む基板と、

スプリットゲートトランジスタであって、

前記基板に配置されて前記基板の頂部表面まで延在する p 型のボディと、

前記基板に配置されて前記ボディに隣接する n 型のドレインドリフト領域であって、前記ボディと前記ドレインドリフト領域との間の境界が前記基板の前記頂部表面まで延在する、前記ドレインドリフト領域と、

前記基板に配置されて前記ドレインドリフト領域に隣接するドレインウェル領域であって、前記ドレインドリフト領域よりも深く前記基板内に延在し、前記ドレインドリフト領域よりも大きい不純物濃度を有する、前記ドレインウェル領域と、

前記ドレインウェル領域に配置されるドレイン領域と、

前記基板の前記頂部表面の上に配置されるゲート誘電体層であって、前記基板の前記頂部表面における前記ボディと前記ドレインドリフト領域との間の前記境界の上に位置し、前記ボディの上に少なくとも部分的に延在して前記ドレインドリフト領域の上に少なくとも部分的に延在する、前記ゲート誘電体層と、

前記ゲート誘電体層の上に配置される第 1 のゲートであって、前記ボディの上に少なくとも部分的に延在する、前記第 1 のゲートと、

前記第 1 のゲートに横方向に近接して前記ゲート誘電体層の上に配置される第 2 のゲートであって、前記ドレインドリフト領域の上に少なくとも部分的に延在し、前記第 2 のゲートの第 1 の部分がフィールド酸化物によって前記ドレインドリフト領域から垂直方向に分離され、前記第 2 のゲートの第 2 の部分が前記フィールド酸化物ではなくて前記ゲート誘電体層によって前記ドレインドリフト領域から垂直方向に分離され、10 ナノメートル～250 ナノメートルのギャップによって前記第 1 のゲートから横方向に分離され、前記基板の前記頂部表面における前記ボディと前記ドレインドリフト領域との間の境界が、前

記第 1 のゲートと前記第 2 のゲートと前記第 1 のゲートと前記第 2 のゲートとの間の前記ギャップとのうちの少なくとも 1 つの下に位置する、前記第 2 のゲートと、
を含む、前記スプリットゲートトランジスタと、
を含む、半導体デバイス。

【請求項 2】

請求項 1 に記載の半導体デバイスであって、
前記第 1 のゲートと前記第 2 のゲートとの間の前記ギャップに配置される誘電材料を更
に含む、半導体デバイス。

【請求項 3】

請求項 1 に記載の半導体デバイスであって、
前記基板の前記頂部表面における前記ボディと前記ドレインドリフト領域との間の前記境界が前記第 1 のゲートの下に位置する、半導体デバイス。

【請求項 4】

請求項 1 に記載の半導体デバイスであって、
前記基板の前記頂部表面における前記ボディと前記ドレインドリフト領域との間の前記境界が前記第 1 のゲートと前記第 2 のゲートとの間の前記ギャップの下に位置する、半導体デバイス。

【請求項 5】

請求項 1 に記載の半導体デバイスであって、
前記第 1 のゲートが前記第 2 のゲートに上に重ならず、第 2 のゲートが前記第 1 のゲートに上に重ならない、半導体デバイス。

【請求項 6】

請求項 1 に記載の半導体デバイスであって、
前記第 1 のゲートと前記第 2 のゲートとの一方が、前記第 1 のゲートと前記第 2 のゲートとの他方に上に重なる、半導体デバイス。

【請求項 7】

請求項 1 に記載の半導体デバイスであって、
前記第 2 のゲートが前記半導体デバイスのゲート電圧ノードに電氣的に結合される、半導体デバイス。

【請求項 8】

請求項 1 に記載の半導体デバイスであって、
前記第 2 のゲートが前記半導体デバイスのゲート信号ノードに電氣的に結合される、半導体デバイス。

【請求項 9】

半導体デバイスであって、
p 型である半導体材料を含む基板と、
スプリットゲートトランジスタであって、
前記基板に配置されて前記基板の頂部表面まで延在する p 型のボディと、
前記基板に配置されて前記ボディに隣接する n 型のドレインドリフト領域であって、前記ボディと前記ドレインドリフト領域との間の境界が前記基板の前記頂部表面まで延在する、前記ドレインドリフト領域と、
前記基板の前記頂部表面の上に配置されるゲート誘電体層であって、前記基板の前記頂部表面における前記ボディと前記ドレインドリフト領域との間の前記境界の上に位置し、前記ボディの上に少なくとも部分的に延在して前記ドレインドリフト領域の上に少なくとも部分的に延在する、前記ゲート誘電体層と、
前記ゲート誘電体層の上に配置される第 1 のゲートであって、前記ボディの上に少なくとも部分的に延在する、前記第 1 のゲートと、
前記第 1 のゲートに横方向に近接して前記ゲート誘電体層の上に配置される第 2 のゲートであって、前記ドレインドリフト領域の上に少なくとも部分的に延在し、10 ナノメートル～250 ナノメートルのギャップによって前記第 1 のゲートから横方向に分離され、

前記基板の前記頂部表面における前記ボディと前記ドレインドリフト領域との間の前記境界が、前記第2のゲートの下に位置し、前記第1のゲートの下に位置しない、前記第2のゲートと、

を含む、前記スプリットゲートトランジスタと、
を含む、半導体デバイス。

【請求項10】

半導体デバイスを形成する方法であって、

p型半導体材料を含む基板を提供することと、

前記基板に前記半導体デバイスのスプリットゲートトランジスタのn型のドレインドリフト領域を形成することであって、前記ドレインドリフト領域が前記スプリットゲートトランジスタのp型のボディに隣接する、前記ドレインドリフト領域を形成することと、

前記ドレインドリフト領域に隣接するドレインウェル領域を形成することであって、前記ドレインウェル領域がn型であって前記ドレインドリフト領域よりも大きい不純物濃度を有し、前記ドレインウェル領域が前記ドレインドリフト領域よりも深く前記基板内に延在する、前記ドレインウェル領域を形成することと、

前記基板の頂部表面の上に前記スプリットゲートトランジスタのゲート誘電体層を形成することであって、前記ゲート誘電体層が前記基板の前記頂部表面における前記ボディと前記ドレインドリフト領域との間の境界の上に位置し、前記ゲート誘電体層が前記ボディの上に少なくとも部分的に延在して前記ドレインドリフト領域の上に少なくとも部分的に延在する、前記ゲート誘電体層を形成することと、

前記ゲート誘電体層の上に前記スプリットゲートトランジスタの第1のゲートを形成することであって、前記第1のゲートが前記ボディの上に少なくとも部分的に延在する、前記第1のゲートを形成することと、

前記第1のゲートに横方向に近接して、前記ゲート誘電体層の上に前記スプリットゲートトランジスタの第2のゲートを形成することであって、前記第2のゲートが前記ドレインドリフト領域の上に少なくとも部分的に延在し、前記第2のゲートの第1の部分がフィールド酸化物によって前記ドレインドリフト領域から垂直方向に分離され、前記第2のゲートの第2の部分が前記フィールド酸化物ではなくて前記ゲート誘電体層によって前記ドレインドリフト領域から垂直方向に分離され、前記第2のゲートが10ナノメートル～250ナノメートルのギャップによって前記第1のゲートから横方向に分離され、前記基板の前記頂部表面における前記ボディと前記ドレインドリフト領域との間の前記境界が、前記第1のゲートと前記第2のゲートと前記第1のゲートと前記第2のゲートとの間の前記ギャップとのうちの少なくとも1つの下に位置する、前記第2のゲートを形成することと、

を含む、方法。

【請求項11】

請求項10に記載の方法であって、

前記第1のゲートと前記第2のゲートとの間の前記ギャップに誘電材料を形成することを更に含む、方法。

【請求項12】

請求項10に記載の方法であって、

前記基板の前記頂部表面における前記ボディと前記ドレインドリフト領域との間の前記境界が前記第1のゲートの下に位置するように、前記第1のゲートが形成される、方法。

【請求項13】

請求項10に記載の方法であって、

前記第1のゲートを形成することと前記第2のゲートを形成することとが、

前記ゲート誘電体層の上にゲート材料の層を形成することと、

前記ゲート材料の層の上にゲートマスクを形成することであって、前記ゲートマスクが、前記第1のゲートのためのエリアを覆う第1のマスク要素と、前記第2のゲートのためのエリアを覆う第2のマスク要素とを含む、前記ゲートマスクを形成することと、

前記第 1 のゲートと前記第 2 のゲートとを形成するために前記ゲートマスクによって露出される箇所の前記ゲート材料の層を除去することと、
その後、前記ゲートマスクを除去することと、
を含む、方法。

【請求項 14】

請求項 10 に記載の方法であって、
前記第 1 のゲートを形成することと前記第 2 のゲートを形成することとが、
前記ゲート誘電体層の上にゲート材料の第 1 の層を形成することと、
前記ゲート材料の第 1 層の上に第 1 のゲートマスクを形成することであって、前記第 1 のゲートマスクが前記第 1 のゲートのためのエリアを覆う、前記第 1 のゲートマスクを形成することと、
前記第 1 のゲートを形成するために前記第 1 のゲートマスクによって露出される箇所の前記ゲート材料の第 1 の層を除去することと、
その後、前記第 1 のゲートマスクを除去することと、
前記ゲート誘電体層の上と前記第 1 のゲートの上とにゲート材料の第 2 の層を形成することと、
前記ゲート材料の第 2 の層の上に第 2 のゲートマスクを形成することであって、前記第 2 のゲートマスクが前記第 1 のゲートに部分的に上に重なる前記第 2 のゲートのためのエリアを覆う、前記第 2 のゲートマスクを形成することと、
前記第 2 のゲートを形成するために前記第 2 のゲートマスクによって露出される箇所の前記ゲート材料の第 2 の層を除去することであって、前記第 2 のゲートが前記第 1 のゲートに部分的に上に重なる、前記ゲート材料の第 2 の層を除去することと、
その後、前記第 2 のゲートマスクを除去することと、
を含む、方法。

【請求項 15】

請求項 10 に記載の方法であって、
シャロートレンチアイソレーション (STI) プロセスによって前記フィールド酸化物を形成することであって、前記フィールド酸化物の要素が前記ドレインドリフト領域の一部の上に形成され、前記第 2 のゲートが前記ドレインドリフト領域の上のフィールド酸化物の前記要素に部分的に上に重なるように、前記フィールド酸化物を形成することを更に含む、方法。

【請求項 16】

請求項 10 に記載の方法であって、
50 ナノメートル～150 ナノメートルの厚みの薄いフィールド酸化物としての前記フィールド酸化物を形成することであって、前記薄いフィールド酸化物の要素が前記ドレインドリフト領域の一部の上に形成され、前記第 2 のゲートが前記ドレインドリフト領域の上の薄いフィールド酸化物の前記要素に部分的に上に重なるように、前記フィールド酸化物を形成することを更に含む、方法。

【請求項 17】

半導体デバイスを形成する方法であって、
p 型半導体材料を含む基板を提供することと、
前記基板に前記半導体デバイスのスプリットゲートトランジスタの n 型のドレインドリフト領域を形成することであって、前記ドレインドリフト領域が前記スプリットゲートトランジスタの p 型のボディに隣接する、前記ドレインドリフト領域を形成することと、
前記基板の頂部表面の上に前記スプリットゲートトランジスタのゲート誘電体層を形成することであって、前記ゲート誘電体層が前記基板の前記頂部表面における前記ボディと前記ドレインドリフト領域との間の境界の上に位置し、前記ゲート誘電体層が前記ボディの上に少なくとも部分的に延在して前記ドレインドリフト領域の上に少なくとも部分的に延在する、前記ゲート誘電体層を形成することと、
前記ゲート誘電体層の上に前記スプリットゲートトランジスタの第 1 のゲートを形成す

ることであって、前記第 1 のゲートが前記ボディの上に少なくとも部分的に延在する、前記第 1 のゲートを形成することと、

前記第 1 のゲートに横方向に近接して、前記ゲート誘電体層の上に前記スプリットゲートトランジスタの第 2 のゲートを形成することであって、前記第 2 のゲートが前記ドレインドリフト領域の上に少なくとも部分的に延在し、前記第 2 のゲートの第 1 の部分がフィールド酸化物によって前記ドレインドリフト領域から垂直方向に分離され、前記第 2 のゲートの第 2 の部分が前記フィールド酸化物ではなくて前記ゲート誘電体層によって前記ドレインドリフト領域から垂直方向に分離され、前記第 2 のゲートが 10 ナノメートル～250 ナノメートルのギャップによって前記第 1 のゲートから横方向に分離され、前記基板の前記頂部表面における前記ボディと前記ドレインドリフト領域との間の前記境界が前記第 2 のゲートの下に位置して前記第 1 のゲートの下に位置しないように前記第 2 のゲートが形成される、前記第 2 のゲートを形成することと、

を含む、方法。

【請求項 18】

半導体デバイスを形成する方法であって、

p 型半導体材料を含む基板を提供することと、

前記基板に前記半導体デバイスのスプリットゲートトランジスタの n 型のドレインドリフト領域を形成することであって、前記ドレインドリフト領域が前記スプリットゲートトランジスタの p 型のボディに隣接する、前記ドレインドリフト領域を形成することと、

前記基板の頂部表面の上に前記スプリットゲートトランジスタのゲート誘電体層を形成することであって、前記ゲート誘電体層が前記基板の前記頂部表面における前記ボディと前記ドレインドリフト領域との間の境界の上に位置し、前記ゲート誘電体層が前記ボディの上に少なくとも部分的に延在して前記ドレインドリフト領域の上に少なくとも部分的に延在する、前記ゲート誘電体層を形成することと、

前記ゲート誘電体層の上に前記スプリットゲートトランジスタの第 1 のゲートを形成することであって、前記第 1 のゲートが前記ボディの上に少なくとも部分的に延在する、前記第 1 のゲートを形成することと、

前記第 1 のゲートに横方向に近接して、前記ゲート誘電体層の上に前記スプリットゲートトランジスタの第 2 のゲートを形成することであって、前記第 2 のゲートが前記ドレインドリフト領域の上に少なくとも部分的に延在し、前記第 2 のゲートの第 1 の部分がフィールド酸化物によって前記ドレインドリフト領域から垂直方向に分離され、前記第 2 のゲートの第 2 の部分が前記フィールド酸化物ではなくて前記ゲート誘電体層によって前記ドレインドリフト領域から垂直方向に分離され、前記第 2 のゲートが 10 ナノメートル～250 ナノメートルのギャップによって前記第 1 のゲートから横方向に分離され、前記基板の前記頂部表面における前記ボディと前記ドレインドリフト領域との間の前記境界が前記第 1 のゲートと前記第 2 のゲートとの間の前記ギャップの下に位置して前記第 1 のゲートの下に位置しないように、前記第 1 のゲートと前記第 2 のゲートとが形成される、前記第 2 のゲートを形成することと、

を含む、方法。