



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년04월10일
 (11) 등록번호 10-0892401
 (24) 등록일자 2009년04월01일

- (51) Int. Cl.
H01L 21/283 (2006.01) *C25D 5/50* (2006.01)
- (21) 출원번호 10-2004-7007012
 (22) 출원일자 2004년05월07일
 심사청구일자 2007년11월07일
 번역문제출일자 2004년05월07일
 (65) 공개번호 10-2005-0044376
 (43) 공개일자 2005년05월12일
 (86) 국제출원번호 PCT/US2002/035910
 국제출원일자 2002년11월08일
 (87) 국제공개번호 WO 2003/040436
 국제공개일자 2003년05월15일
 (30) 우선권주장
 09/986,263 2001년11월08일 미국(US)
 (56) 선행기술조사문헌
 EP1069213 A
 US6143650 A
 US6261963 B1
 US6399486 B1

- (73) 특허권자
 어드밴스드 마이크로 디바이시즈, 인코포레이티드
 미국 캘리포니아 94088-3453 서니베일 원 에이엠
 디 플레이스 메일 스톱68
- (72) 발명자
 엔지오민반
 미국캘리포니아94539
 프레몬트캐년하이츠드라이브40986
 패튼에릭
 미국캘리포니아95037모건힐리오그랜드코트498
- (74) 대리인
 박장원

전체 청구항 수 : 총 16 항

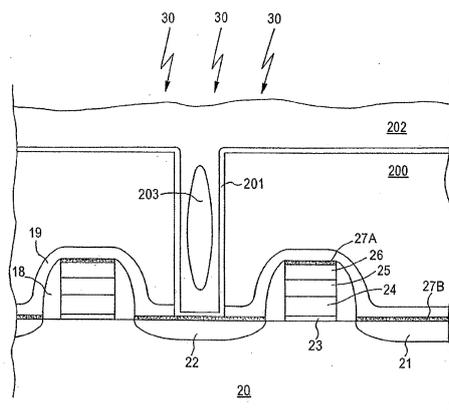
심사관 : 김상걸

(54) W 플러그 내의 공극 제거방법

(57) 요약

유전층(200)의 개구를 W(202)로 채우고 레이저 열 어닐링 처리(30)를 하여 공극(203)을 제거하거나 상당히 감소 시킴으로써 신뢰성 있는 콘택/비어가 형성된다. 실시예는 W(202)를 증착하여 유전층(200) 내의 콘택/비어 개구를 채우고, N₂ 분위기에서 레이저 열 어닐링 처리하여 콘택/비어 개구를 채우는 W의 온도를 높이고 W를 리플로 함으로써, 공극(203)을 제거한다. 실시예는 레이저 열 어닐링 처리 전후에 CMP를 수행한다.

대표도 - 도3



특허청구의 범위

청구항 1

유전층에 개구를 형성하는 단계와;

상기 개구에 텅스텐(W)을 증착하는 단계와; 그리고

상기 증착된 W를 레이저 열 어닐링 처리하여 상기 개구에서의 상기 W를 용융시키고 리플로(reflow) 시키는 단계를 포함하는 것을 특징으로 하는 반도체 디바이스 제조 방법.

청구항 2

제 1 항에 있어서,

상기 레이저 열 어닐링 처리는 상기 개구를 채우는 상기 증착된 W 상에 0.78 내지 1.10 joules/cm²의 복사열(radiant fluence)로 펄스 레이저광 빔을 조사함으로써 수행되는 것을 특징으로 하는 반도체 디바이스 제조 방법.

청구항 3

제 2 항에 있어서,

상기 레이저 열 어닐링 처리는 상기 개구를 채우는 상기 증착된 W를 3,000℃ 내지 3,600℃의 온도까지 가열하도록 하는 것을 특징으로 하는 반도체 디바이스 제조 방법.

청구항 4

제 1 항에 있어서,

상기 레이저 열 어닐링 처리는 질소(N₂) 내에서 수행하는 것을 특징으로 하는 반도체 디바이스 제조 방법.

청구항 5

제 4 항에 있어서,

상기 레이저 열 어닐링 처리는 200 내지 2,000 sccm 유량의 질소(N₂)를 사용하는 것을 특징으로 하는 반도체 디바이스 제조 방법.

청구항 6

제 1 항에 있어서,

상기 W를 증착하기 전에 상기 개구를 라이닝 하는 장벽층을 증착하는 단계를 포함하는 것을 특징으로 하는 반도체 디바이스 제조 방법.

청구항 7

제 6 항에 있어서,

상기 장벽층은 상기 유전층 상의 티타늄층과 상기 티타늄층 상의 티타늄 질화물층을 포함하는 합성물인 것을 특징으로 하는 반도체 디바이스 제조 방법.

청구항 8

제 1 항에 있어서,

상기 개구에서의 상기 W의 윗면이 상기 유전층의 윗면과 동일한 평면이 되도록 상기 레이저 열 어닐링 처리 후에 화학 기계적 연마(CMP)를 수행하는 단계를 포함하는 것을 특징으로 하는 반도체 디바이스 제조 방법.

청구항 9

제 1 항에 있어서,

상기 W의 윗면이 상기 유전층의 윗면과 동일한 평면이 되도록 상기 레이저 열 어닐링 처리 전에 화학 기계적 연마(CMP)를 수행하는 단계를 포함하는 것을 특징으로 하는 반도체 디바이스 제조 방법.

청구항 10

제 4 항에 있어서,

상기 레이저 열 어닐링 처리는 상기 개구를 채우는 상기 증착된 W 상에 0.78 내지 1.10 joules/cm²의 복사열로 펄스 레이저광 빔을 조사함으로써 수행되는 것을 특징으로 하는 반도체 디바이스 제조 방법.

청구항 11

제 10 항에 있어서,

상기 레이저 열 어닐링 처리는 상기 개구를 채우는 상기 증착된 W를 3,000℃ 내지 3,600℃의 온도까지 가열하여 상기 개구에서의 상기 W를 리플로 시키도록 하는 것을 특징으로 하는 반도체 디바이스 제조 방법.

청구항 12

제 1 항에 있어서,

상기 유전층의 물질은 산화물인 것을 특징으로 하는 반도체 디바이스 제조 방법.

청구항 13

제 12 항에 있어서,

상기 유전층의 물질은 붕소 및/또는 인이 도핑된 규산염 유리인 것을 특징으로 하는 반도체 디바이스 제조 방법.

청구항 14

제 1 항에 있어서,

컨택 개구의 역할을 하는 개구를 형성하고 그 개구를 W로 채워서 컨택을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 디바이스 제조 방법.

청구항 15

제 1 항에 있어서,

비어 개구를 형성하고 그 개구를 W로 채워서 비어를 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 디바이스 제조 방법.

청구항 16

제 1 항에 있어서,

적어도 4:1의 에스펙트비(깊이/지름)를 갖는 개구를 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 디바이스 제조 방법.

명세서

기술분야

<1> 본 발명은 정밀 형성되는 서브 마이크론 특성의 반도체 소자를 제조하는 방법에 관한 것이다. 본 발명은 신뢰성 있고 낮은 저항의 컨택/비아(contact/via)를 갖는 고밀도의 다중 레벨 플래시 메모리 반도체 소자에 특히 응용된다.

배경기술

- <2> 집적회로 기하구조가 계속해서 서브 마이크론 영역으로 깊숙히 들어감에 따라서, 필수적으로 요구되는 신뢰성 및 회로 속도를 보이는 반도체 소자를 정밀 형성하는 것이 점점 더 어려워지고 있다. 약 0.15 마이크론 및 그 이하 예를 들어, 약 0.12 마이크론 이하의 설계규칙으로 플래시 메모리 소자를 제작하는 경우 구현 시 특히 문제가 된다.
- <3> 종래 반도체 소자는 반도체 기판으로 구성된다. 반도체 기판에는 트랜지스터, 순차 형성되어 증착된 복수의 층간 유전체 및 전도패턴과 같은 다양한 구성요소가 형성된다. 상호 연결 시스템이 형성되어 있는 전도패턴은 전도성 라인으로 구성되어 있다. 전형적으로, 다른 레벨 즉, 상하 레벨 상의 전도패턴은 비어 홀(via hole)을 채우는 전도성 플러그(plug)에 의해 전기적으로 연결되는 반면, 컨택 홀(contact hole)을 채우는 전도성 플러그는 반도체 기판 상의 활성 영역, 즉 소스/드레인 영역과 전기적 접촉을 하게 된다. 비어 홀을 채우는 전도성 플러그는 전형적으로 적어도 하나의 전도 패턴을 포함하는 전도성 레벨 상에 층간 유전체(InterLayer Dielectric, ILD)를 증착하고, 종래의 포토리소그래피 및 에칭 기술을 사용하여 ILD에 개구를 형성하고, 그 개구를 전도성 재료로 채움으로써 형성된다. ILD의 표면 상에 초과된 전도성 재료 또는 과잉분(overburden)은 전형적으로 화학 기계적 연마(CMP)에 의해 제거된다. 그러한 방법 중의 하나가 다마신(damascene) 기법으로 기본적으로 ILD에 개구를 형성하고 그 개구를 금속으로 채우는 과정을 포함한다. 이중 다마신 기법은 상부 트렌치 부분과 연결되는 하부 컨택 홀 또는 비어 홀을 포함하는 개구를 형성하는 것으로, 그 개구는 전도성 재료 전형적으로 금속으로 채워져서 동시에 상부 전도성 라인과 전기적 컨택에서 전도성 플러그를 형성한다.
- <4> 기하구조가 서브마이크론 영역으로 깊숙히 진행함에 따라서, 신뢰성과 낮은 저항을 갖는 컨택 및 상호연결을 형성하는 것이 특히 문제가 된다. 예를 들어, 컨택/비어 개구의 직경이 줄어들고 애스펙트 비(aspect ratio)(깊이/직경)가 약 4:1 또는 그 이상 늘어나게 되면, 개구는 컨택 또는 비어의 중심을 관통하는 공극(porosity or void)의 형태로 균열(seam) 및 응어리(coring) 등과 같은 결함(defects)에 더욱 쉽게 손상을 입게 된다. 그러한 공극은 높고 불안정한 접촉 저항 분포를 야기하고, 플래시 메모리 소자 및 마이크로프로세서에서 결함을 발생시키고 전자이동 저항성을 감소시킨다.
- <5> 따라서 EEPROM 소자 등의 플래시 메모리 소자뿐만 아니라 MOS 트랜지스터를 포함하는 반도체 소자를 포함하여, 신뢰성이 향상된 반도체 소자를 제조할 수 있는 방법이 필요하다. 특히 미세 서브마이크론 영역의 패턴을 갖고 향상된 전자이동 성능으로 신뢰성 있고 낮은 저항을 갖는 컨택 및 비어를 포함하는 반도체 소자를 제조할 수 있는 방법이 필요하다.

발명의 상세한 설명

- <6> 본 발명의 이점은 낮고 안정적인 접촉 저항 분포와 향상된 전자이동 성능을 보이는 높은 신뢰성의 비어와 컨택을 갖는 미세 서브마이크론 영역 패턴의 반도체 소자를 제조할 수 있는 방법을 제공하는 것이다.
- <7> 본 발명의 다른 이점 및 특성은 다음의 실시예에서 개시될 것이며 다음의 실시예를 보게 되면 본 발명이 속하는 기술분야의 당업자들에게 일부 명백하거나 본 발명의 실시를 통해 체득할 수 있을 것이다. 본 발명의 이점은 특히 청구범위에서 지적한 바와 같이 인식하거나 체득할 수 있다.
- <8> 본 발명에 의한 방법은 유전층에 개구를 형성하는 단계와, 텅스텐(W)을 증착하여 상기 개구를 채우는 단계와, 상기 W를 레이저 열 어닐링(laser thermal annealing) 처리하여 상기 개구 내의 W를 용융 및 리플로(reflow) 하는 단계를 포함한다.
- <9> 본 발명의 실시예는 BPSG(boron-phosphorus-doped silicated glass) 또는 BPSG 층을 포함하고 그 위에 TEOS(tetraethyl orthosilicate)로부터 유도된 실리콘 산화물층을 갖는 복합 산화물층 등의 산화물 유전층에 개구를 형성하는 단계와, 티타늄(Ti)의 초기 장벽층을 증착하는 단계와, 티타늄층 상에 티타늄 질화물의 적어도 한 층, 예를 들어 세 층을 증착하는 단계를 포함한다. 다음, 개구는 W로 채워진다. 본 발명의 실시예에서 레이저 열 어닐링 처리는 증착된 W의 개구 쪽에 레이저광 빔을 조사함으로써 수행된다. 즉, 질소(N₂) 분위기에서 약 0.78-1.10 joules/cm²의 복사열(radiant fluence)로 단시간 동안 예를 들어 10-100 nanosecond 동안 레이저 광빔을 조사함으로써, 개구 내 W의 온도를 예를 들어 약 3000-3600℃로 증가시켜 개구 내 W를 용융 및 리플로(reflow) 시킨다. 다음, 화학 기계적 연마(CMP)가 수행된다. 본 발명의 다른 실시예에서는, CMP가 레이저 열 어닐링 처리 전에 수행된다.
- <10> 본 발명의 다른 이점은 다음의 실시예 란을 통해 본 발명이 속하는 기술분야의 당업자가 쉽게 알 수 있을 것이다. 본 발명의 실시예 란에서는 본 발명을 실시하는데는 최적이라고 판단되는 실시예를 가지고 설명한다. 알 수

있는 바와 같이, 본 발명은 다른 실시예를 가질 수 있고, 본 발명을 벗어나지 않는 범위 내에서 다양하고도 자명한 관점으로 상세 부분에 대한 변경이 가능하다. 따라서 도면 및 명세서는 본래 설명을 위한 것이며 한정적으로 해석되어서는 안된다.

실시예

- <15> 본 발명은 특히 소자의 기하구조가 서브마이크론 영역으로 급속히 감소함에 따라 홀 형성으로부터 발생되어 높고 불안정한 접촉 저항 분포 및 낮은 전자이동 성능을 보이는 W 컨택/비어 신뢰성 문제점을 착안하여 이를 해결하고자 한다. 예를 들어, 컨택/비어 개구의 너비가 약 0.225-0.257 마이크로미터 예를 들어 약 0.25 마이크로미터로 작아지고 컨택/비어 개구의 깊이가 약 0.81-0.99 마이크로미터 예를 들어 약 0.90 마이크로미터 이상으로 커지면 즉, 에스펙트 비가 4:1 이상이 되면, 공극의 발생 없이 컨택/비어 개구를 채우는 것이 극히 어렵게 된다. 본 발명은 이러한 문제점을 감안하여 높은 에스펙트 비를 갖는 컨택/비어 개구를 종래 방식으로 채워 공극을 갖는 W 플러그를 형성하는 종래 방법을 발전시킴으로써 그 문제점을 해결한다. 본 발명은 종래 공정으로부터 출발하여 높은 에스펙트 비를 갖는 컨택/비어 개구를 채울 때 형성되는 공극을 제거할 수 있는 효과적인 방법을 제공함으로써, 접촉 저항을 줄이고 조밀한 저항 분포를 제공하며 전자이동 성능을 향상시킨다.
- <16> 본 발명의 실시예에 의하면, 컨택/비어 개구는 산화물층 예를 들어, BPSG 또는 TEOS로부터 유도된 실리콘 산화물 등의 유전층에 형성된다. 다음, 장벽층 합성물(composite)이 형성되어 개구를 라이닝(lining)한다. 본 발명의 실시예에 따라서, 초기 박막 Ti 층이 증착되어 개구를 라이닝하고 티타늄 질화물층이 초기 Ti 층에 증착된다. 다음, W가 종래의 방식대로 증착되어 과잉분(overburden)을 형성한다. 이때 컨택/비어 개구를 채우는 W에 공극 또는 작은 구멍(pore)이 형성되어, 전자이동 성능을 포함하여 소자 성능에 나쁜 영향을 준다.
- <17> 본 발명의 실시예에 의하면, N₂가 약 200-2000 sccm 유량으로 흐르는 동안 약 0.78-1.10 joules/cm²의 복사열로 펄스 레이저광 빔을 개구 내의 W에 조사함으로써, 개구를 채우는 W가 레이저 열 어닐링 처리를 받게 된다. 레이저 열 어닐링 처리 동안, 개구 내의 W가 약 3000-3600°C 온도로 증가하여 용융 및 리플로 됨으로써 공극이 제거된다. 이어서, CMP가 종래의 방식대로 수행되어 개구를 채우는 W의 윗면이 유전층의 윗면과 실질적으로 동일한 평면이 된다. 다른 실시예에서는, CMP가 레이저 열 어닐링 처리 전에 수행될 수 있다.
- <18> 상호연결 공극을 줄이고 접촉 저항을 감소시키기 위해 본 발명의 실시예에 따른 레이저 열 어닐링 처리를 이용하는 경우 여러 이점을 제공한다. 예를 들어, 레이저 열 어닐링 처리는 개구를 채우는 W를 목표로 정밀 조준이 가능하기 때문에 불순물 확산 등과 같은 여러 문제점을 야기할 수 있는 웨이퍼의 다른 부분에서의 불필요한 온도 증가를 방지할 수 있다.
- <19> 본 발명의 실시예에서는, 약 10-2000 mJ/cm²/pulse 예를 들어, 100-400 mJ/cm²/pulse의 에너지로 동작할 수 있는 레이저원을 사용하는 기구 등 여러 상업용 레이저 기구가 사용될 수 있다. 마스크 없이 또는 마스크를 가지고 그러한 레이저 어닐링을 수행할 수 있는 상업용 기구가 있다. 한 예로서 Verdant Technologies 레이저 어닐링 기구는 308nm의 노출 파장에서 동작한다.
- <20> 본 발명에 의해 언급된 W 플러그 공극 문제가 도 1에 도시되어 있다. 도 1에서 기판(10) 상에 트랜지스터가 형성된다. 트랜지스터는 플로팅 및/또는 제어 게이트와 그 사이에 인터폴리(interpoly) (ONO) 유전층을 포함하는 MOS 트랜지스터 또는 이중 게이트 메모리 셀 트랜지스터로 구성될 수 있다. 예를 들어, 트랜지스터는 터널 산화물(13), 플로팅 게이트 전극(14), ONO 스택 인터폴리 유전체(15) 및 제어 게이트(16)로 구성될 수 있다. 금속 규소화합물 층(17A)이 게이트 전극 스택의 상부 표면에 형성되고, 금속 규소화합물 층(17B)이 소스/드레인 영역(11, 12) 상에 형성된다. 실리콘 산화물, 실리콘 산화질화물 또는 실리콘 질화물 등의 유전체 측벽 스페이서(18)가 게이트 전극의 측면에 형성되고, 실리콘 질화물 식각 정지층(19)이 그 위에 증착된다. BPSG 또는 BPSG와 그 위에 형성되는 TEOS로부터 얻어진 실리콘 산화물의 합성물과 같은 유전층(100)이 약 7500-8500Å 예를 들어, 약 8000Å의 두께로 증착된다.
- <21> 다음, 종래 포토리소그래피 및 에칭 기술을 통해 유전층(100)에 컨택 개구를 형성하여 소스/드레인 영역(12)을 노출시킨다. 컨택 개구를 채우기 위해 W를 증착하면 과잉분이 형성되고, CMP를 수행하여 바람직하지 않은 공극(102)을 갖는 W 플러그(101)를 남긴다. 본 발명은 효과적인 방법으로 이 특수한 문제점을 해결함으로써, 그 공극을 상당히 감소시키거나 제거하여 전자이동 성능 및 소자 신뢰성의 향상을 가져온다.
- <22> 본 발명의 실시예가 도 2 내지 도 5에서 개략적으로 도시되어 있다. 도 2를 보면, 트랜지스터가 기판(20)에 형성된다. 트랜지스터는 플로팅 및/또는 제어 게이트와 그 사이에 인터폴리(interpoly) (ONO) 유전층을 포함하는

MOS 트랜지스터 또는 이중 게이트 메모리 셀 트랜지스터로 구성될 수 있다. 예를 들어, 트랜지스터는 터널 산화물(23), 플로팅 게이트 전극(24), ONO 스택 인터폴리 유전체(25) 및 제어 게이트(26)로 구성될 수 있다. 금속 규소화합물 층(27A) 예를 들어, 니켈 규소화합물이 게이트 전극 스택의 상부 표면에 형성되고, 금속 규소화합물 층(27B)이 소스/드레인 영역(21, 22) 상에 형성된다. 실리콘 산화물, 실리콘 산화질화물 또는 실리콘 질화물 등의 유전체 측벽 스페이서(28)가 게이트 전극의 측면에 형성되고, 실리콘 질화물 식각 정지층(29)이 그 위에 증착된다. BPSG 또는 BPSG와 그 위에 형성되는 TEOS로부터 얻어진 실리콘 산화물의 합성물과 같은 유전층(200)이 약 7500-8500Å 예를 들어, 약 8000Å의 두께로 증착된다.

- <23> 다음, 종래 포토리소그래피 및 에칭 기술을 통해 유전층(200)에 콘택 개구를 형성하여 소스/드레인 영역(22)을 노출시킨다. 콘택 개구는 전형적으로 약 4:1 이상의 애스펙트 비(깊이/직경)를 갖는다.
- <24> 다음, 개구를 라이닝하기 위해 초기 Ti 층 및 그 위에 티타늄 질화물층 등의 합성물 장벽층(201)이 증착된다. 그리고 나서 개구를 채우기 위해 W가 증착되고 과잉분(202)이 형성된다. 콘택 개구의 높은 애스펙트 비로 인하여, 상당한 공극(203)이 W 플러그 내에 생성된다. ,
- <25> 본 발명의 실시예에 의하면, 도 3에서 도시된 바와 같이, 레이저 열 어닐링 처리는 약 0.78-1.10 joule/cm²의 복사열로 약 10-100 nanosecond 동안 화살표(30)로 나타낸 것처럼 콘택 방향으로 펄스 레이저광 빔을 증착된 W에 조사함으로써 수행된다. 이에 따라 플러그 내 W의 온도가 약 3000-3600℃ 정도 증가하여 용융 및 리플로 되면서 도 4에 도시된 것처럼 공극이 제거된다. 다음, CMP가 수행되면 도 5와 같이 된다. 도 5에서 텅스텐 플러그(50)는 공극을 보이지 않고 있다.
- <26> 본 발명의 실시예에 의하면, 도 6 내지 도 8에 도시된 바와 같이, CMP는 레이저 열 어닐링 처리 전에 수행된다. 도 6을 보면, 도시된 구조는 도 2의 구조에서 CMP를 수행한 결과이다. 다음, 도 7에서 펄스 레이저광 빔(70)이 W 플러그 방향으로 조사됨으로써 레이저 열 어닐링 처리가 수행되어 리플로가 일어나 공극이 제거된다. 결과적인 구조는 도 8에 개략적으로 도시되어 있는데, 이 구조는 공극이 없는 W 플러그(80)를 포함하게 된다.
- <27> 본 발명은 공극이 없거나 상당히 줄어든 4 이상의 큰 애스펙트 비의 W 콘택 및/또는 비어를 갖는 상호연결구조의 형성을 가능하게 하는 방법을 제공함으로써, 접촉 저항을 줄이고 접촉 저항 분포를 안정화시켜서 조밀한 저항 분포를 제공하고 소자 신뢰성 및 전자이동 성능을 향상시킨다.

산업상 이용 가능성

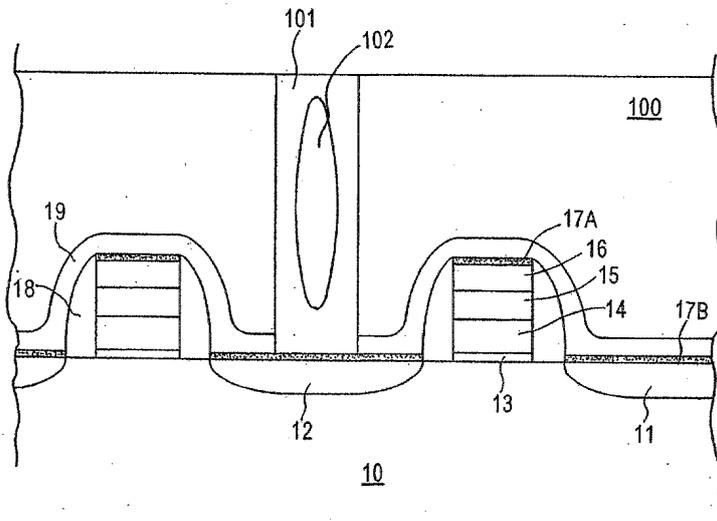
- <28> 본 발명은 신뢰성이 향상되고 회로 속도가 증가된 다양한 종류의 반도체 소자를 제조하는데 산업상 이용가능성이 있다. 본 발명은 향상된 신뢰성, 증가된 회로속도, 향상된 전자이동 성능 및 제조수율을 가지고 플래시 메모리 소자, 예를 들어 EEPROM 등과 같이 약 0.12 마이크로 이하의 미세 서브마이크론 영역의 설계특성을 갖는 반도체 소자를 제조하는데 특히 응용된다.
- <29> 전술한 설명에서, 본 발명은 특정한 실시예를 참조하여 설명되었으나, 청구범위에 기재된 바와 같이 본 발명을 벗어나지 않는 범위에서 다양한 변경 및 변화가 가해질 수 있다는 것은 명백할 것이다. 따라서 명세서 및 도면은 예시적인 도시에 불과하며 한정적인 것이 아니다. 본 발명은 다양한 다른 결합 및 환경에서 사용할 수 있고, 여기서 표현된 발명적 사상의 범위 내에서 변경 또는 변화가 가능하다.

도면의 간단한 설명

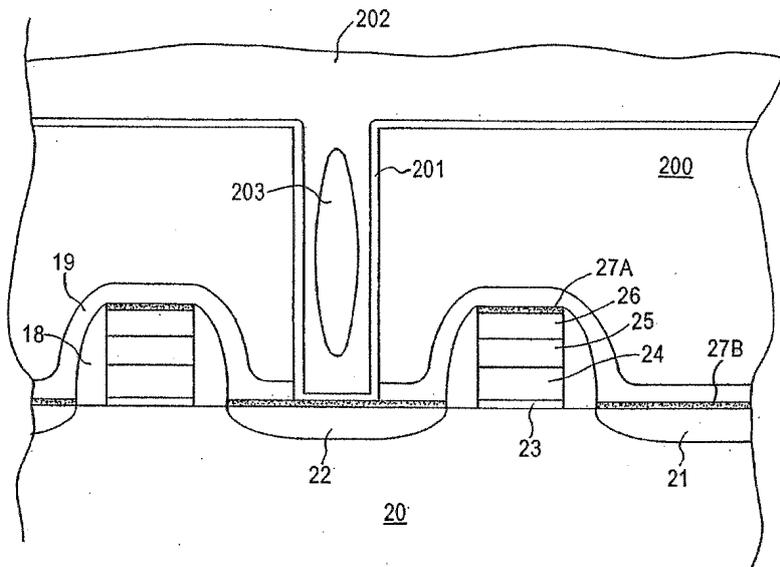
- <11> 도 1은 본 발명이 감안하여 해결하고자 하는 W 플러그 공극 문제를 개략적으로 도시한 것이다.
- <12> 도 2 내지 도 5는 본 발명의 실시예에 의한 방법의 순차적 단계를 개략적으로 도시한 것이다.
- <13> 도 6 내지 도 8은 본 발명의 다른 실시예에 의한 방법의 순차적 단계를 개략적으로 도시한 것이다.
- <14> 도 2 내지 도 8에서, 동일한 요소 또는 특성에 대해서는 동일한 부호가 표기된다.

도면

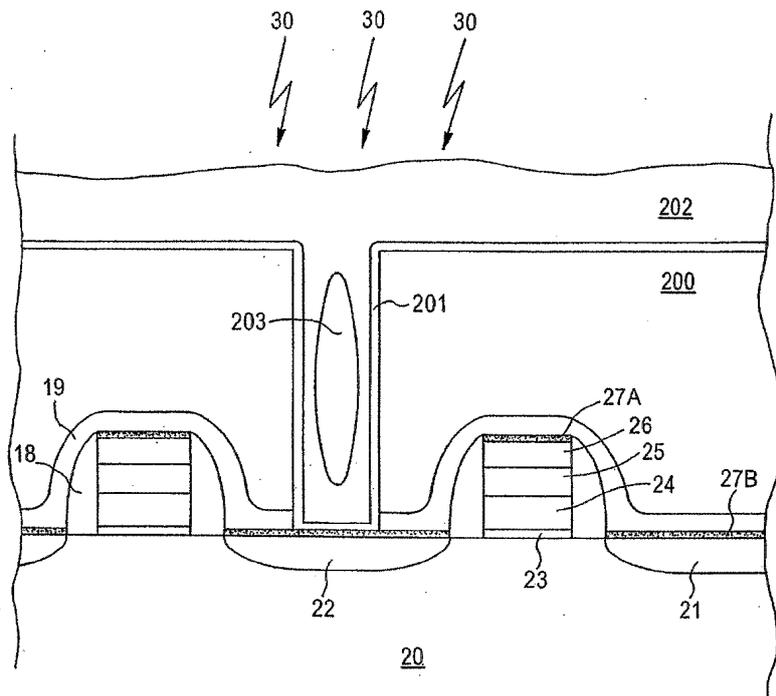
도면1



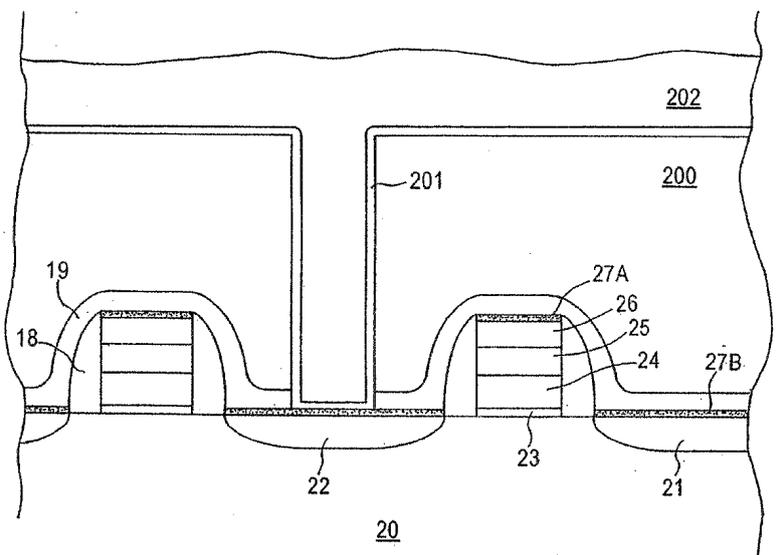
도면2



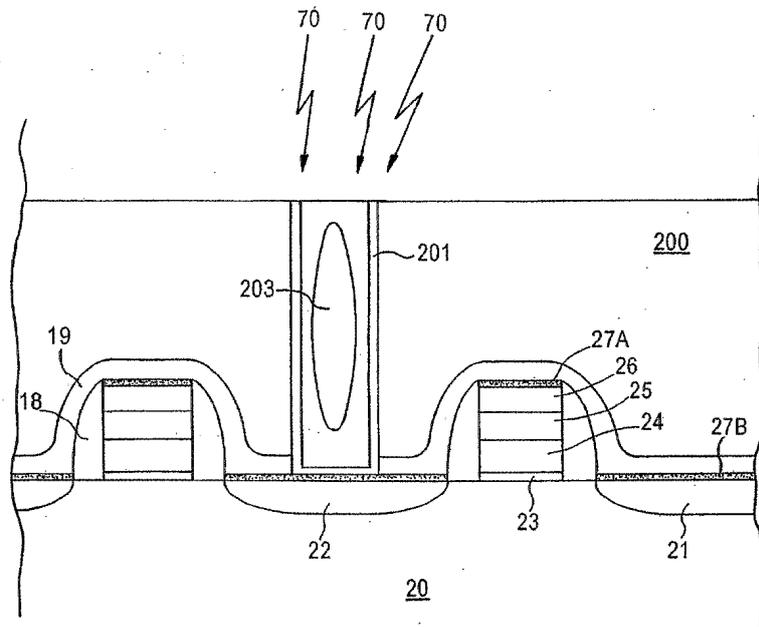
도면3



도면4



도면7



도면8

