



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0008131
(43) 공개일자 2012년01월30일

(51) Int. Cl.

G11C 11/15 (2006.01) G11C 5/14 (2006.01)

(21) 출원번호 10-2010-0068797

(22) 출원일자 2010년07월16일

심사청구일자 2010년07월16일

(71) 출원인

경상대학교산학협력단

경상남도 진주시 가좌동 900

(72) 발명자

조재경

경상남도 진주시 평거로39번길 9, 108동 301호 (평거동, 들말한보타운)

(74) 대리인

송윤호, 오세준, 권혁수

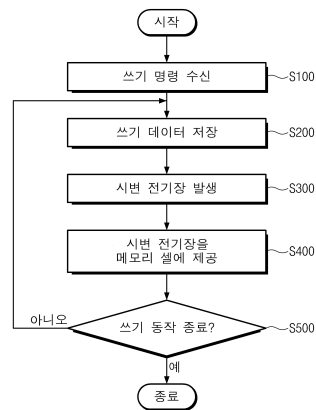
전체 청구항 수 : 총 11 항

(54) 자기 랜덤 액세스 메모리 장치 및 그것의 쓰기 방법

(57) 요약

본 발명은 자기 랜덤 액세스 메모리 장치에 관한 것이다. 본 발명의 자기 랜덤 액세스 메모리 장치는 메모리 셀, 및 메모리 셀에 데이터 쓰기를 위한 변위 전류를 발생시키는 시변 전기장을 인가하는 쓰기 회로를 포함한다. 여기서, 변위 전류에 의해 유도된 회전 자기장에 의해 메모리 셀의 자화 방향이 설정된다.

대표도 - 도8



특허청구의 범위

청구항 1

메모리 셀; 및

상기 메모리 셀에 데이터 쓰기를 위한 변위 전류를 발생시키는 시변 전기장을 인가하는 쓰기 회로를 포함하고,
상기 변위 전류에 의해 유도된 회전 자기장에 의해 상기 메모리 셀의 자화 방향이 설정되는 자기 랜덤 액세스 메모리 장치.

청구항 2

제 1 항에 있어서,

상기 시변 전기장은 전압 펄스인 자기 랜덤 액세스 메모리 장치.

청구항 3

제 2 항에 있어서,

상기 전압 펄스의 전압 하강 시에 발생하는 변위 전류는 반시계 방향의 회전 자기장을 유도하는 자기 랜덤 액세스 메모리 장치.

청구항 4

제 2 항에 있어서,

상기 변위 전류는 상기 전압 펄스의 전압 상승 시에 발생하는 변위 전류는 시계 방향의 회전 자기장을 유도하는 자기 랜덤 액세스 메모리 장치.

청구항 5

제 1 항에 있어서,

상기 메모리 셀을 액세스 하는 액세스 소자를 더 포함하는 자기 랜덤 액세스 메모리 장치.

청구항 6

제 5 항에 있어서,

상기 액세스 소자는 박막트랜지스터임을 특징으로 하는 자기 랜덤 액세스 메모리 장치.

청구항 7

자기 랜덤 액세스 메모리 장치의 쓰기 방법에 있어서,

메모리 셀에 데이터 쓰기를 위한 변위 전류를 발생시키는 시변 전기장을 인가하는 단계를 포함하는 자기 랜덤 액세스 메모리 장치의 쓰기 방법.

청구항 8

제 7 항에 있어서,

상기 변위 전류에 의해 유도된 회전 자기장이 상기 메모리 셀의 자화 방향을 설정하는 자기 랜덤 액세스 메모리 장치의 쓰기 방법.

청구항 9

제 7 항에 있어서,

상기 시변 전기장을 인가하는 단계는

전압 펄스를 인가하는 단계를 포함하는 자기 랜덤 액세스 메모리 장치의 쓰기 방법.

청구항 10

제 9 항에 있어서,

상기 전압 펄스가 양의 전압 펄스인 경우, 시계 방향으로 상기 메모리 셀의 자화 방향이 설정되는 자기 랜덤 액세스 메모리 장치의 쓰기 방법.

청구항 11

제 9 항에 있어서,

상기 전압 펄스가 음의 전압 펄스인 경우, 반시계 방향으로 상기 메모리 셀의 자화 방향이 설정되는 자기 랜덤 액세스 메모리 장치의 쓰기 방법.

명세서

기술 분야

[0001] 본 발명은 자기 랜덤 액세스 메모리 장치에 관한 것으로, 특히 저전류로 동작하는 액세스 소자를 사용할 수 있는 반도체 메모리 장치에 관한 것이다

배경 기술

[0002] 자기 랜덤 액세스 메모리(MRAM: Magnetic Random Access Memory) 장치는 불휘발성 메모리 소자의 하나로 자성체 특유의 스핀 의존 전도 현상에 기초한 자기 저항 효과를 이용하는 새로운 고체 자기 메모리이다. 이러한 자기 랜덤 액세스 메모리는 다른 반도체 메모리 장치들에 비해 데이터의 저장 기간이 길고, 데이터 액세스에 소요되는 시간이 짧은 특성을 갖는다.

[0003] 일반적인 자기 랜덤 액세스 메모리 장치는 메모리 셀 어레이를 포함한다. 워드 라인은 메모리 셀의 행을 따라 연장하며, 비트 라인은 메모리 셀의 열을 따라 연장한다. 각 메모리 셀은 워드 라인과 비트 라인의 교차점에 위치된다.

[0004] 각 메모리 셀은 자화 방향에 따라 정보 비트를 저장한다. 각 메모리 셀의 자화 방향은 미리 결정된 시간에 두 개의 안정한 방향 중 하나를 가질 수 있다. 이러한 두 개의 안정한 자화 방향, 즉, 평행 및 역평행은 '1'과 '0'의 로직 값을 나타낸다.

[0005] 선택된 메모리 셀에 대한 쓰기 동작은 선택된 메모리 셀을 교차하는 워드 라인과 비트 라인에 쓰기 전류를 공급함으로써 수행된다. 쓰기 전류는 선택된 메모리 셀에 자화 방향을 세트하는 외부 자기장을 발생한다. 자화 방향은 외부 자기장의 방향에 의해 결정된다. 또한 외부 자기장의 방향은 워드 라인과 비트 라인을 통해 흐르는 쓰기 전류의 방향에 의해 결정된다. 이와 같이 쓰기 전류를 공급하는 자기 랜덤 액세스 메모리 장치에서 메모리 셀에 인가해야 할 전류의 크기는 메모리 셀의 자화 방향 설정을 위해 큰 크기를 가져야 한다. 따라서, 자기 랜덤 액세스 메모리 장치에서는 메모리 셀에 인가되는 전류의 크기로 인해 저전류로 동작하는 액세스 소자들을 사용할 수 없다는 문제점이 있었다.

발명의 내용

해결하려는 과제

[0006] 본 발명의 목적은 저전류로 동작하는 액세스 소자들을 사용하여 쓰기가 가능한 자기 랜덤 액세스 메모리 장치 및 그것의 쓰기 방법을 제공함에 있다.

과제의 해결 수단

[0007] 본 발명의 자기 랜덤 액세스 메모리 장치는 메모리 셀, 및 상기 메모리 셀에 데이터 쓰기를 위한 변위 전류를 발생시키는 시변 전기장을 인가하는 쓰기 회로를 포함하고, 상기 변위 전류에 의해 유도된 회전 자기장에 의해 상기 메모리 셀의 자화 방향이 설정된다.

- [0008] 이 실시예에 있어서, 상기 시변 전기장은 전압 펄스임을 특징으로 한다.
- [0009] 이 실시예에 있어서, 상기 전압 펄스의 전압 하강 시에 발생하는 변위 전류는 반시계 방향의 회전 자기장을 유도한다.
- [0010] 이 실시예에 있어서, 상기 변위 전류는 상기 전압 펄스의 전압 상승 시에 발생하는 변위 전류는 시계 방향의 회전 자기장을 유도한다.
- [0011] 이 실시예에 있어서, 상기 메모리 셀을 액세스 하는 액세스 소자를 더 포함한다.
- [0012] 이 실시예에 있어서, 상기 액세스 소자는 박막트랜지스터임을 특징으로 한다.
- [0013] 본 발명의 자기 랜덤 액세스 메모리 장치의 쓰기 방법은 메모리 셀에 데이터 쓰기를 위한 변위 전류를 발생시키는 시변 전기장을 인가하는 단계를 포함한다.
- [0014] 이 실시예에 있어서, 상기 변위 전류에 의해 유도된 회전 자기장이 상기 메모리 셀의 자화 방향을 설정한다.
- [0015] 이 실시예에 있어서, 상기 시변 전기장을 인가하는 단계는 전압 펄스를 인가하는 단계를 포함한다.
- [0016] 이 실시예에 있어서, 상기 전압 펄스가 양의 전압 펄스인 경우, 시계 방향으로 상기 메모리 셀의 자화 방향이 설정된다.
- [0017] 이 실시예에 있어서, 상기 전압 펄스가 음의 전압 펄스인 경우, 반시계 방향으로 상기 메모리 셀의 자화 방향이 설정된다.

발명의 효과

- [0018] 본 발명의 실시예에 의하면, 시변 자기장에 의한 변위 전류로부터 유도된 회전 자기장을 통해 메모리 셀의 자화 방향을 설정함으로써 자기 랜덤 액세스 메모리 장치에서 쓰기 전류의 인가 없이 데이터 쓰기를 할 수 있다. 그러므로, 자기 랜덤 액세스 메모리 장치는 쓰기 전류를 메모리 셀에 인가할 필요가 없음으로 저전류에서 동작하는 액세스 소자(일예로, 박막 트랜지스터 등)를 메모리 셀의 액세스 소자로 사용할 수 있다.

도면의 간단한 설명

- [0019] 도 1은 본 발명에 따른 자기 랜덤 액세스 메모리 장치의 구조를 예시적으로 도시한 도면,
- 도 2는 도 1에 도시된 메모리 셀 어레이의 구조를 예시적으로 도시한 도면,
- 도 3은 도 2에 도시된 메모리 셀의 구조를 예시적으로 도시한 도면,
- 도 4는 도 2에 도시된 메모리 셀의 상세 구조를 예시적으로 도시한 도면,
- 도 5는 도 1에 도시된 읽기/쓰기 회로에 포함된 쓰기 회로의 구조를 예시적으로 도시한 도면,
- 도 6은 도 1에 도시된 자기 랜덤 액세스 메모리 장치에서 메모리 셀에 제 1 데이터의 쓰기 동작을 예시적으로 도시한 도면,
- 도 7은 도 1에 도시된 자기 랜덤 액세스 메모리 장치에서 메모리 셀에 제 1 데이터의 쓰기 동작을 예시적으로 도시한 도면, 및
- 도 8은 도 1에 도시된 자기 랜덤 액세스 메모리 장치의 동작을 예시적으로 도시한 순서도이다.

발명을 실시하기 위한 구체적인 내용

- [0020] 본 발명의 이점 및 특징, 그리고 그것을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 통해 설명될 것이다. 그러나 본 발명은 여기에서 설명되는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 단지, 본 실시예들은 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여 제공되는 것이다.
- [0021] 도면들에 있어서, 본 발명의 실시예들은 도시된 특정 형태로 제한되는 것이 아니며 명확성을 기하기 위하여 과장된 것이다. 또한 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소를 나타낸다.
- [0022] 본 명세서에서 '및/또는'이란 표현은 전후에 나열된 구성요소들 중 적어도 하나를 포함하는 의미로 사용된다.

또한, '연결되는/결합되는'이란 표현은 다른 구성요소와 직접적으로 연결되거나 다른 구성요소를 통해 간접적으로 연결되는 것을 포함하는 의미로 사용된다. 본 명세서에서 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 또한, 명세서에서 사용되는 '포함한다' 또는 '포함하는'으로 언급된 구성요소, 단계, 동작 및 소자는 하나 이상의 다른 구성요소, 단계, 동작, 소자 및 장치의 존재 또는 추가를 의미한다.

- [0023] 도 1은 본 발명에 따른 자기 랜덤 액세스 메모리 장치의 구조를 예시적으로 도시한 도면이다.
- [0024] 도 1을 참조하면, 자기 랜덤 액세스 메모리 장치(1000)는 메모리 셀 어레이(100), 열디코더(200), 행 디코더(300), 코어(400), 및 읽기/쓰기 회로(500)를 포함한다.
- [0025] 메모리 셀 어레이(100)는 복수의 행들(또는 워드라인들)과 복수의 열들(또는 비트라인)들로 배열된 메모리 셀들을 포함한다. 메모리 셀들 각각은 일예로, 자화 방향에 따라 '0' 또는 '1'의 데이터가 기록될 수 있다. 메모리 셀들 각각은 자기 랜덤 액세스 메모리(MRAM: Magnetic Random Access Memory) 셀일 수 있다.
- [0026] 열 디코더(200)는 열 선택 신호를 사용하여 다수의 비트라인들 중에서 일부의 비트라인을 선택하여 읽기/쓰기 회로(500)와 커플링 시킨다.
- [0027] 행 디코더(300)는 각 워드라인의 레벨을 조정하여 복수의 워드라인들 중 적어도 하나의 워드 라인을 선택한다.
- [0028] 코어(400)는 포함한 자기 랜덤 액세스 메모리 장치의 다른 모듈들(일예로, 제어 회로 등)을 포함한다.
- [0029] 읽기/쓰기 회로(500)는 비트라인과 커플링되어 메모리 셀 어레이(100) 내에 데이터를 읽기 및/또는 쓰기(입력 및/또는 출력)한다. 읽기/쓰기 회로(500)는 읽기 기능을 수행하는 읽기 회로와 쓰기 기능을 수행하는 쓰기 회로를 포함한다. 즉, 읽기/쓰기 회로(500)는 비트 라인에 커플링 되어, 메모리 셀 어레이(100)에서 데이터를 읽거나 메모리 셀 어레이 내에 데이터를 쓰기한다.
- [0030] 본 발명에서 제안된 읽기/쓰기 회로(500)는 메모리 셀 어레이(100)에 포함된 메모리 셀의 자화 방향의 설정을 통해 데이터 쓰기를 수행한다. 이때, 읽기/쓰기 회로(500)는 메모리 셀의 자화 방향을 설정하기 위한 시변 전기장을 메모리 셀에 인가한다.
- [0031] 시변 전기장은 데이터의 논리값에 대응되도록 생성될 수 있고, 변위 전류를 발생시킨다. 메모리 셀은 변위 전류에 의해 유도된 회전 자기장에 의해 자화 방향이 설정된다. 변위 전류로부터 유도된 회전 자기장은 메모리 셀의 자화 방향(일예로, 시계 방향 또는 반시계 방향)을 설정할 수 있다.
- [0032] 본 발명에서 메모리 셀에 변위 전류에 의해 유도된 회전 자기장에 의해 자화 방향이 설정되므로 실제 쓰기 전류의 인가없이 메모리 셀에 쓰기 동작을 수행할 수 있다.
- [0033] 이와 같이, 본 발명의 자기 랜덤 액세스 메모리 장치는 메모리 셀의 데이터 쓰기에 변위 전류에 의해 유도된 회전 자기장을 사용한다. 그러므로, 본 발명의 자기 랜덤 액세스 메모리 장치는 메모리 셀에 쓰기 전류의 인가 없이도 시변 전기장의 인가를 통해 데이터 쓰기가 가능하다.
- [0034] 도 2는 도 1에 도시된 메모리 셀 어레이의 구조를 예시적으로 도시한 도면이다.
- [0035] 도 2를 참조하면, 메모리 셀 어레이(100)는 복수의 행(워드라인)들(WL0, WL1)과 복수의 열(비트라인)(BL0, BL1, BL2, BL3)들로 배열된 메모리 셀들을 포함한다. 복수의 행들과 복수의 열들 각각은 X-Y 행렬(matrix)로 구성될 수 있다. 메모리 셀 어레이(100)는 복수의 메모리 셀과 복수의 메모리 셀들 각각에 연결된 액세스 소자(110)를 포함한다.
- [0036] 액세스 소자(110)는 메모리 셀(120)을 액세스하기 위한 소자이다.
- [0037] 메모리 셀(120)은 회전 자기장에 의해 자화 방향이 설정됨으로서 원통형의 구조를 갖는다. 이에 따라 메모리 셀(120)은 원형으로 도시되어 있으며, 나머지 메모리 셀들도 원형으로 도시되어 있다.
- [0038] 본 발명의 메모리 셀(110)은 시변 전기장의 인가에 의해 자화 방향이 설정된다. 시변 전기장을 인가하면 변위 전류가 발생된다.
- [0039] 여기서, 변위 전류는 실제로 전류가 흐르지 않고, 전류가 흐르는 것과 같은 효과를 갖는다. 따라서, 액세스 소자(120)는 저전류에서 동작하는 소자, 일예로 박막 트랜지스터(TFT: Thin Film Transistor) 등으로 구성될 수 있다.
- [0040] 도 3은 도 2에 도시된 메모리 셀의 구조를 예시적으로 도시한 도면이다.

- [0041] 도 3을 참조하면, 메모리 셀(120)이 도시되어 있으며, (a)와 (b)는 자화 방향 설정에 따라 데이터가 저장된 메모리 셀(120) 각각을 도시한 도면이다.
- [0042] 데이터층(121)은 강자성체 재료로 만들어질 수 있다. 데이터층(121)은 인가되는 전류에 의해 자화 방향이 설정된다. 자화 방향은 시계 방향 또는 반시계 방향 중 하나의 방향으로 설정된다.
- [0043] 절연 터널 장벽(122)은 반강자성체 재료로 만들어질 수 있다. 절연 터널 장벽(122)은 데이터층(121)과 기준층(123) 사이에서 양자 역학 터널링(quantum mechanical tunneling)을 발생시킨다. 이러한 터널링 현상은 전자 스핀 의존적이다.
- [0044] 기준층(123)은 강자성체 재료로 만들어질 수 있다. 기준층(123)은 시계 방향 또는 반시계 방향 중 하나의 자화 방향으로 설정될 수 있다. 기준층(123)의 자화 방향은 하나의 방향(시계 방향과 반시계 방향 중 하나의 방향)으로 고정된다.
- [0045] 예를 들어, (a)에서 데이터층(121)과 기준층(123)의 자화 방향은 모두 시계 방향이다. (a)와 같은 메모리 셀 상태는 '평행(parallel)'이라고 한다.
- [0046] (b)에서 데이터층(121)의 자화 방향은 반시계 방향이고, 기준층(123)의 자화 방향은 시계 방향이다. (b)와 같은 메모리 셀 상태는 '반평행(anti-parallel)'이라고 한다.
- [0047] 데이터층(121)과 기준층(123) 간의 자화 방향에 따른 메모리 셀 상태, 즉 평행, 반평행은 논리값 '0'과 '1'에 대응한다.
- [0048] 한편, 데이터 읽기를 하는 경우에, 데이터층(121)과 기준층(123) 간의 자화 방향에 따라서 메모리 셀(120)이 갖는 저항값이 다르다. 즉, 메모리 셀 상태가 반평행 상태이면, 평행 상태에 비해 상대적으로 큰 저항값을 갖는다. 자기 랜덤 액세스 메모리 장치는 읽기를 하는 경우, 메모리 셀의 저항값에 따라 데이터를 독출한다.
- [0049] 데이터층(121)과 기준층(123)의 자화 방향은 페루프를 형성하게 되고, 메모리 셀 간의 크로스토크(cross talk)가 감소(누설 자속이 '0'에 가까워지므로)한다. 그러므로 본 발명에서와 같이 변위 전류에 의해 발생된 회전 자기장으로 메모리 셀에 데이터 쓰기를 수행하면, 안정적으로 데이터를 저장할 수 있게 된다.
- [0050] 즉, 본 발명은 시변 전기장의 인가만으로 메모리 셀에 데이터를 저장할 수 있다.
- [0051] 도 4는 도 2에 도시된 메모리 셀의 상세 구조를 예시적으로 도시한 도면이다.
- [0052] 도 4를 참조하면, 메모리 셀(120)은 상부 기록 전극(124), 제 1 절연층(125-1), 상부 재생 전극(126), 데이터층(121), 절연 터널 장벽(122), 기준층(123), 반강자성층(127), 하부 재생 전극(128), 제 2 절연층(125-2), 하부 기록 전극(129)을 포함한다.
- [0053] 상부 기록 전극(124)과 하부 기록 전극(129)은 데이터 쓰기를 위한 전극이다.
- [0054] 상부 재생 전극(126)과 하부 재생 전극(128)은 데이터 재생, 즉 데이터 읽기를 위한 전극이다.
- [0055] 제 1 절연층(125-1)은 상부 기록 전극(124)과 상부 재생 전극(126) 간의 절연을 위해 삽입된다. 제 2 절연층(125-2)은 하부 재생 전극(128)과 하부 기록 전극(129) 간의 절연을 위해 삽입된다.
- [0056] 반강자성층(127)은 인접한 기준층(123)의 자화 방향을 한 방향으로 고정되도록 한다.
- [0057] 데이터층(121), 절연 터널 장벽(122), 기준층(123)은 도 3에서 설명하였으므로 여기서는 상세한 설명을 생략하기로 한다.
- [0058] 도 5는 도 1에 도시된 읽기/쓰기 회로에 포함된 쓰기 회로의 구조를 예시적으로 도시한 도면이다.
- [0059] 도 5를 참조하면, 쓰기 회로(510)는 버퍼(511)와 쓰기 드라이버(512)를 포함한다. 쓰기 회로(510)는 읽기/쓰기 회로(500)에 포함된다.
- [0060] 버퍼(511)는 쓰기 데이터(WDATA)를 수신하고, 쓰기 데이터(WDATA)를 저장한다.
- [0061] 쓰기 드라이버(512)는 쓰기 데이터(WDATA)에 대응되는 시변 전기장을 발생한다. 쓰기 드라이버(512)는 시변 전기장을 커플링된 비트라인으로 인가한다. 시변 전기장에 의해 발생된 변위 전류는 전류 진행 방향을 중심으로 회전 자기장을 유도한다. 즉, 쓰기 드라이버(512)는 시변 전기장에 의해 발생된 회전 자기장으로 메모리 셀에 쓰기 데이터(WDATA)의 쓰기 동작을 할 수 있다. 쓰기 드라이버(512)는 시변 전기장의 제공에 의해 메모리 셀에

쓰기 전류를 인가하지 않고, 메모리 셀에 쓰기 동작을 할 수 있다.

[0062] 여기서 발생된 시변 전기장은 일예로, 전압 펄스(voltage pulse) 등이 될 수 있다. 전압 펄스는 쓰기 데이터(WDATA)에 따라 양의 전압 펄스 또는 음의 전압 펄스의 형태를 가질 수 있다. 이때, 시변 전기장에 의해 발생된 회전 자기장의 크기는 하기와 같이 계산될 수 있다.

[0063] 회전 자기장의 크기 계산을 용이하게 하기 위해 전압 펄스(시변 전기장)는 정현파 전압($V_r \sin(2\pi ft)$)으로 가정한다. 따라서, 메모리 셀 내부의 상부 기록 전극과 하부 기록 전극 간에는 정현파 전압($V_r \sin(2\pi ft)$)이 인가된다고 가정한다. 메모리 셀의 상부기록전극(124)과 하부기록전극(129) 간의 간격을 ' d '라 하고, 원통형 메모리 셀의 반경을 ' r '이라 하고, 유전율을 ' ϵ '이라 한다.

[0064] 상부기록전극과 하부기록전극 간의 전속밀도(D)는 하기의 수학식 1과 같이 나타낼 수 있다.

수학식 1

$$D = \epsilon E = \epsilon \frac{V}{d} = \frac{\epsilon V_r \sin(2\pi ft)}{d}$$

[0065]

[0066] 전속밀도를 시간으로 미분한 것이 변위전류밀도이므로 변위전류밀도(J_d)는 $J_d = \frac{\partial D}{\partial t}$ 로 나타낼 수 있다.

[0067] 그러므로 변위전류(J)는 하기의 수학식 2로 나타낼 수 있다.

수학식 2

$$J = J_d A = \frac{\partial D}{\partial t} A = \frac{2\pi f \epsilon V_r \pi r^2}{d} \cos(2\pi ft)$$

[0068]

[0069] 또한, 변위 전류(J)에 의한 회전 자기장(H)은 하기의 수학식 3으로 나타낼 수 있다.

수학식 3

$$H = \frac{J}{2\pi r} = \frac{2\pi f \epsilon V_r \pi r^2}{2\pi r d} \cos(2\pi ft) = \frac{f \epsilon V_r \pi r}{d} \cos(2\pi ft) = \frac{f \epsilon_o \epsilon_r V_r \pi r}{d} \cos(2\pi ft)$$

[0070]

[0071] 이때, 유전율(ϵ)은 $\epsilon = \epsilon_o \epsilon_r$ 로 나타낼 수 있다. ϵ_o 는 진공의 유전율을 나타내고, ϵ_r 은 메모리 셀의 비유전율을 나타낸다.

[0072] 따라서, 회전 자기장(H)은 인가되는 전압의 주파수, 절연층의 유전율, 메모리 셀의 반경에 비례한다. 또한, 기록 속도가 고속이거나 메모리 셀들 간의 절연 터널 장벽의 두께가 얇으면, 회전 자기장에 의한 쓰기 동작 성능이 향상될 수 있다.

[0073] 만약, 주파수(f)가 1GHz이고, 전압의 진폭(V_r)이 5V이고, 상부기록전극과 하부기록전극 간의 간격(d)이 10nm이고, 원통형 메모리 셀의 반경(r)이 50nm, 메모리 셀의 비유전율(ϵ_r)은 1000이고, 진공의 유전율(ϵ_o)은 8.855×10^{-12} 이라고 가정한다.

[0074] 이때, 회전 자기장의 크기(H_r), 즉 진폭을 계산하면, 하기의 수학적 식 4와 같다.

수학적 식 4

$$H_r = \frac{(10^9)(8.855 \times 10^{-12})(1000)(5)(3.14)(50)}{10} = 695.1 A/m = \frac{695.1}{79.6} Oe = 8.7 Oe$$

[0076] 여기서, 회전 자기장의 크기(H_r)는 회전 자기장에서 코사인 함수의 계수에 해당한다. 여기서, 에르스텟(Oe: Oersted)은 자기장의 세기에 대한 사용단위의 하나이고, 가우스(G: Gauss)와 같은 크기 즉, '10e = 1G'의 관계를 갖는다. 회전 자기장(H)은 강자성층으로 구성된 데이터층(121)의 자화 방향을 설정하기에 충분한 크기를 갖는다.

[0077] 쓰기 회로(510)가 시변 전기장에 의해 메모리 셀에 메모리 셀의 자화 방향을 설정하는 동작을 하기의 도 6과 도 7을 참조하여 살펴보기로 한다.

[0078] 도 6은 도 1에 도시된 자기 랜덤 액세스 메모리 장치에서 메모리 셀에 제 1 데이터의 쓰기 동작을 예시적으로 도시한 도면이다.

[0079] 도 6를 참조하면, 쓰기 회로(510)는 제 1 시변 전기장, 일례로 양의 전압 펄스(TE+)를 발생한다.

[0080] 양의 전압 펄스(TE+)는 전압 상승할 때, 제 1 방향의 변위 전류(610)를 발생한다. 제 1 방향의 변위 전류(610)는 반시계 방향의 회전 자기장(611)을 발생시킨다. 제 1 방향은 전압 상승 방향에 대응되는 방향이다.

[0081] 쓰기 회로(510)는 데이터층(121)의 자화 방향을 반시계 방향을 갖는 회전 자기장(611)에 의해 반시계 방향으로 설정할 수 있다. 여기서, 양의 전압 펄스(TE+)의 전압 상승에 의해 반시계 방향으로 자화 방향이 설정된 데이터층(121a)을 도시하였다.

[0082] 양의 전압 펄스(TE+)는 전압 하강할 때, 제 2 방향의 변위 전류(620)를 발생한다. 제 2 방향의 변위 전류(620)는 시계 방향의 회전 자기장(621)을 발생시킨다. 제 2 방향은 전압 하강 방향에 대응되는 방향이다.

[0083] 쓰기 회로(510)는 메모리 셀(120)의 데이터층(121)의 자화 방향을 시계 방향을 갖는 회전 자기장(611)에 의해 시계 방향으로 설정할 수 있다. 여기서, 양의 전압 펄스(TE+)의 전압 하강에 의해 시계 방향으로 자화 방향이 설정된 데이터층(121b)을 도시하였다.

[0084] 결국, 양의 전압 펄스(TE+)의 전압 상승에 따라 데이터층(121)의 자화 방향이 반시계 방향으로 설정(121a)된 후, 양의 전압 펄스(TE+)의 전압 하강에 따라 데이터층(121)의 자화 방향이 최종적으로 시계 방향으로 설정(121b)된다.

[0085] 쓰기 회로(510)는 양의 전압 펄스(TE+)에 의해 데이터층(121)의 자화 방향을 시계 방향으로 설정할 수 있다.

[0086] 도 7은 도 1에 도시된 자기 랜덤 액세스 메모리 장치에서 메모리 셀에 제 1 데이터의 쓰기 동작을 예시적으로

도시한 도면이다.

- [0087] 도 7을 참조하면, 쓰기 회로(510)는 제 2 시변 전기장, 일예로 음의 전압 펄스(TE-)를 발생한다.
- [0088] 음의 전압 펄스(TE-)는 전압 하강할 때, 제 2 방향의 변위 전류(710)를 발생한다. 제 2 방향의 변위 전류(710)는 시계 방향의 회전 자기장(711)을 발생시킨다. 제 2 방향은 전압 하강 방향에 대응되는 방향이다.
- [0089] 쓰기 회로(510)는 데이터층(121)의 자화 방향을 시계 방향을 갖는 회전 자기장(711)에 의해 시계 방향으로 설정할 수 있다. 여기서, 음의 전압 펄스(TE-)의 전압 하강에 의해 시계 방향으로 자화 방향이 설정된 데이터층(121c)을 도시하였다.
- [0090] 음의 전압 펄스(TE-)는 전압 상승할 때, 제 1 방향의 변위 전류(720)를 발생한다. 제 1 방향의 변위 전류(720)는 반시계 방향의 회전 자기장(721)을 발생시킨다. 제 1 방향은 전압 상승 방향에 대응되는 방향이다.
- [0091] 쓰기 회로(510)는 데이터층(121)의 자화 방향을 반시계 방향을 갖는 회전 자기장(711)에 의해 반시계 방향으로 설정할 수 있다. 여기서, 음의 전압 펄스(TE-)의 전압 상승에 의해 반시계 방향으로 자화 방향이 설정된 데이터층(121d)을 도시하였다.
- [0092] 결국, 음의 전압 펄스(TE-)의 전압 하강에 따라 데이터층(121)의 자화 방향이 시계 방향으로 설정(121c)된 후, 음의 전압 펄스(TE-)의 전압 상승에 따라 데이터층(121)의 자화 방향이 최종적으로 반시계 방향으로 설정(121d)된다.
- [0093] 쓰기 회로(510)는 음의 전압 펄스(TE-)에 의해 데이터층(121)의 자화 방향을 반시계 방향으로 설정할 수 있다.
- [0094] 도 8은 도 1에 도시된 자기 랜덤 액세스 메모리 장치의 동작을 예시적으로 도시한 순서도이다.
- [0095] 도 8을 참조하면, S100단계에서, 자기 랜덤 액세스 메모리 장치는 외부로부터 쓰기 명령을 수신한다.
- [0096] S200단계에서 자기 랜덤 액세스 메모리 장치는 쓰기 명령 수신에 대응하여 메모리 셀들에 저장될 쓰기 데이터(WDATA)를 수신하고, 쓰기 데이터(WDATA)를 저장한다.
- [0097] S300단계에서 자기 랜덤 액세스 메모리 장치는 시변 전기장을 발생한다. 자기 랜덤 액세스 메모리 장치는 쓰기 데이터(WDATA)에 대응되는 시변 전기장을 생성한다. 이때, 시변 전기장은 논리값 '1' 또는 '0'에 대응되도록 생성된다.
- [0098] S400단계에서 자기 랜덤 액세스 메모리 장치는 시변 전기장을 메모리 셀(120)로 제공한다. 시변 전기장의 제공에 따라 메모리 셀(120)의 자화 방향이 설정된다. 여기서, 시변 전기장은 변위 전류를 발생시킨다. 시변 전기장에 의해 생성된 변위 전류는 메모리 셀의 자화 방향을 설정하기 위해 최종적으로 시계 방향 또는 반시계 방향의 자화 방향을 갖는 회전 자기장을 유도한다.
- [0099] 회전 자기장은 변위 전류의 전류 진행 방향에 대응될 수 있고, 쓰기 데이터(WDATA)의 논리값에 대응되는 두 개의 자화 방향을 가질 수 있다. 메모리 셀(120)의 자화 방향은 회전 자기장에 의해 설정된다.
- [0100] 즉, 자기 랜덤 액세스 메모리 장치는 시변 전기장을 이용함으로써 메모리 셀에 실제 전류를 인가하지 않고도, 데이터 쓰기를 할 수 있다.
- [0101] S500단계에서 자기 랜덤 액세스 메모리 장치는 쓰기 명령 수신에 대응하여 쓰기 동작이 종료되었는지 판단한다. S500단계의 판단결과, 쓰기 동작이 종료되지 않은 경우, 자기 랜덤 액세스 메모리 장치는 S200단계로 진행한다. 이에 반해, S500단계의 판단결과, 쓰기 동작이 종료된 경우, 자기 랜덤 액세스 메모리 장치는 쓰기 동작을 종료한다.
- [0102] 본 발명에서는 시변 전기장에 의해 발생된 변위 전류로부터 유도된 회전 자기장을 사용하여 메모리 셀에 데이터 쓰기를 할 수 있다. 본 발명의 자기 랜덤 액세스 메모리 장치는 변위 전류를 발생시키는 시변 전기장을 인가함으로써 실제 쓰기 전류의 인가없이 데이터 쓰기가 가능하다. 따라서, 메모리 셀의 액세스 소자로 저전류에서 동작하는 액세스 소자, 일예로 박막트랜지스터(TFT)를 사용할 수 있다. 따라서 유리 기판 등의 저가의 기판에 넓은 면적으로 반도체 소자를 제조할 수 있으므로 반도체 메모리 장치의 제조 단가가 낮아진다.

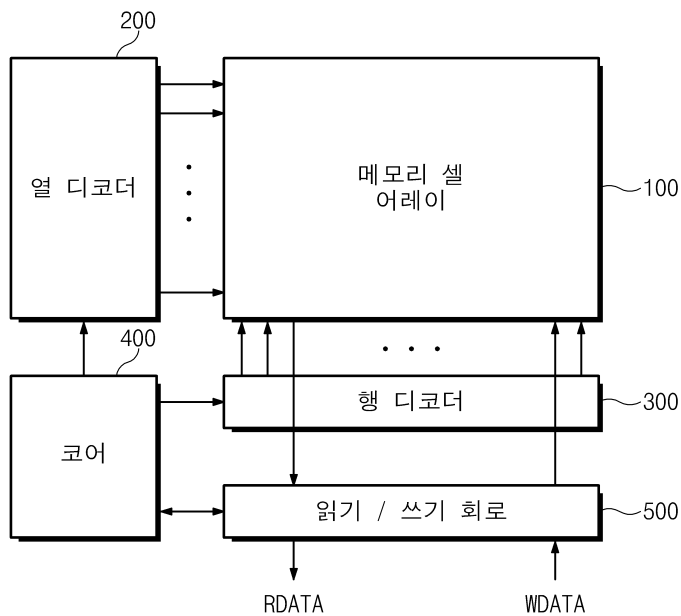
부호의 설명

- [0103] 100: 메모리 셀 어레이 200: 열 디코더

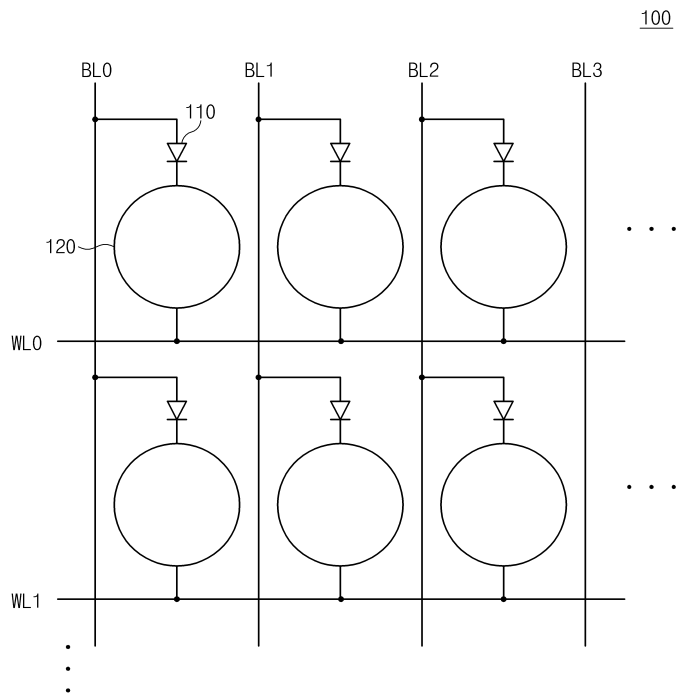
300: 행 디코더 400: 코어
 500: 읽기 쓰기 회로 110: 메모리 셀
 120: 액세스 소자 121: 데이터층
 122: 절연 터널 장벽 123: 기준층
 124: 상부 기록 전극 125: 절연층
 126: 상부 재생 전극 127: 반강자성층
 128: 하부 재생 전극 129: 하부 기록 전극
 510: 쓰기 회로 511: 버퍼
 512: 쓰기 드라이버 610, 620, 710, 720: 변위 전류
 611, 621, 711, 721: 회전 자기장

도면

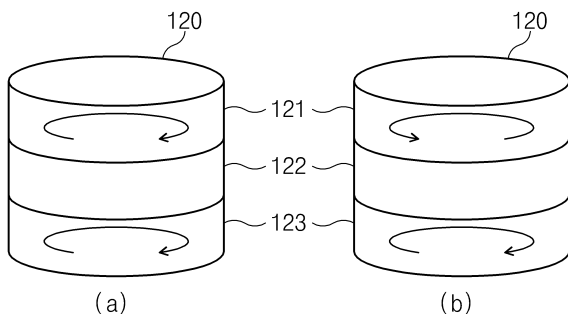
도면1



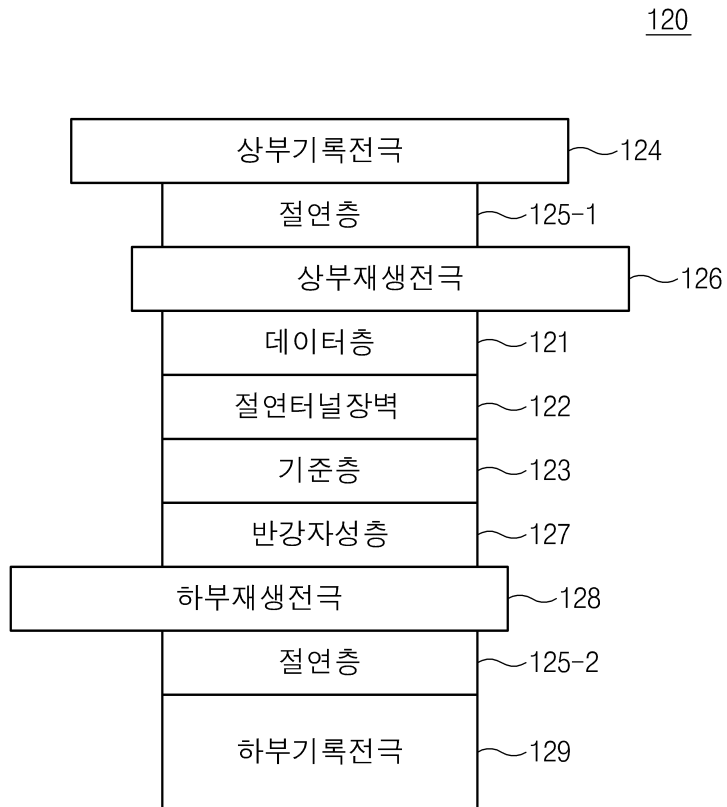
도면2



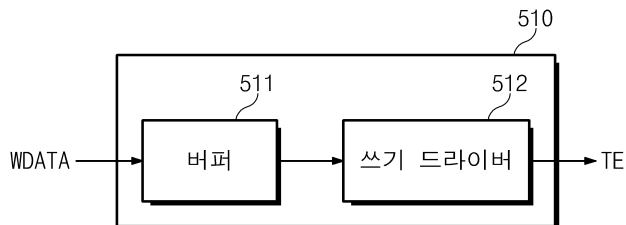
도면3



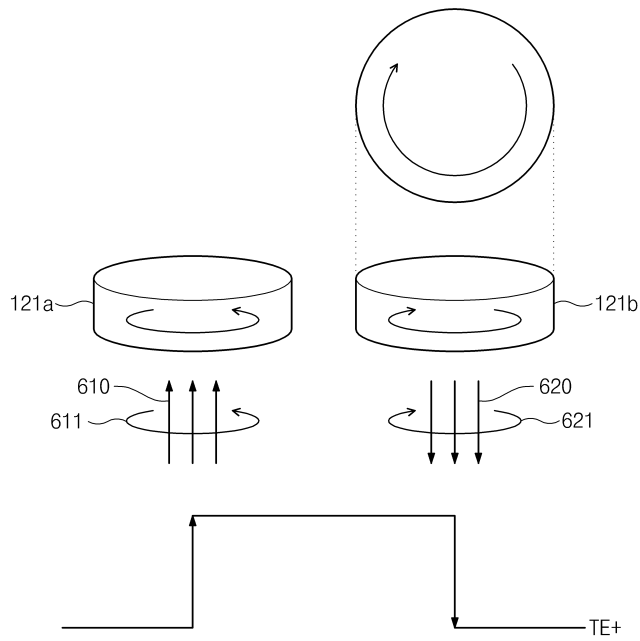
도면4



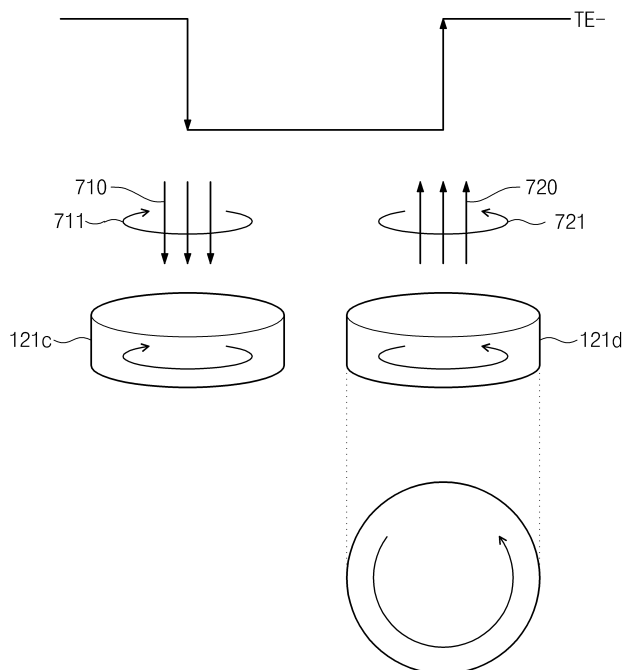
도면5



도면6



도면7



도면8

