

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017 年 10 月 26 日 (26.10.2017)



(10) 国际公布号
WO 2017/181464 A1

(51) 国际专利分类号:

H01L 27/12 (2006.01) *H01L 21/336* (2006.01)

H01L 29/417 (2006.01) *H01L 21/28* (2006.01)

H01L 29/786 (2006.01) *H01L 21/84* (2006.01)

(21) 国际申请号: PCT/CN2016/082411

(22) 国际申请日: 2016 年 5 月 17 日 (17.05.2016)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:

201610240476.1 2016 年 4 月 18 日 (18.04.2016) CN

(71) 申请人: 武汉华星光电技术有限公司 (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430070 (CN)。

(72) 发明人: 宋文庆 (SONG, Wenqing); 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430070 (CN)。

(74) 代理人: 深圳市德力知识产权代理事务所 (COMIPS INTELLECTUAL PROPERTY OFFICE); 中国广东省深圳市福田区上步中路深勘大厦 15E, Guangdong 518028 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH,

(54) Title: TFT ARRAY SUBSTRATE AND MANUFACTURING METHOD THEREOF

(54) 发明名称: TFT 阵列基板及其制作方法

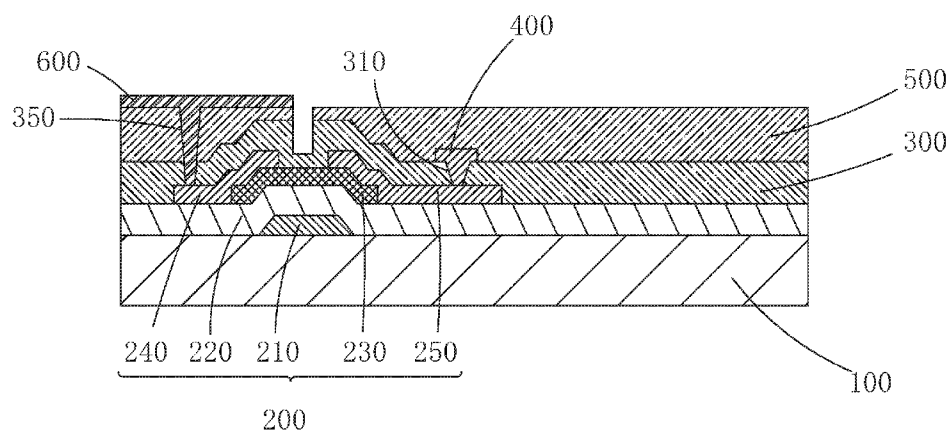


图2

(57) Abstract: Provided are a TFT array substrate and a manufacturing method thereof. On the TFT array substrate, a source (240) and a drain (250) of a TFT (200) are disposed on a gate insulation layer (220). A data line (400) is disposed in a first protective passivation layer (300) covering the source (240) and the drain (250) of the TFT (200), so that the data line (400) is located in a different layer than the source (240) and the drain (250) of the TFT (200), and a space between the data line (400) and a gate (210) can be flexibly adjusted by adjusting a thickness of the first protective passivation layer (300). Compared with the prior art, the method of the present invention increases the space between the data line (400) and the gate (210), reduces a parasitic capacitance between the data line (400) and the gate (210), and lowers power consumption of the data line (400). Moreover, the thickness of the gate insulation layer (220) is not affected, and locations of the source (240) and the drain (250) of the TFT (200) remain unchanged, thereby maintaining stability of TFT characteristics.

TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

(57) 摘要: 本发明提供一种TFT阵列基板及其制作方法。该TFT阵列基板将TFT(200)的源极(240)和漏极(250)设置在栅极绝缘层(220)上, 将数据线(400)设置在覆盖TFT(200)的源极(240)和漏极(250)的第一钝化保护层(300)上, 使得数据线(400)与TFT(200)的源极(240)和漏极(250)位于不同的层别, 能够通过调整第一钝化保护层(300)的厚度来灵活调整数据线(400)与栅极(210)之间的间距, 与现有技术相比, 增大了数据线(400)与栅极(210)之间的间距, 减小了数据线(400)与栅极(210)之间的寄生电容, 降低了数据线(400)的功耗, 同时, 栅极绝缘层(220)的厚度不受影响, TFT(200)的源极(240)与漏极(250)的位置不变, 能够维持TFT特性的稳定。

TFT 阵列基板及其制作方法

技术领域

5 本发明涉及液晶显示技术领域，尤其涉及一种 TFT 阵列基板及其制作方法。

背景技术

液晶显示器 (Liquid Crystal Display, LCD) 是目前最广泛使用的平板显示器之一，液晶显示面板是液晶显示器的核心组成部分。

10 液晶显示面板通常是由一彩色滤光片 (Color Filter, CF) 基板、一薄膜晶体管阵列基板 (Thin Film Transistor Array Substrate, TFT Array Substrate) 以及一配置于两基板间的液晶层 (Liquid Crystal Layer) 所构成，其中 TFT 阵列基板上制备有呈阵列式排布的 TFT，用于驱动液晶的旋转，控制每个像素的显示，而 CF 基板上设置有彩色滤光层，用于形成每个像素
15 的色彩。液晶显示面板的工作原理是通过在 TFT 阵列基板与 CF 基板上施加驱动电压来控制液晶层的液晶分子的旋转，将背光模组的光线折射出来产生画面。

目前，液晶显示器的技术发展日趋成熟，现阶段以降低液晶显示面板的功耗为主要发展方向。

20 请参阅图 1，为一种现有的 TFT 阵列基板的结构示意图，包括：衬底基板 100'、设置在衬底基板 100' 上的栅极 200'、设置在栅极 200' 上的栅极绝缘层 300'、设置在栅极绝缘层 300' 上且位置与栅极 200' 对应的有源层 400'，设置在栅极绝缘层 300' 和有源层 400' 上分别与有源层 400' 两端接触的源极 500' 和漏极 600'、设置在栅极绝缘层 300' 上与所述源极 500' 和漏极
25 600' 位于同一层的数据线 700'、覆盖所述栅极绝缘层 300'、源极 500'、漏极 600'、与数据线 700' 的钝化保护层 800'、以及设置在钝化保护层 800' 上的像素电极 900'，其中像素电极 900' 通过贯穿钝化保护层 800' 的过孔 810' 与源极 500' 接触。

该现有的 TFT 阵列基板的数据线 700' 与栅极 200' 之间会产生寄生电容
30 C_{gd} ，公式为： $C_{gd} = \epsilon_0 \epsilon_r s / d$ ，其中， ϵ_0 为真空介电常数， ϵ_r 为材料的相对介电常数， s 为数据线 700' 与栅极 200' 的正对面积， d 为数据线 700' 与栅极 200' 的间距，即栅极绝缘层 300' 的厚度。

为降低数据线 700' 的功耗，需要减少寄生电容 C_{gd} 的值。由于寄生电

容 Cgd 与数据线 700' 和栅极 200' 的间距成反比, 可以通过增加栅极绝缘层 300' 的厚度使数据线 700' 和栅极 200' 的间距增加, 进而减少寄生电容 Cgd, 但是, TFT 的源极 500'、漏极 600'、及数据线 700' 位于同一层, 均设置在栅极绝缘层 300' 上, 在改变栅极绝缘层 300' 的厚度控制寄生电容 Cgd 的同时, 不可避免地使得源极 500' 及漏极 600' 的位置改变, 影响到 TFT 特性, 因此, 图 1 所示的现有 TFT 阵列基板不能灵活地调整寄生电容 Cgd。

发明内容

本发明的目的在于提供一种 TFT 阵列基板, 能够在保证 TFT 特性的前提下, 灵活调整数据线与栅极之间的间距, 减小数据线与栅极之间的寄生电容, 降低数据线的功耗。

本发明的另一目的在于提供一种 TFT 阵列基板的制作方法, 既能够保证 TFT 特性, 又能够减小数据线与栅极之间的寄生电容, 降低数据线的功耗。

为实现上述目的, 本发明首先提供一种 TFT 阵列基板, 包括: 衬底基板、设置在所述衬底基板上的 TFT、覆盖所述 TFT 的第一钝化保护层、设置在所述第一钝化保护层上的数据线、覆盖所述第一钝化保护层和数据线的第二钝化保护层、及设置在所述第二钝化保护层上的像素电极;

所述 TFT 包括: 设置在衬底基板上的栅极、覆盖所述栅极与衬底基板的栅极绝缘层、于所述栅极上方设置在所述栅极绝缘层上的有源层、及设置在所述栅极绝缘层上分别接触有源层两端的源极和漏极;

在所述漏极上方设有贯穿第一钝化保护层第一过孔; 所述数据线通过所述第一过孔与漏极接触。

所述源极、漏极、及数据线的材料为相同的金属材料。

所述源极、漏极、及数据线的材料同为钼、钛、铝、铜中的一种或多种的堆栈组合。

所述衬底基板为玻璃基板; 所述像素电极的材料为 ITO; 所述栅极绝缘层、第一钝化保护层、与第二钝化保护层的材料为氮化硅、氧化硅、或二者的组合。

在所述源极上方设有贯穿第一钝化保护层与第二钝化保护层的第二过孔, 所述像素电极通过所述第二过孔与源极接触。

本发明还提供一种 TFT 阵列基板的制作方法, 包括以下步骤:

步骤 1、提供一衬底基板, 在所述衬底基板上沉积并图案化第一金属层, 形成栅极;

步骤 2、在所述栅极与衬底基板上沉积栅极绝缘层；

步骤 3、于所述栅极上方在所述栅极绝缘层上形成有源层；

步骤 4、在所述栅极绝缘层与有源层上第一次沉积并图案化第二金属层，形成分别与有源层两端接触的源极和漏极，至此完成 TFT 的制作；

5 步骤 5、在所述源极、漏极、与栅极绝缘层上沉积覆盖第一钝化保护层，并对第一钝化保护层进行图案化处理，在所述漏极上方形成贯穿第一钝化保护层的第一过孔；

步骤 6、在所述第一钝化保护层上第二次沉积并图案化第二金属层，形成数据线，所述数据线通过所述第一过孔与漏极接触；

10 步骤 7、在所述第一钝化保护层、与数据线上沉积覆盖第二钝化保护层，并进行图案化处理，在所述源极上方形成贯穿第二钝化保护层与第一钝化保护层的第二过孔；

步骤 8、在所述第二钝化保护层上沉积并图案化透明导电薄膜，形成像素电极，所述像素电极通过所述第二过孔与源极接触。

15 所述第二金属层的材料为钼、钛、铝、铜中的一种或多种的堆栈组合。

所述衬底基板为玻璃基板；所述透明导电薄膜为 ITO 薄膜；所述栅极绝缘层、第一钝化保护层、与第二钝化保护层的材料为氮化硅、氧化硅、或二者的组合。

20 本发明还提供一种 TFT 阵列基板，包括：衬底基板、设置在所述衬底基板上的 TFT、覆盖所述 TFT 的第一钝化保护层、设置在所述第一钝化保护层上的数据线、覆盖所述第一钝化保护层和数据线的第二钝化保护层、及设置在所述第二钝化保护层上的像素电极；

25 所述 TFT 包括：设置在衬底基板上的栅极、覆盖所述栅极与衬底基板的栅极绝缘层、于所述栅极上方设置在所述栅极绝缘层上的有源层、及设置在所述栅极绝缘层上分别接触有源层两端的源极和漏极；

在所述漏极上方设有贯穿第一钝化保护层的第一过孔；所述数据线通过所述第一过孔与漏极接触；

其中，所述源极、漏极、及数据线的材料为相同的金属材料；

30 其中，所述衬底基板为玻璃基板；所述像素电极的材料为 ITO；所述栅极绝缘层、第一钝化保护层、与第二钝化保护层的材料为氮化硅、氧化硅、或二者的组合。

本发明的有益效果：本发明提供的 TFT 阵列基板，将 TFT 的源极和漏极设置在栅极绝缘层上，将数据线设置在覆盖 TFT 的源极和漏极的第一钝化保护层上，使得数据线与 TFT 的源极和漏极位于不同的层别，能够通过

调整第一钝化保护层的厚度来灵活调整数据线与时栅极之间的间距，与现有技术相比，增大了数据线与时栅极之间的间距，减小了数据线与时栅极之间的寄生电容，降低了数据线的功耗，同时，栅极绝缘层的厚度不受影响，TFT的源极与漏极的位置不变，能够维持 TFT 特性的稳定。本发明提供的 TFT 阵列基板的制作方法，先将 TFT 的源极和漏极制作在栅极绝缘层上，再将数据线制作在覆盖 TFT 的源极和漏极的第一钝化保护层上，既能够保证 TFT 特性，又能够减小数据线与时栅极之间的寄生电容，降低数据线的功耗。

附图说明

为了能更进一步了解本发明的特征以及技术内容，请参阅以下有关本发明的详细说明与附图，然而附图仅提供参考与说明用，并非用来对本发明加以限制。

附图中，

图 1 为一种现有的 TFT 阵列基板的结构示意图；

图 2 为本发明的 TFT 阵列基板的结构示意图；

图 3 为本发明的 TFT 阵列基板的制作方法的流程图；

图 4 为本发明的 TFT 阵列基板的制作方法的步骤 1 的示意图；

图 5 为本发明的 TFT 阵列基板的制作方法的步骤 2 的示意图；

图 6 为本发明的 TFT 阵列基板的制作方法的步骤 3 的示意图；

图 7 为本发明的 TFT 阵列基板的制作方法的步骤 4 的示意图；

图 8 为本发明的 TFT 阵列基板的制作方法的步骤 5 的示意图；

图 9 为本发明的 TFT 阵列基板的制作方法的步骤 6 的示意图；

图 10 为本发明的 TFT 阵列基板的制作方法的步骤 7 的示意图；

图 11 为本发明的 TFT 阵列基板的制作方法的步骤 8 的示意图。

具体实施方式

为更进一步阐述本发明所采取的技术手段及其效果，以下结合本发明的优选实施例及其附图进行详细描述。

请参阅图 2，本发明首先提供一种 TFT 阵列基板，包括：衬底基板 100、设置在所述衬底基板 100 上的 TFT 200、覆盖所述 TFT 200 的第一钝化保护层 300、设置在所述第一钝化保护层 300 上的数据线 400、覆盖所述第一钝化保护层 300 和数据线 400 的第二钝化保护层 500、及设置在所述第二钝化保护层 500 上的像素电极 600。

所述 TFT 200 包括：设置在衬底基板 100 上的栅极 210、覆盖所述栅极

210 与衬底基板 100 的栅极绝缘层 220、于所述栅极 210 上方设置在所述栅极绝缘层 220 上的有源层 230、及设置在所述栅极绝缘层 220 上分别接触有源层 230 两端的源极 240 和漏极 250。

5 在所述漏极 250 上方设有贯穿第一钝化保护层 300 的第一过孔 310，所述数据线 400 通过所述第一过孔 310 与漏极 250 接触。

在所述源极 240 上方设有贯穿第一钝化保护层 300 与第二钝化保护层 500 的第二过孔 350，所述像素电极 600 通过所述第二过孔 350 与源极 240 接触。

具体地，所述衬底基板 100 为透明基板，优选玻璃基板。

10 所述源极 240、漏极 250、及数据线 400 使用相同的金属材料制作，所述金属材料优选为钼 (Mo)、钛 (Ti)、铝 (Al)、铜 (Cu) 中的一种或多种的堆栈组合。

所述栅极绝缘层 220、第一钝化保护层 300、与第二钝化保护层 500 的材料可为氮化硅 (SiN_x)、氧化硅 (SiO_x)、或二者的组合。

15 所述像素电极 600 为透明电极，材料优选氧化铟锡 (Indium Tin Oxides, ITO)。

进一步地，数据线 400、与栅极 210 可以看作是两相对设置的金属电极板，二者之间存在寄生电容 C_{gd} 。由电容的计算公式知：

$$C_{gd} = \varepsilon_0 \varepsilon_r s / d \quad (1)$$

20 其中， ε_0 为真空介电常数， ε_r 为材料的相对介电常数， s 为数据线 400 与栅极 210 的正对面积， d 为数据线 400 与栅极 210 之间的间距。

本发明的 TFT 阵列基板中，由于 TFT 200 的源极 240 和漏极 250 设置在栅极绝缘层 220 上，数据线 400 设置在覆盖 TFT 200 的源极 240 和漏极 250 的第一钝化保护层 300 上，即数据线 400 与 TFT 200 的源极 240 和漏极 25 250 位于不同的层别，所述数据线 400 与栅极 210 之间的间距为第一钝化保护层 300 的厚度与栅极绝缘层 220 的厚度之和，相较于传统的 TFT 阵列基板，所述数据线 400 与栅极 210 之间的间距增加了第一钝化保护层 300 的厚度。根据公式 (1) 可知寄生电容 C_{gd} 与数据线 400 和栅极 210 之间的间距成反比，数据线 400 与栅极 210 之间的间距增大使得寄生电容 C_{gd} 减小，30 能够有效地降低数据线 400 的功耗，进而降低 TFT 阵列基板的功耗；另外，本发明的 TFT 阵列基板能够通过调整第一钝化保护层 300 的厚度来灵活调整数据线 400 与栅极 210 之间的间距，进而灵活调整寄生电容 C_{gd} ，如通过增大第一钝化保护层 300 的厚度来增大数据线 400 与栅极 210 之间的间距，减小寄生电容 C_{gd} 。值得注意的是，由于数据线 400 与栅极 210 之间

的间距增大的原因是将数据线 400 所在的层别升至第一钝化保护层 300 上,栅极绝缘层 220 的厚度不受影响,TFT 200 的源极 240 与漏极 250 的位置不变,能够使 TFT 200 的特性保持稳定。

请参阅图 3,基于同一发明构思,本发明还提供一种 TFT 阵列基板的制作方法,包括以下步骤:

步骤 1、如图 4 所示,提供一衬底基板 100,在所述衬底基板 100 上沉积并图案化第一金属层,形成栅极 210。

具体地,所述衬底基板 100 为透明基板,优选为玻璃基板。

该步骤 1 使用第一道光罩通过蚀刻工艺来图案化第一金属层。

步骤 2、如图 5 所示,在所述栅极 210 与衬底基板 100 上沉积栅极绝缘层 220。

具体地,所述栅极绝缘层 220 的材料为氮化硅、氧化硅、或二者的组合。

步骤 3、如图 6 所示,于所述栅极 210 上方在所述栅极绝缘层 220 上形成有源层 230。

具体地,该步骤 3 形成有源层 230 的详细过程为:首先沉积非晶硅层,然后进行晶化处理得到多晶硅层,接着进行离子掺杂,最后使用第二道光罩通过蚀刻工艺进行图案化处理,得到源层 230。

步骤 4、如图 7 所示,在所述栅极绝缘层 220 与有源层 230 上第一次沉积并图案化第二金属层,形成分别与有源层 230 两端接触的源极 240 和漏极 250,至此完成 TFT 200 的制作。

具体地,所述第二金属层的材料为钼、钛、铝、铜中的一种或多种的堆栈组合。

该步骤 4 使用第三道光罩通过蚀刻工艺来对第二金属层进行第一次图案化处理得到源极 240 和漏极 250。

步骤 5、如图 8 所示,在所述源极 240、漏极 250、与栅极绝缘层 220 上沉积覆盖第一钝化保护层 300,并对第一钝化保护层 300 进行图案化处理,在所述漏极 250 上方形成贯穿第一钝化保护层 300 的第一过孔 310。

具体地,所述第一钝化保护层 300 的材料为氮化硅、氧化硅、或二者的组合。

该步骤 5 使用第四道光罩通过蚀刻工艺来图案化第一钝化保护层 300。

步骤 6、如图 9 所示,在所述第一钝化保护层 300 上第二次沉积并图案化第二金属层,形成数据线 400,所述数据线 400 通过所述第一过孔 310 与漏极 250 接触。

具体地, 该步骤 6 中所述的第二金属层与上述步骤 4 中的第二金属层的材料相同, 仍为钼、钛、铝、铜中的一种或多种的堆栈组合。

该步骤 6 使用第五道光罩通过蚀刻工艺来对第二金属层进行第二次图案化处理得到数据线 400。

5 步骤 7、如图 10 所示, 在所述第一钝化保护层 300、与数据线 400 上沉积覆盖第二钝化保护层 500, 并进行图案化处理, 在所述源极 240 上方形成贯穿第二钝化保护层 500 与第一钝化保护层 300 的第二过孔 350。

具体地, 所述第二钝化保护层 500 的材料为氮化硅、氧化硅、或二者的组合。

10 该步骤 7 使用第六道光罩通过蚀刻工艺来图案化第二钝化保护层 500 与第一钝化保护层 300, 形成第二过孔 350。

步骤 8、如图 11 所示, 在所述第二钝化保护层 500 上沉积并图案化透明导电薄膜, 形成像素电极 600, 所述像素电极 600 通过所述第二过孔 350 与源极 240 接触。

15 具体地, 所述透明导电薄膜为 ITO 薄膜。

该步骤 8 使用第七道光罩通过蚀刻工艺来图案化透明导电薄膜形成像素电极 600。

本发明的 TFT 阵列基板的制作方法, 先将 TFT 200 的源极 240 和漏极 250 制作在栅极绝缘层 220 上, 再将数据线 400 制作在覆盖 TFT 200 的源极 240 和漏极 250 的第一钝化保护层 300 上, 使得数据线 400 与 TFT 200 的源极 240 和漏极 250 位于不同的层别。

数据线 400、与栅极 210 可以看作是两相对设置的金属电极板, 二者之间存在寄生电容 Cgd。由电容的计算公式知:

$$C_{gd} = \epsilon_0 \epsilon_r s / d \quad (1)$$

25 其中, ϵ_0 为真空介电常数, ϵ_r 为材料的相对介电常数, s 为数据线 400 与栅极 210 的正对面积, d 为数据线 400 与栅极 210 之间的间距。

通过本发明的阵列基板的制作方法制得的 TFT 阵列基板, 由于其数据线 400 与 TFT 200 的源极 240 和漏极 250 位于不同的层别, 所述数据线 400 与栅极 210 之间的间距为第一钝化保护层 300 的厚度与栅极绝缘层 220 的厚度之和, 相较于传统的 TFT 阵列基板, 所述数据线 400 与栅极 210 之间的间距增加了第一钝化保护层 300 的厚度。根据公式 (1) 可知寄生电容 Cgd 与数据线 400 和栅极 210 之间的间距成反比, 数据线 400 与栅极 210 之间的间距增大使得寄生电容 Cgd 减小, 能够有效地降低数据线 400 的功耗, 进而降低 TFT 阵列基板的功耗; 另外, 还能够通过调整第一钝化保护

层 300 的厚度来灵活调整数据线 400 与栅极 210 之间的间距，进而灵活调整寄生电容 C_{gd} ，如通过增大第一钝化保护层 300 的厚度来增大数据线 400 与栅极 210 之间的间距，减小寄生电容 C_{gd} 。值得注意的是，由于数据线 400 与栅极 210 之间的间距增大的原因是将数据线 400 所在的层别升至第一钝化保护层 300 上，栅极绝缘层 220 的厚度不受影响，TFT 200 的源极 240 与漏极 250 的位置不变，能够使 TFT 200 的特性保持稳定。

综上所述，本发明的 TFT 阵列基板，将 TFT 的源极和漏极设置在栅极绝缘层上，将数据线设置在覆盖 TFT 的源极和漏极的第一钝化保护层上，使得数据线与 TFT 的源极和漏极位于不同的层别，能够通过调整第一钝化保护层的厚度来灵活调整数据线与栅极之间的间距，与现有技术相比，增大了数据线与栅极之间的间距，减小了数据线与栅极之间的寄生电容，降低了数据线的功耗，同时，栅极绝缘层的厚度不受影响，TFT 的源极与漏极的位置不变，能够维持 TFT 特性的稳定。本发明的 TFT 阵列基板的制作方法，先将 TFT 的源极和漏极制作在栅极绝缘层上，再将数据线制作在覆盖 TFT 的源极和漏极的第一钝化保护层上，既能够保证 TFT 特性，又能够减小数据线与栅极之间的寄生电容，降低数据线的功耗。

以上所述，对于本领域的普通技术人员来说，可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形，而所有这些改变和变形都应属于本发明后附的权利要求的保护范围。

权 利 要 求

1、一种 TFT 阵列基板，包括：衬底基板、设置在所述衬底基板上的 TFT、覆盖所述 TFT 的第一钝化保护层、设置在所述第一钝化保护层上的
5 数据线、覆盖所述第一钝化保护层和数据线的第二钝化保护层、及设置在所述第二钝化保护层上的像素电极；

所述 TFT 包括：设置在衬底基板上的栅极、覆盖所述栅极与衬底基板的栅极绝缘层、于所述栅极上方设置在所述栅极绝缘层上的有源层、及设置在所述栅极绝缘层上分别接触有源层两端的源极和漏极；

10 在所述漏极上方设有贯穿第一钝化保护层的第一过孔；所述数据线通过所述第一过孔与漏极接触。

2、如权利要求 1 所述的 TFT 阵列基板，其中，所述源极、漏极、及数据线的材料为相同的金属材料。

3、如权利要求 2 所述的 TFT 阵列基板，其中，所述源极、漏极、及数
15 据线的材料同为钼、钛、铝、铜中的一种或多种的堆栈组合。

4、如权利要求 1 所述的 TFT 阵列基板，其中，所述衬底基板为玻璃基板；所述像素电极的材料为 ITO；所述栅极绝缘层、第一钝化保护层、与第二钝化保护层的材料为氮化硅、氧化硅、或二者的组合。

5、如权利要求 1 所述的 TFT 阵列基板，其中，在所述源极上方设有贯
20 穿第一钝化保护层与第二钝化保护层的第二过孔，所述像素电极通过所述第二过孔与源极接触。

6、一种 TFT 阵列基板的制作方法，包括以下步骤：

步骤 1、提供一衬底基板，在所述衬底基板上沉积并图案化第一金属层，形成栅极；

25 步骤 2、在所述栅极与衬底基板上沉积栅极绝缘层；

步骤 3、于所述栅极上方在所述栅极绝缘层上形成有源层；

步骤 4、在所述栅极绝缘层与有源层上第一次沉积并图案化第二金属层，形成分别与有源层两端接触的源极和漏极，至此完成 TFT 的制作；

步骤 5、在所述源极、漏极、与栅极绝缘层上沉积覆盖第一钝化保护层，
30 并对第一钝化保护层进行图案化处理，在所述漏极上方形成贯穿第一钝化保护层的第一过孔；

步骤 6、在所述第一钝化保护层上第二次沉积并图案化第二金属层，形成数据线，所述数据线通过所述第一过孔与漏极接触；

步骤 7、在所述第一钝化保护层、与数据线上沉积覆盖第二钝化保护层，并进行图案化处理，在所述源极上方形成贯穿第二钝化保护层与第一钝化保护层的第二过孔；

5 步骤 8、在所述第二钝化保护层上沉积并图案化透明导电薄膜，形成像素电极，所述像素电极通过所述第二过孔与源极接触。

7、如权利要求 6 所述的 TFT 阵列基板的制作方法，其中，所述第二金属层的材料为钼、钛、铝、铜中的一种或多种的堆栈组合。

10 8、如权利要求 6 所述的 TFT 阵列基板的制作方法，其中，所述衬底基板为玻璃基板；所述透明导电薄膜为 ITO 薄膜；所述栅极绝缘层、第一钝化保护层、与第二钝化保护层的材料为氮化硅、氧化硅、或二者的组合。

9、一种 TFT 阵列基板，包括：衬底基板、设置在所述衬底基板上的 TFT、覆盖所述 TFT 的第一钝化保护层、设置在所述第一钝化保护层上的数据线、覆盖所述第一钝化保护层和数据线的第二钝化保护层、及设置在所述第二钝化保护层上的像素电极；

15 所述 TFT 包括：设置在衬底基板上的栅极、覆盖所述栅极与衬底基板的栅极绝缘层、于所述栅极上方设置在所述栅极绝缘层上的有源层、及设置在所述栅极绝缘层上分别接触有源层两端的源极和漏极；

在所述漏极上方设有贯穿第一钝化保护层的第一过孔；所述数据线通过所述第一过孔与漏极接触；

20 其中，所述源极、漏极、及数据线的材料为相同的金属材料；

其中，所述衬底基板为玻璃基板；所述像素电极的材料为 ITO；所述栅极绝缘层、第一钝化保护层、与第二钝化保护层的材料为氮化硅、氧化硅、或二者的组合。

25 10、如权利要求 9 所述的 TFT 阵列基板，其中，所述源极、漏极、及数据线的材料同为钼、钛、铝、铜中的一种或多种的堆栈组合。

11、如权利要求 9 所述的 TFT 阵列基板，其中，在所述源极上方设有贯穿第一钝化保护层与第二钝化保护层的第二过孔，所述像素电极通过所述第二过孔与源极接触。

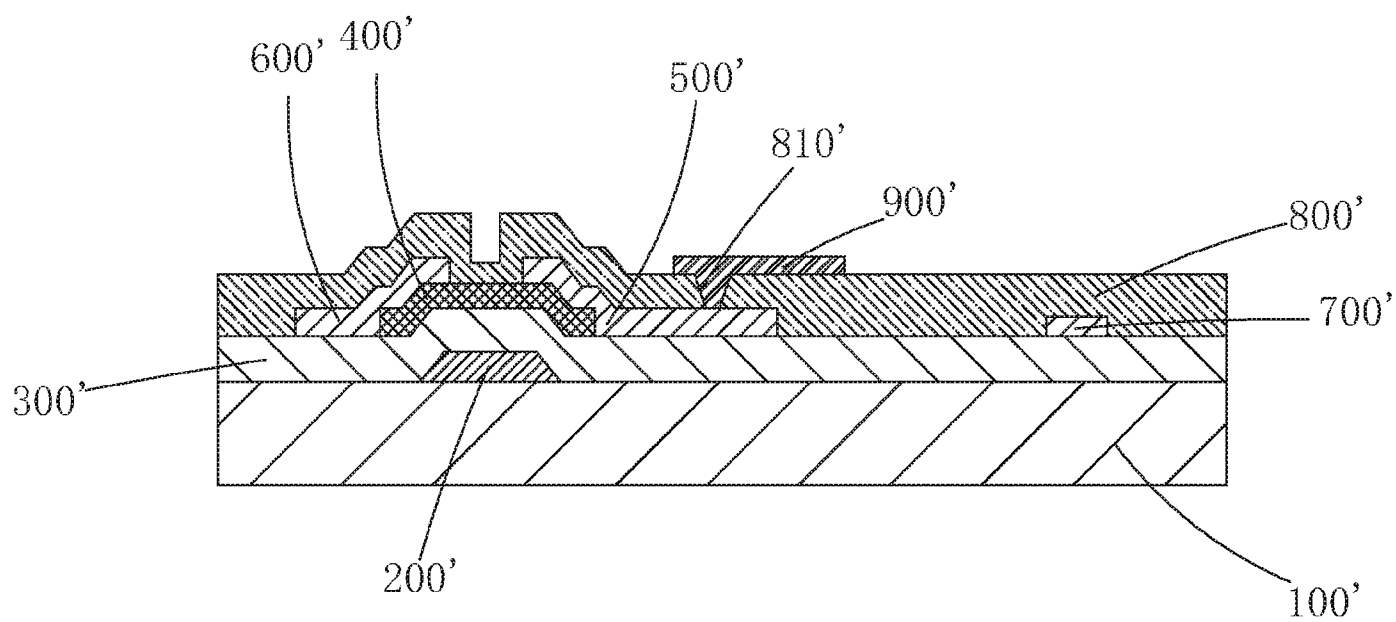


图1

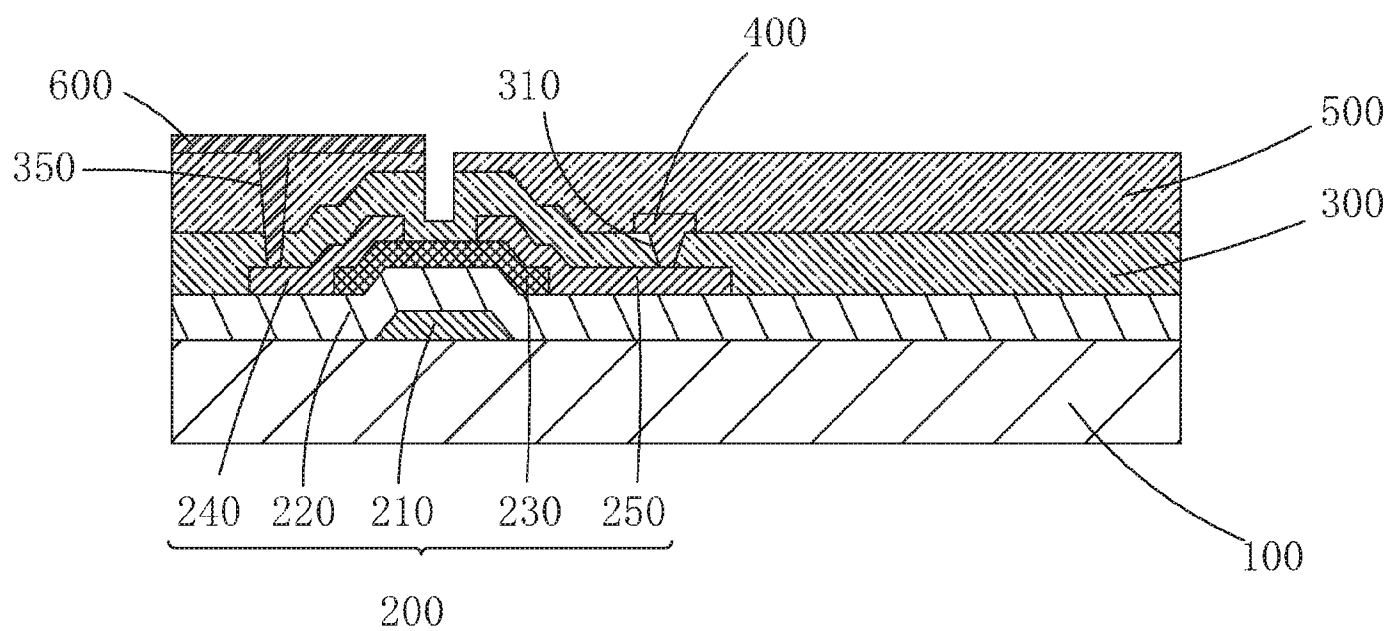


图2

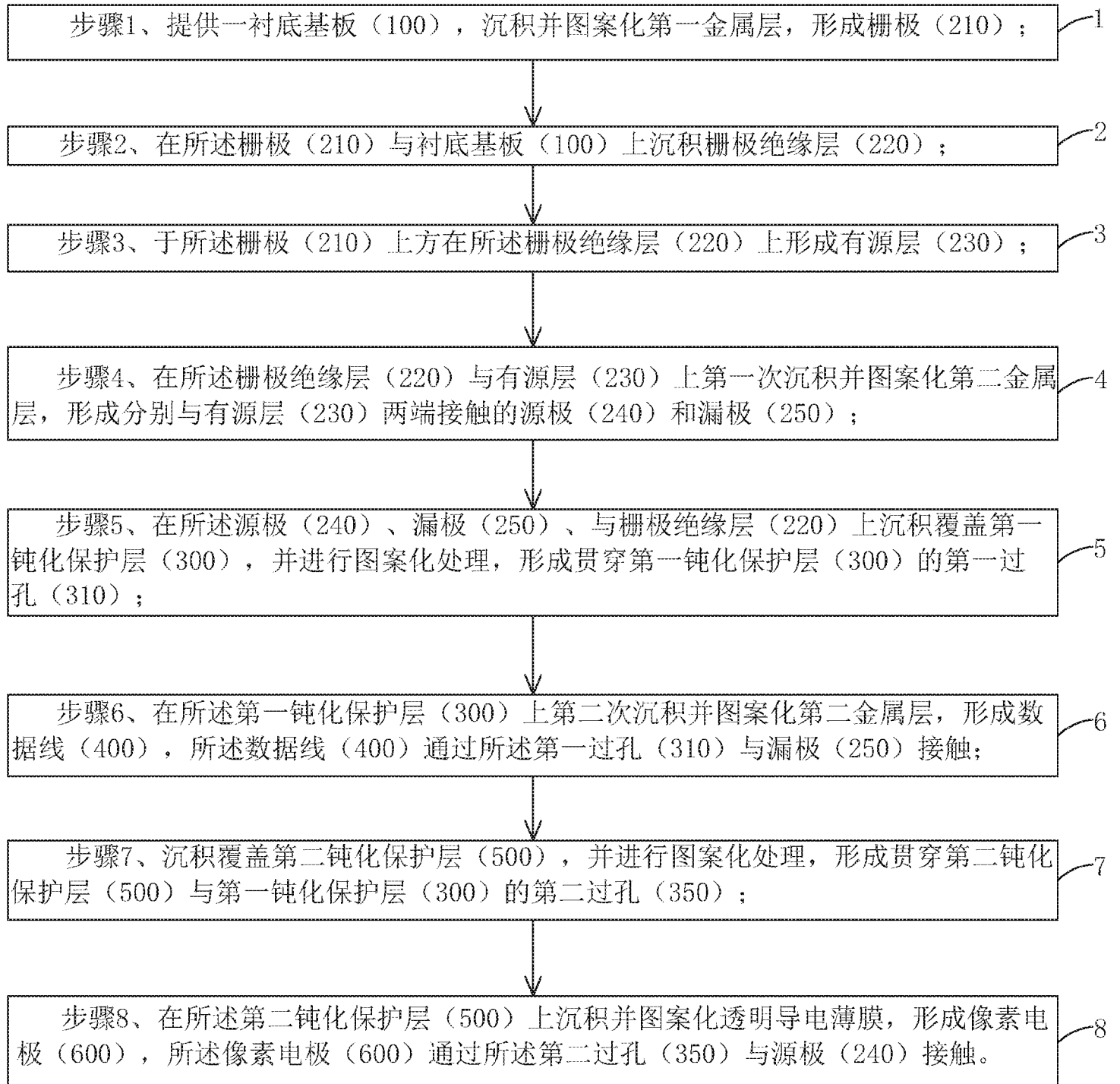


图3

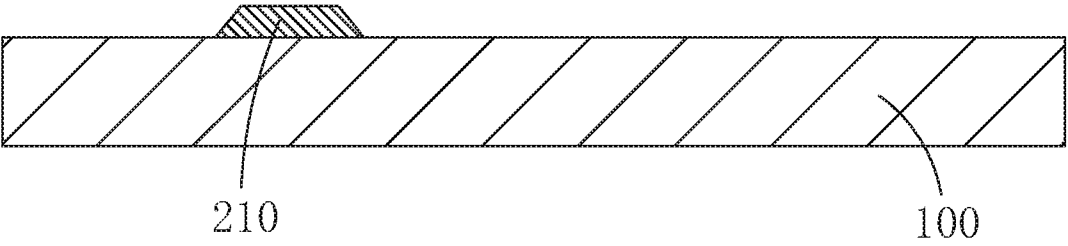


图4

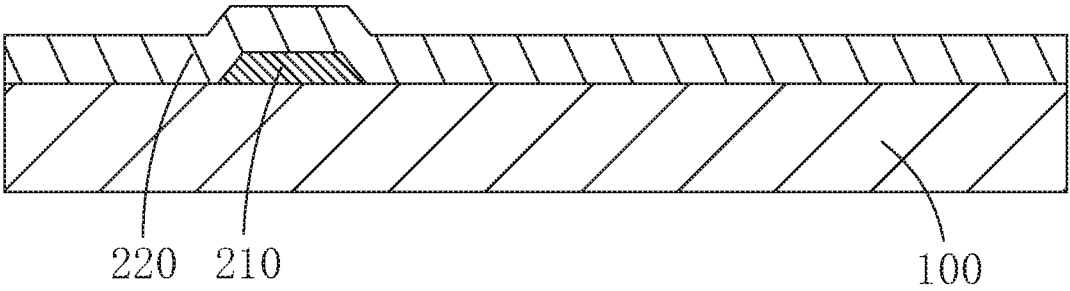


图5

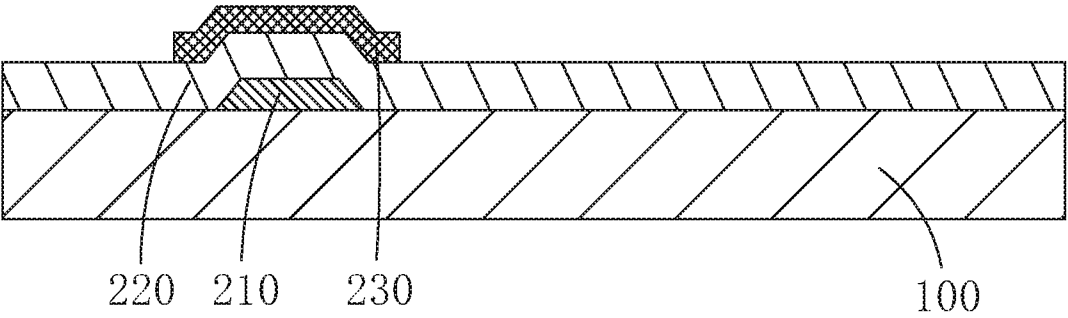


图6

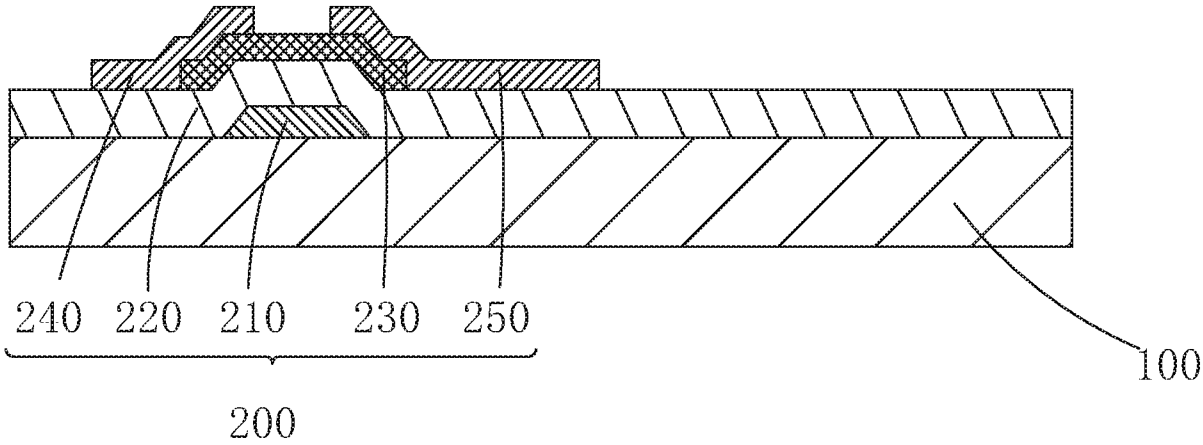


图7

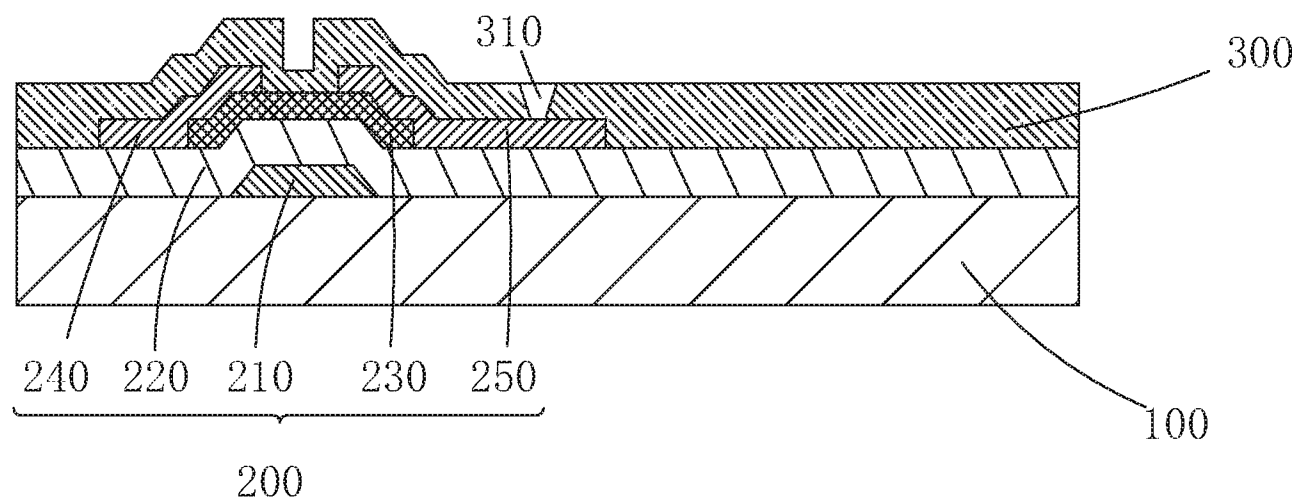


图8

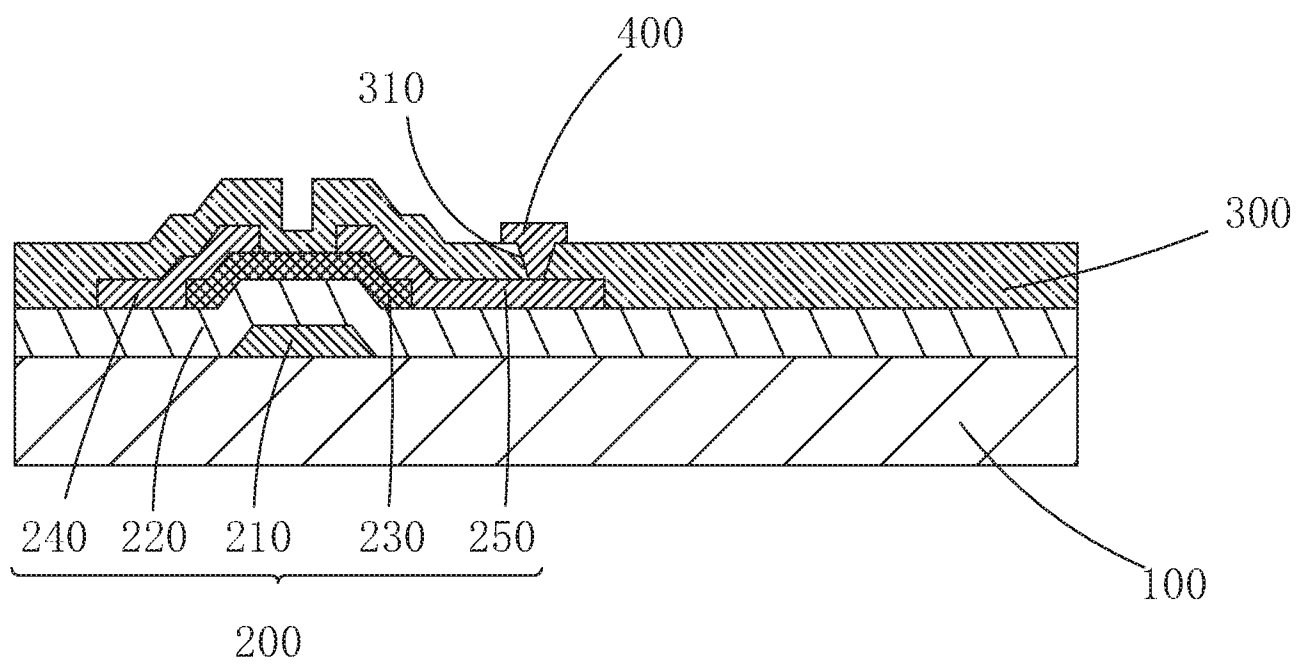


图9

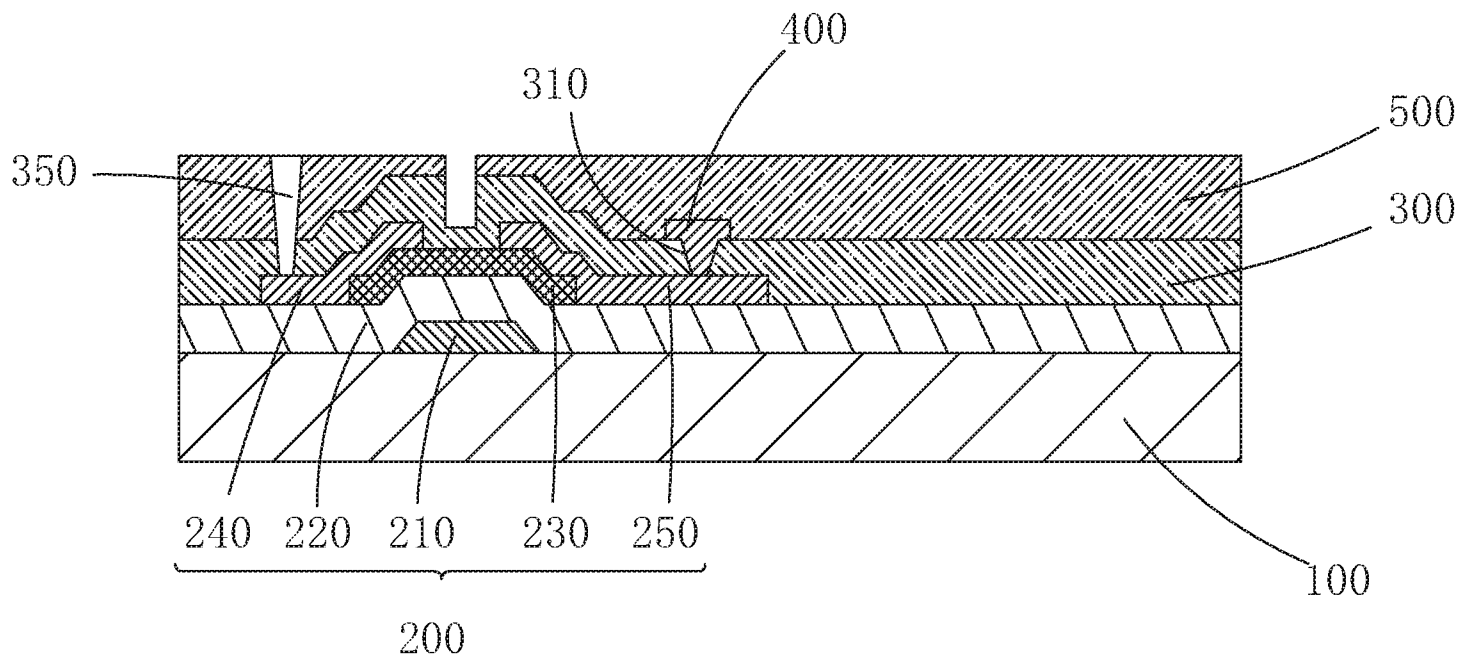


图 10

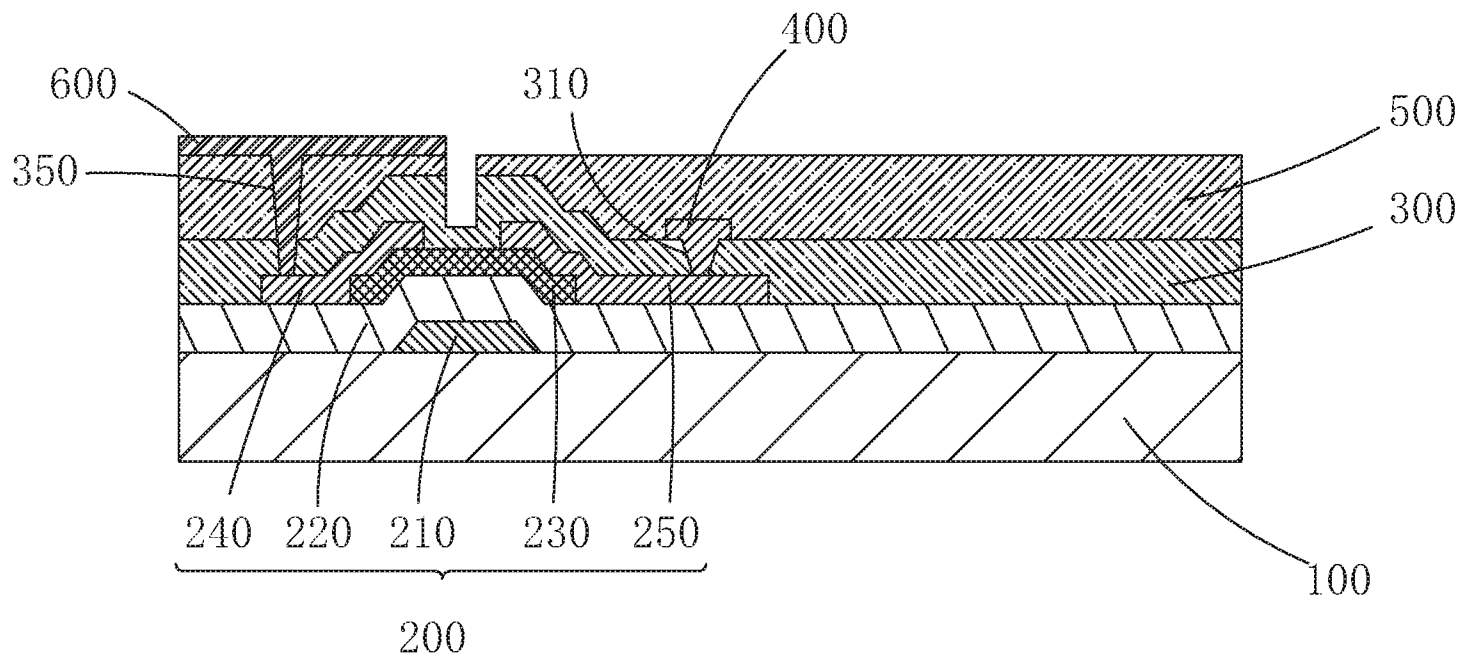


图 11

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2016/082411

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/12 (2006.01) i; H01L 29/417 (2006.01) i; H01L 29/786 (2006.01) i; H01L 21/336 (2006.01) i; H01L 21/28 (2006.01) i; H01L 21/84 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT; DWPI: data line?, data wiring?, data wire?, drain, opening?, hole?, via?, pixel electrode?, source, gate, capacit+, insert

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 101427609 A (ULVAC INC.) 06 May 2009 (06.05.2009) description, page 4, line 1 to page 6, line 9, and figures 1, 4 and 5	1-11
Y	CN 104880878 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 02 September 2015 (02.09.2015) description, paragraph [0039], and figure 3	1-11
A	CN 1441627 A (SANYO ELECTRIC CO., LTD.) 10 September 2003 (10.09.2003) the whole document	1-11
A	CN 1790138 A (HITACHI, LTD.) 21 June 2006 (21.06.2006) the whole document	1-11
A	US 2008221346 A1 (MIYAKAWA) 11 September 2008 (11.09.2008) the whole document	1-11
A	JP 2009053477 A (SEIKO EPSON CORP.) 12 March 2009 (12.03.2009) the whole document	1-11

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 22 December 2016	Date of mailing of the international search report 20 January 2017
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer TIAN, Shufeng Telephone No. (86-10) 62089264

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2016/082411

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 101427609 A	06 May 2009	JP 4926169 B2	09 May 2012
		EP 2012561 A1	07 January 2009
		RU 2401520 C2	10 October 2010
		WO 2007125801 A1	08 November 2007
		EP 2364065 A1	07 September 2011
		US 2009058265 A1	05 March 2009
		KR 101089532 B1	05 December 2011
		KR 20080111501 A	23 December 2008
		TW 200808111 A	01 February 2008
		RU 2008146742 A	10 June 2010
		US 7999464 B2	16 August 2011
		CN 101427609 B	22 February 2012
CN 104880878 A	02 September 2015	None	
CN 1441627 A	10 September 2003	CN 1251557 C	12 April 2006
		US 2003160562 A1	28 August 2003
		KR 20030070839 A	02 September 2003
		JP 2003249380 A	05 September 2003
		TW I241542 B	11 October 2005
		KR 100564198 B1	28 March 2006
		TW 200303502 A	01 September 2003
CN 1790138 A	21 June 2006	CN 1881617 A	20 December 2006
		CN 100523966 C	05 August 2009
		CN 100463225 C	18 February 2009
		KR 100526731 B1	09 November 2005
		US 6936847 B2	30 August 2005
		US 2003209709 A1	13 November 2003
		TW 583424 B	11 April 2004
		KR 20020065388 A	13 August 2002
US 2008221346 A1	11 September 2008	JP 2008224855 A	25 September 2008
JP 2009053477 A	12 March 2009	None	

A. 主题的分类		
H01L 27/12(2006.01)i; H01L 29/417(2006.01)i; H01L 29/786(2006.01)i; H01L 21/336(2006.01)i; H01L 21/28(2006.01)i; H01L 21/84(2006.01)i		
按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域		
检索的最低限度文献(标明分类系统和分类号)		
H01L		
包含在检索领域中的除最低限度文献以外的检索文献		
在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))		
CNPAT; DWPI: 数据线, 数据信号线, 漏极, 漏电极, 漏区, 汲极, 汲电极, 孔, 口, 插塞, 像素电极, 象素电极, 源极, 源电极, 源区, 栅极, 栅电极, 电容, data line?, data wiring?, data wire?, drain, opening?, hole?, via?, pixel electrode?, source, gate, capacit+		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	CN 101427609 A (株式会社爱发科) 2009年 5月 6日 (2009 - 05 - 06) 说明书第4页第1行至第6页第9行, 图1, 4-5	1-11
Y	CN 104880878 A (京东方科技集团股份有限公司 等) 2015年 9月 2日 (2015 - 09 - 02) 说明书第[0039]段, 图3	1-11
A	CN 1441627 A (三洋电机株式会社) 2003年 9月 10日 (2003 - 09 - 10) 全文	1-11
A	CN 1790138 A (株式会社日立制作所) 2006年 6月 21日 (2006 - 06 - 21) 全文	1-11
A	US 2008221346 A1 (MIYAKAWA) 2008年 9月 11日 (2008 - 09 - 11) 全文	1-11
A	JP 2009053477 A (SEIKO EPSON CORP) 2009年 3月 12日 (2009 - 03 - 12) 全文	1-11
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期		国际检索报告邮寄日期
2016年 12月 22日		2017年 1月 20日
ISA/CN的名称和邮寄地址		授权官员
中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088		田书凤
传真号 (86-10)62019451		电话号码 (86-10)62089264

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2016/082411

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	101427609	A	2009年 5月 6日	JP	4926169	B2	2012年 5月 9日
				EP	2012561	A1	2009年 1月 7日
				RU	2401520	C2	2010年 10月 10日
				WO	2007125801	A1	2007年 11月 8日
				EP	2364065	A1	2011年 9月 7日
				US	2009058265	A1	2009年 3月 5日
				KR	101089532	B1	2011年 12月 5日
				KR	20080111501	A	2008年 12月 23日
				TW	200808111	A	2008年 2月 1日
				RU	2008146742	A	2010年 6月 10日
				US	7999464	B2	2011年 8月 16日
				CN	101427609	B	2012年 2月 22日
CN	104880878	A	2015年 9月 2日	无			
CN	1441627	A	2003年 9月 10日	CN	1251557	C	2006年 4月 12日
				US	2003160562	A1	2003年 8月 28日
				KR	20030070839	A	2003年 9月 2日
				JP	2003249380	A	2003年 9月 5日
				TW	I241542	B	2005年 10月 11日
				KR	100564198	B1	2006年 3月 28日
				TW	200303502	A	2003年 9月 1日
CN	1790138	A	2006年 6月 21日	CN	1881617	A	2006年 12月 20日
				CN	100523966	C	2009年 8月 5日
				CN	100463225	C	2009年 2月 18日
				KR	100526731	B1	2005年 11月 9日
				US	6936847	B2	2005年 8月 30日
				US	2003209709	A1	2003年 11月 13日
				TW	583424	B	2004年 4月 11日
				KR	20020065388	A	2002年 8月 13日
US	2008221346	A1	2008年 9月 11日	JP	2008224855	A	2008年 9月 25日
JP	2009053477	A	2009年 3月 12日	无			

表 PCT/ISA/210 (同族专利附件) (2009年7月)