



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

229 798

(11)

(B1)

(61)

(23) Výstavní priorita

(22) Přihlášeno 23 02 83

(21) PV 1233-83

(51) Int. Cl.³ G 06 F 9/22

(40) Zveřejněno 28 10 83

(45) Vydáno 01 05 86

(75)

Autor vynálezu BUREŠ JAROSLAV ing., BRNO

(54) Zapojení řídicích obvodů vstupu a výstupu, zejména pro inteligentní terminál

Vynález se týká zapojení řídicích obvodů vstupu a výstupu, zejména pro inteligentní terminál.

Jednou ze základních funkcí inteligentních terminálů je programové řízení vnitřních i vnějších periferních zařízení, která jsou k inteligentnímu terminálu volitelně připojována prostřednictvím řídicích obvodů vstupu a výstupu. Zapojení těchto řídicích obvodů vstupu a výstupu je proto rozhodující jak pro výkon celého inteligentního terminálu, tak pro jeho složitost a tím i cenu zařízení.

Dosud známá zapojení řídicích obvodů vstupu a výstupu mají řadu nevýhod. Řídicí obvody pro střední počítač nebo mini-počítač jsou tak rozsáhlé, že jejich použití v malých zařízeních, jako jsou inteligentní terminály, není možné. Existují též řídicí obvody vstupu a výstupu, používané na příklad v programových kalkulátorech nebo inteligentních terminálech. Tyto typy řídicích obvodů však používají speciálních obvodů vysoké integrace, které jsou konstruovány pro určitý systém řízení vstupu a výstupu a které není možno realizovat u menších výrobních serií, neboť vyžadují neúměrně vysoké náklady na technologické vybavení. Je známo též zapojení řídicích obvodů vstupu a výstupu, které je realizováno z obvodů malé a střední integrace a které je dosud pro inteligentní terminály používáno. Toto zapojení má nevýhodu v tom, že veškeré řídicí příkazy pro řízení vstupu a výstupu jsou zajišťovány pomocí autonomních prostředků, bez podpory mikroprogramových funkcí procesoru, což vede k většímu rozsahu a složitosti řídicích obvodů.

Uvedené nedostatky odstraňuje zapojení řídicích obvodů vstupu a výstupu, zejména pro inteligentní terminál podle vynálezu, jehož podstatou je, že první vstup třetího dvouvstupového obvodu typu negace logického součinu je připojen na třetí vstup šestého třívstupového obvodu typu negace logického sou-

činu, na hodinové vstupy prvního a osmého klopného obvodu typu D a tvoří současně osmnáctý vstup zapojení, druhý vstup třetího dvouvstupového obvodu typu negace logického součinu je připojen na datový vstup osmého klopného obvodu typu D, jehož jedničkový výstup je připojen na vstupy pro výběr slova prvního až čtvrtého čtyřnásobného dvouvstupového multiplexoru s pamětí a tvoří současně sedmnáctý vstup zapojení, výstup třetího dvouvstupového obvodu typu negace logického součinu je připojen na první vstup druhého dvouvstupového obvodu typu negace logického součinu a na první vstup prvního dvouvstupového obvodu typu negace logického součinu, jehož výstup je připojen na hodinový vstup čtvrtého čtyřnásobného dvouvstupového multiplexoru s pamětí, výstup druhého dvouvstupového obvodu typu negace logického součinu je připojen na hodinové vstupy prvního až třetího čtyřnásobného dvouvstupového multiplexoru s pamětí, první vstup prvního multiplexoru prvního čtyřnásobného dvouvstupového multiplexoru s pamětí je připojen jednak přes dvacátý čtvrtý odpor na svorku nulového napětí, jednak přes dvacátý třetí odpor na svorku kladného napětí a je připojen dále na první výstup vstupní a výstupní sběrnice, druhý vstup prvního multiplexoru prvního čtyřnásobného dvouvstupového multiplexoru s pamětí je připojen na první datový výstup a na první datový vstup prvního obousměrného invertujícího budiče sběrnice a tvoří současně první vstup zapojení, první vstup druhého multiplexoru prvního čtyřnásobného dvouvstupového multiplexoru s pamětí je připojen jednak přes dvacátý druhý odpor na svorku nulového napětí, jednak přes dvacátý první odpor na svorku kladného napětí, jednak na druhý výstup vstupní a výstupní sběrnice, druhý vstup druhého multiplexoru prvního čtyřnásobného dvouvstupového multiplexoru s pamětí je připojen na třetí vstup osmého třívstupového obvodu typu negace logického součinu, na druhý datový výstup a na druhý datový vstup prvního obousměrného invertujícího budiče sběrnice a tvoří současně druhý vstup zapojení, první vstup třetího multiplexoru prvního čtyřnásobného dvouvstupového multiplexoru s pamětí je připojen jednak přes dvacátý odpor na svorku nulového napětí, jednak přes devatenáctý odpor na svorku kladného napětí, jednak na třetí výstup vstupní a výstupní sběrnice, druhý vstup třetího multiplexoru prvního čtyřnásobného dvouvstupového multiplexoru s pamětí je připojen na třetí datový výstup a na třetí datový vstup prvního obousměrného invertujícího budiče sběrnice a tvoří současně třetí vstup zapojení,

první vstup čtvrtého multiplexoru prvního čtyřnásobného dvouvstupového multiplexoru s pamětí je připojen jednak přes osmnáctý odpor na svorku nulového napětí, jednak přes sedmnáctý odpor na svorku kladného napětí, jednak na čtvrtý výstup vstupní a výstupní sběrnice, druhý vstup čtvrtého multiplexoru prvního čtyřnásobného dvouvstupového multiplexoru s pamětí je připojen na třetí adresovací vstup osmikanálového multiplexoru pro funkci výběru dat, na první vstup prvního převodníku z kódu BCD na kód jedna z deseti, na čtvrtý datový výstup a na čtvrtý datový vstup prvního obousměrného invertujícího budiče sběrnice a tvoří současně čtvrtý vstup zapojení, první vstup prvního multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru s pamětí je připojen jednak přes šestnáctý odpor na svorku nulového napětí, jednak přes patnáctý odpor na svorku kladného napětí, jednak na pátý výstup vstupní a výstupní sběrnice, druhý vstup prvního multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru s pamětí je připojen na druhý adresovací vstup osmikanálového multiplexoru pro funkci výběru dat, na druhý vstup prvního převodníku z kódu BCD na kód jedna z deseti, na první datový výstup a na první datový vstup druhého obousměrného invertujícího budiče sběrnice a tvoří současně pátý vstup zapojení, první vstup druhého multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru s pamětí je připojen jednak přes čtrnáctý odpor na svorku nulového napětí, jednak přes třináctý odpor na svorku kladného napětí, jednak na šestý výstup vstupní a výstupní sběrnice, druhý vstup druhého multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru s pamětí je připojen na první adresovací vstup osmikanálového multiplexoru pro funkci výběru dat, na třetí vstup prvního převodníku z kódu BCD na kód jedna z deseti, na druhý datový výstup a na druhý datový vstup druhého obousměrného invertujícího budiče sběrnice a tvoří současně šestý vstup zapojení, první vstup třetího multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru s pamětí je připojen jednak přes dvanáctý odpor na svorku nulového napětí, jednak přes jedenáctý odpor na svorku kladného napětí, jednak na sedmý výstup vstupní a výstupní sběrnice, druhý vstup třetího multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru s pamětí je připojen na čtvrtý vstup prvního převodníku z kódu BCD na kód jedna z deseti, na třetí datový výstup a na třetí datový vstup druhého obousměrného invertujícího budiče sběrnice a tvoří současně sedmý vstup zapojení, první vstup

čtvrtého multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru s pamětí je připojen jednak přes desátý odpor na svorku nulového napětí, jednak přes devátý odpor na svorku kladného napětí, jednak na osmý výstup vstupní a výstupní sběrnice, druhý vstup čtvrtého multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru s pamětí je připojen na první vstup druhého převodníku z kódu BCD na kód jedna z deseti, na čtvrtý datový výstup a na čtvrtý datový vstup druhého obousměrného invertujícího budiče sběrnice a tvoří současně osmý vstup zapojení, první vstup prvního multiplexoru třetího čtyřnásobného dvouvstupového multiplexoru s pamětí je připojen jednak přes sedmnáctý invertor na první datový vstup osmikanálového multiplexoru pro funkci výběru dat, jednak přes osmý odpor na svorku nulového napětí, jednak přes sedmý odpor na svorku kladného napětí, jednak na devátý výstup vstupní a výstupní sběrnice, druhý vstup prvního multiplexoru třetího čtyřnásobného dvouvstupového multiplexoru s pamětí je připojen na druhý vstup druhého převodníku z kódu BCD na kód jedna z deseti, na první datový výstup a na první datový vstup třetího obousměrného invertujícího budiče sběrnice a tvoří současně devátý vstup zapojení, první vstup druhého multiplexoru třetího čtyřnásobného dvouvstupového multiplexoru s pamětí je připojen jednak přes šestý odpor na svorku nulového napětí, jednak přes pátý odpor na svorku kladného napětí, jednak na desátý výstup vstupní a výstupní sběrnice, druhý vstup druhého multiplexoru třetího čtyřnásobného dvouvstupového multiplexoru s pamětí je připojen na třetí vstup druhého převodníku z kódu BCD na kód jedna z deseti, na druhý datový výstup a na druhý datový vstup třetího obousměrného invertujícího budiče sběrnice a tvoří současně desátý vstup zapojení, první vstup třetího multiplexoru třetího čtyřnásobného dvouvstupového multiplexoru s pamětí je připojen jednak přes čtvrtý odpor na svorku nulového napětí, jednak přes třetí odpor na svorku kladného napětí, jednak na jedenáctý výstup vstupní a výstupní sběrnice, druhý vstup třetího multiplexoru třetího čtyřnásobného dvouvstupového multiplexoru s pamětí je připojen na třetí datový výstup a na třetí datový vstup třetího obousměrného invertujícího budiče sběrnice a tvoří současně jedenáctý vstup zapojení, první vstup čtvrtého multiplexoru třetího čtyřnásobného dvouvstupového multiplexoru s pamětí je připojen jednak přes druhý odpor na svorku nulového napětí, jednak přes první odpor na svorku kladného napětí, jednak na dvanáctý výstup vstupní a výstupní

sběrnice, druhý vstup čtvrtého multiplexoru třetího čtyřnásobného dvouvstupového multiplexoru s pamětí je připojen na čtvrtý datový výstup a na čtvrtý datový vstup třetího obousměrného invertujícího budiče sběrnice a tvoří současně dvanáctý vstup zapojení, první vstupy prvního až čtvrtého multiplexoru čtvrtého čtyřnásobného dvouvstupového multiplexoru s pamětí jsou připojeny přes třicátý třetí odpor na svorku kladného napětí, druhý vstup prvního multiplexoru čtvrtého čtyřnásobného dvouvstupového multiplexoru s pamětí je připojen na první datový výstup a na první datový vstup čtvrtého obousměrného invertujícího budiče sběrnice a tvoří současně třináctý vstup zapojení, druhý vstup druhého multiplexoru čtvrtého čtyřnásobného dvouvstupového multiplexoru s pamětí je připojen na druhý datový výstup a na druhý datový vstup čtvrtého obousměrného invertujícího budiče sběrnice a tvoří současně čtrnáctý vstup zapojení, druhý vstup třetího multiplexoru čtvrtého čtyřnásobného dvouvstupového multiplexoru s pamětí je připojen na třetí datový výstup a na třetí datový vstup čtvrtého obousměrného invertujícího budiče sběrnice a tvoří současně patnáctý vstup zapojení, druhý vstup čtvrtého multiplexoru čtvrtého čtyřnásobného dvouvstupového multiplexoru s pamětí je připojen na čtvrtý datový výstup a na čtvrtý datový vstup čtvrtého obousměrného invertujícího budiče sběrnice a tvoří současně šestnáctý vstup zapojení, napájecí vstupy prvního až čtvrtého čtyřnásobného dvouvstupového multiplexoru s pamětí jsou připojeny na svorku kladného napětí, kdežto jejich zemnicí vstupy jsou připojeny na svorku nulového napětí, výstup prvního multiplexoru prvního čtyřnásobného dvouvstupového multiplexoru s pamětí je připojen na vstup prvního invertoru a tvoří současně první výstup zapojení, výstup druhého multiplexoru prvního čtyřnásobného dvouvstupového multiplexoru s pamětí je připojen na vstup druhého invertoru a tvoří současně druhý výstup zapojení, výstup třetího multiplexoru prvního čtyřnásobného dvouvstupového multiplexoru s pamětí je připojen na vstup třetího invertoru a tvoří současně třetí výstup zapojení, výstup čtvrtého multiplexoru prvního čtyřnásobného dvouvstupového multiplexoru s pamětí je připojen na vstup čtvrtého invertoru a tvoří současně čtvrtý výstup zapojení, výstup prvního multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru s pamětí je připojen na vstup pátého invertoru a tvoří současně pátý výstup zapojení, výstup druhého multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru s pamětí je připojen na vstup šestého inver-

toru a tvoří současně šestý výstup zapojení, výstup třetího multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru s pamětí je připojen na vstup sedmého invertoru a tvoří současně sedmý výstup zapojení, výstup čtvrtého multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru s pamětí je připojen na vstup osmého invertoru a tvoří současně osmý výstup zapojení, výstup prvního multiplexoru třetího čtyřnásobného dvouvstupového multiplexoru s pamětí je připojen na vstup devátého invertoru a tvoří současně devátý výstup zapojení, výstup druhého multiplexoru třetího čtyřnásobného dvouvstupového multiplexoru s pamětí je připojen na vstup desátého invertoru a tvoří současně desátý výstup zapojení, výstup třetího multiplexoru třetího čtyřnásobného dvouvstupového multiplexoru s pamětí je připojen na vstup jedenáctého invertoru a tvoří současně jedenáctý výstup zapojení, výstup čtvrtého multiplexoru třetího čtyřnásobného dvouvstupového multiplexoru s pamětí je připojen na vstup dvanáctého invertoru a tvoří současně dvanáctý výstup zapojení, výstup prvního multiplexoru čtvrtého čtyřnásobného dvouvstupového multiplexoru s pamětí je připojen na vstup třináctého invertoru a tvoří současně třináctý výstup zapojení, výstup druhého multiplexoru čtvrtého čtyřnásobného dvouvstupového multiplexoru s pamětí je připojen na vstup čtrnáctého invertoru a tvoří současně čtrnáctý výstup zapojení, výstup třetího multiplexoru čtvrtého čtyřnásobného dvouvstupového multiplexoru s pamětí je připojen na vstup patnáctého invertoru a tvoří současně patnáctý výstup zapojení, výstup čtvrtého multiplexoru čtvrtého čtyřnásobného dvouvstupového multiplexoru s pamětí je připojen na vstup šestnáctého invertoru a tvoří současně šestnáctý výstup zapojení, výstup prvního invertoru je připojen na první vstup vstupní a výstupní sběrnice, výstup druhého invertoru je připojen na druhý vstup vstupní a výstupní sběrnice, výstup třetího invertoru je připojen na třetí vstup vstupní a výstupní sběrnice, výstup čtvrtého invertoru je připojen na čtvrtý vstup vstupní a výstupní sběrnice, výstup pátého invertoru je připojen na pátý vstup vstupní a výstupní sběrnice, výstup šestého invertoru je připojen na šestý vstup vstupní a výstupní sběrnice, výstup sedmého invertoru je připojen na sedmý vstup vstupní a výstupní sběrnice, výstup osmého invertoru je připojen na osmý vstup vstupní a výstupní sběrnice, výstup devátého invertoru je připojen na devátý vstup vstupní a výstupní sběrnice, výstup desátého invertoru je připojen na desátý vstup

vstupní a výstupní sběrnice, výstup jedenáctého invertoru je připojen na jedenáctý vstup vstupní a výstupní sběrnice, výstup dvanáctého invertoru je připojen na dvanáctý vstup vstupní a výstupní sběrnice, výstup třináctého invertoru je připojen na třináctý vstup vstupní a výstupní sběrnice, výstup čtrnáctého invertoru je připojen na čtrnáctý vstup vstupní a výstupní sběrnice, výstup patnáctého invertoru je připojen na patnáctý vstup vstupní a výstupní sběrnice, výstup šestnáctého invertoru je připojen na šestnáctý vstup vstupní a výstupní sběrnice, napájecí vstupy prvního až čtvrtého obousměrného invertujícího budiče sběrnice jsou připojeny na svorku kladného napětí, kdežto jejich zemnicí vstupy jsou připojeny na svorku nulového napětí, první svorka vstupu a výstupu dat prvního obousměrného invertujícího budiče sběrnice je připojena na první svorku vstupu a výstupu vstupní a výstupní sběrnice, druhá svorka vstupu a výstupu dat prvního obousměrného invertujícího budiče sběrnice je připojena na druhou svorku vstupu a výstupu vstupní a výstupní sběrnice, třetí svorka vstupu a výstupu dat prvního obousměrného invertujícího budiče sběrnice je připojena na třetí svorku vstupu a výstupu vstupní a výstupní sběrnice, čtvrtá svorka vstupu a výstupu dat prvního obousměrného invertujícího budiče sběrnice je připojena na čtvrtou svorku vstupu a výstupu vstupní a výstupní sběrnice, první svorka vstupu a výstupu dat druhého obousměrného invertujícího budiče sběrnice je připojena na pátou svorku vstupu a výstupu vstupní a výstupní sběrnice, druhá svorka vstupu a výstupu dat druhého obousměrného invertujícího budiče sběrnice je připojena na šestou svorku vstupu a výstupu vstupní a výstupní sběrnice, třetí svorka vstupu a výstupu dat druhého obousměrného invertujícího budiče sběrnice je připojena na sedmou svorku vstupu a výstupu vstupní a výstupní sběrnice, čtvrtá svorka vstupu a výstupu dat druhého obousměrného invertujícího budiče sběrnice je připojena na osmou svorku vstupu a výstupu vstupní a výstupní sběrnice, první svorka vstupu a výstupu dat třetího obousměrného invertujícího budiče sběrnice je připojena na devátou svorku vstupu a výstupu vstupní a výstupní sběrnice, druhá svorka vstupu a výstupu dat třetího obousměrného invertujícího budiče sběrnice je připojena na desátou svorku vstupu a výstupu vstupní a výstupní sběrnice, třetí svorka vstupu a výstupu dat třetího obousměrného invertujícího budiče sběrnice je připojena na jedenáctou svorku vstupu a výstupu vstupní a výstupní sběrnice, čtvrtá svorka vstupu a výstu-

pu dat třetího obousměrného invertujícího budiče sběrnice je připojena na dvanáctou svorku vstupu a výstupu vstupní a výstupní sběrnice, první svorka vstupu a výstupu dat čtvrtého obousměrného invertujícího budiče sběrnice je připojena na třináctou svorku vstupu a výstupu vstupní a výstupní sběrnice, druhá svorka vstupu a výstupu dat čtvrtého obousměrného invertujícího budiče sběrnice je připojena na čtrnáctou svorku vstupu a výstupu vstupní a výstupní sběrnice, třetí svorka vstupu a výstupu dat čtvrtého obousměrného invertujícího budiče sběrnice je připojena na patnáctou svorku vstupu a výstupu vstupní a výstupní sběrnice, čtvrtá svorka vstupu a výstupu dat čtvrtého obousměrného invertujícího budiče sběrnice je připojena na šestnáctou svorku vstupu a výstupu vstupní a výstupní sběrnice, napájecí vstup osmikanálového multiplexoru pro funkci výběru dat je připojen na svorku kladného napětí, kdežto jeho zemnicí vstup je připojen na svorku nulového napětí a jeho vybavovací vstup na svorku nulového napětí, jedničkový výstup osmikanálového multiplexoru pro funkci výběru dat je připojen na datový vstup prvního klopného obvodu typu D, jehož jedničkový výstup je připojen na druhý vstup prvního čtyřvstupového součtově součinnového hradla a jehož nulový výstup je připojen na třetí vstup prvního čtyřvstupového součtově součinnového hradla, první výstup prvního převodníku z kódu BCD na kód jedna z deseti je připojen na první vstup prvního třívstupového obvodu typu negace logického součinu a na vstup osmnáctého invertoru, jehož výstup je připojen na čtvrtý vstup druhého čtyřvstupového součtově součinnového hradla, druhý výstup prvního převodníku z kódu BCD na kód jedna z deseti je připojen na vstup dvacátého prvního invertoru, jehož výstup je připojen na druhý vstup dvacátého dvouvstupového obvodu typu negace logického součinu, třetí výstup prvního převodníku z kódu BCD na kód jedna z deseti je připojen na vstup devatenáctého invertoru, jehož výstup je připojen na druhý vstup sedmnáctého dvouvstupového obvodu typu negace logického součinu a na druhý vstup dvacátého prvního dvouvstupového obvodu typu negace logického součinu, čtvrtý výstup prvního převodníku z kódu BCD na kód jedna z deseti je připojen na vstup dvacátého invertoru, jehož výstup je připojen na druhý vstup dvanáctého dvouvstupového obvodu typu negace logického součinu a na druhý vstup čtrnáctého dvouvstupového obvodu typu negace logického součinu, pátý výstup prvního převodníku z kódu BCD na kód jedna z deseti je připojen na první vstup druhého třívstupového

vého obvodu typu negace logického součinu, jehož výstup je připojen na druhý vstup šestého dvouvstupového obvodu typu negace logického součinu, sedmý výstup prvního převodníku z kódu BCD na kód jedna z deseti je připojen na třetí vstupy prvního a druhého třívstupového obvodu typu negace logického součinu a na první vstup čtvrtého dvouvstupového obvodu typu negace logického součinu, jehož výstup je připojen na druhý vstup desátého dvouvstupového obvodu typu negace logického součinu a na druhý vstup devátého dvouvstupového obvodu typu negace logického součinu, osmý výstup prvního převodníku z kódu BCD na kód jedna z deseti je připojen na druhý vstup čtvrtého dvouvstupového obvodu typu negace logického součinu, na druhý vstup druhého třívstupového obvodu typu negace logického součinu a na druhý vstup prvního třívstupového obvodu typu negace logického součinu, jehož výstup je připojen na druhý vstup pátého dvouvstupového obvodu typu negace logického součinu, na druhý vstup druhého čtyřvstupového součtově součinnového hradla a na druhý vstup třetího čtyřvstupového součtově součinnového hradla, desátý výstup prvního převodníku z kódu BCD na kód jedna z deseti je připojen na vstup dvacátého druhého invertoru, jehož výstup je připojen na druhý vstup osmnáctého dvouvstupového obvodu typu negace logického součinu a na druhý vstup devatenáctého dvouvstupového obvodu typu negace logického součinu, napájecí vstupy prvního a druhého převodníku z kódu BCD na kód jedna z deseti jsou připojeny na svorku kladného napětí, kdežto jejich zemnicí vstupy jsou připojeny na svorku nulového napětí, první výstup druhého převodníku z kódu BCD na kód jedna z deseti je připojen na vstup dvacátého třetího invertoru, jehož výstup je připojen na první vstup sedmnáctého dvouvstupového obvodu typu negace logického součinu, druhý výstup druhého převodníku z kódu BCD na kód jedna z deseti je připojen na vstup dvacátého čtvrtého invertoru, jehož výstup je připojen na první vstup pátého dvouvstupového obvodu typu negace logického součinu a na první vstup desátého dvouvstupového obvodu typu negace logického součinu, třetí výstup druhého převodníku z kódu BCD na kód jedna z deseti je připojen na první vstup prvního čtyřvstupového součtově součinnového hradla, jehož výstup tvoří současně dvacátý první výstup zapojení, čtvrtý výstup druhého převodníku z kódu BCD na kód jedna z deseti je připojen na čtvrtý vstup prvního čtyřvstupového součtově součinnového hradla, pátý výstup druhého převodníku z kódu BCD na kód jedna z deseti je připojen na první vstup třetí-

ho třívstupového obvodu typu negace logického součinu, jehož výstup je připojen na třetí vstup druhého čtyřvstupového součtově součinnového hradla, šestý výstup druhého převodníku z kódu BCD na kód jedna z deseti je připojen na druhý vstup třetího třívstupového obvodu typu negace logického součinu, sedmý výstup druhého převodníku z kódu BCD na kód jedna z deseti je připojen na třetí vstup třetího třívstupového obvodu typu negace logického součinu, osmý výstup druhého převodníku z kódu BCD na kód jedna z deseti je připojen na vstup dvacátého pátého invertoru, jehož výstup je připojen na první vstup druhého čtyřvstupového součtově součinnového hradla, na první vstup dvanáctého dvouvstupového obvodu typu negace logického součinu, na první vstup osmnáctého dvouvstupového obvodu typu negace logického součinu a na první vstup dvacátého prvního dvouvstupového obvodu typu negace logického součinu, vstup dvacátého devátého invertoru je připojen na čtvrtý datový vstup osmikanálového multiplexoru pro funkci výběru dat, na dvacátý sedmý vstup vstupní a výstupní sběrnice a tvoří současně dvacátý devátý vstup zapojení, výstup dvacátého devátého invertoru je připojen na první vstup sedmého dvouvstupového obvodu typu negace logického součinu, jehož výstup je připojen na první vstup devátého třívstupového obvodu typu negace logického součinu, vstup dvacátého šestého invertoru je připojen jednak přes dvacátý sedmý odpor na svorku kladného napětí, jednak přes dvacátý osmý odpor na svorku nulového napětí, jednak na třináctý výstup vstupní a výstupní sběrnice, výstup dvacátého šestého invertoru je připojen na první vstup dvacátého druhého dvouvstupového obvodu typu negace logického součinu a na druhý vstup devátého třívstupového obvodu typu negace logického součinu, jehož výstup tvoří současně dvacátý výstup zapojení, výstup pátého dvouvstupového obvodu typu negace logického součinu je připojen na první vstup čtvrtého třívstupového obvodu typu negace logického součinu, jehož výstup je připojen na šestý vstup osmikanálového multiplexoru pro funkci výběru dat, na druhý vstup sedmého dvouvstupového obvodu typu negace logického součinu a na první vstup pátého třívstupového obvodu typu negace logického součinu, výstup šestého dvouvstupového obvodu je připojen na třetí vstup pátého třívstupového obvodu typu negace logického součinu, jehož výstup je připojen na třetí vstup čtvrtého třívstupového obvodu typu negace logického součinu a na vstup třicátého invertoru, výstup třicátého invertoru je připojen na dvacátý vstup vstupní a výstup-

ní sběrnice, druhý vstup šestého třívstupového obvodu typu negace logického součinu tvoří současně dvacátý pátý vstup zapojení, výstup šestého třívstupového obvodu typu negace logického součinu je připojen na druhý vstup čtvrtého třívstupového obvodu typu negace logického součinu a na druhý vstup osmého dvouvstupového obvodu typu negace logického součinu, jehož výstup je připojen na druhý vstup dvacátého druhého dvouvstupového obvodu typu negace logického součinu, výstup dvacátého druhého dvouvstupového obvodu typu negace logického součinu je připojen na první vstup osmého dvouvstupového obvodu typu negace logického součinu a na třetí vstup devátého třívstupového obvodu typu negace logického součinu, výstup druhého čtyřvstupového součtově součinového hradla je připojen na nastavovací vstup druhého klopného obvodu typu D, jehož jedničkový výstup je připojen na druhý vstup osmikanálového multiplexoru pro funkci výběru dat, sedmý vstup osmikanálového multiplexoru pro funkci výběru dat tvoří současně dvacátý vstup zapojení, datový vstup druhého klopného obvodu typu D je připojen na svorku nulového napětí, kdežto jeho nulový výstup je připojen na vstup třicátého prvního invertoru, jehož výstup je připojen na dvacátý první vstup vstupní a výstupní sběrnice, vstup dvacátého sedmého invertoru je připojen na druhý vstup sedmého třívstupového obvodu typu negace logického součinu, na druhý vstup pátého třívstupového obvodu typu negace logického součinu, na dvacátý šestý vstup vstupní a výstupní sběrnice a tvoří současně třicátý vstup zapojení, výstup dvacátého sedmého invertoru je připojen na třetí a čtvrtý vstup třetího čtyřvstupového součtově součinového hradla, jehož výstup je připojen na nulovací vstup druhého klopného obvodu typu D, výstup desátého dvouvstupového obvodu typu negace logického součinu je připojen na první vstup jedenáctého dvouvstupového obvodu typu negace logického součinu, jehož výstup je připojen na druhý spouštěcí vstup prvního monostabilního klopného obvodu, druhý vstup jedenáctého dvouvstupového obvodu typu negace logického součinu je připojen jednak přes dvacátý devátý odpor na svorku kladného napětí, jednak přes třicátý odpor na svorku nulového napětí a tvoří současně devatenáctý vstup zapojení, první spouštěcí vstupy prvního a druhého monostabilního klopného obvodu jsou připojeny na svorku nulového napětí, nulový výstup prvního monostabilního klopného obvodu je připojen na druhý vstup druhého dvouvstupového obvodu typu negace logického součinu a na druhý spouštěcí vstup

druhého monostabilního klopného obvodu, jehož nulový výstup je připojen na hodinový vstup druhého klopného obvodu typu D, mezi vstup pro externí kapacitu a vstup pro externí odpor a kapacitu prvního monostabilního klopného obvodu je připojen druhý kondenzátor a mezi jeho vstup pro externí odpor a kapacitu a vstup pro externí odpor je připojen třicátý první odpor, mezi vstup pro externí kapacitu a vstup pro externí odpor a kapacitu druhého monostabilního obvodu je připojen první kondenzátor a mezi jeho vstup pro externí odpor a kapacitu a vstup pro externí odpor je připojen třicátý druhý odpor, výstup dvanáctého dvouvstupového obvodu typu negace logického součinu je připojen na první vstup třináctého dvouvstupového obvodu typu negace logického součinu, jehož výstup je připojen na vstup třicátého druhého invertoru a na první vstup sedmého třívstupového obvodu typu negace logického součinu, výstup třicátého druhého invertoru je připojen na dvacátý druhý vstup vstupní a výstupní sběrnice, výstup čtrnáctého dvouvstupového obvodu typu negace logického součinu je připojen na třetí vstup sedmého třívstupového obvodu typu negace logického součinu, jehož výstup je připojen na druhý vstup třináctého dvouvstupového obvodu typu negace logického součinu, datový vstup třetího klopného obvodu typu D tvoří současně dvacátý osmý vstup zapojení, jedničkový výstup třetího klopného obvodu typu D je připojen na vstup třicátého třetího invertoru, jehož výstup je připojen na sedmnáctý vstup vstupní a výstupní sběrnice, nulový výstup třetího klopného obvodu typu D je připojen na vstupy pro výběr obvodu prvního až čtvrtého obousměrného invertujícího budiče sběrnice, datový vstup čtvrtého klopného obvodu typu D tvoří současně dvacátý sedmý vstup zapojení, jedničkový výstup čtvrtého klopného obvodu typu D je připojen na vstupy pro řízení směru toku dat prvního až čtvrtého obousměrného invertujícího budiče sběrnice a tvoří současně sedmnáctý výstup zapojení, nulový výstup čtvrtého klopného obvodu typu D je připojen na vstup třicátého čtvrtého invertoru, jehož výstup je připojen na osmnáctý vstup vstupní a výstupní sběrnice, výstup sedmnáctého dvouvstupového obvodu typu negace logického součinu je připojen na dvacátý třetí vstup vstupní a výstupní sběrnice, první vstup patnáctého dvouvstupového obvodu typu negace logického součinu je připojen na první vstup osmého třívstupového obvodu typu negace logického součinu, na první vstup šestnáctého dvouvstupového obvodu typu negace logického součinu, na první vstup šestého třívstupového obvodu typu negace

ce logického součinu a tvoří současně dvacátý první vstup zapojení, druhý vstup patnáctého dvouvstupového obvodu typu negace logického součinu tvoří současně dvacátý čtvrtý vstup zapojení, výstup patnáctého dvouvstupového obvodu typu negace logického součinu je připojen na datový vstup pátého klopného obvodu typu D, jehož nulový výstup je připojen na vstup třicátého pátého invertoru, jehož výstup je připojen na devatenáctý vstup vstupní a výstupní sběrnice, druhý vstup osmého třívstupového obvodu tvoří současně dvacátý třetí vstup zapojení, výstup osmého třívstupového obvodu typu negace logického součinu je připojen na datový vstup šestého klopného obvodu typu D, jehož nulový výstup je připojen na první vstup šestého dvouvstupového obvodu typu negace logického součinu, na první vstup devatenáctého dvouvstupového obvodu typu negace logického součinu, na první vstup dvacátého dvouvstupového obvodu typu negace logického součinu, na první vstup čtrnáctého dvouvstupového obvodu typu negace logického součinu, na první vstup třetího čtyřvstupového součtově součinného hradla a na první vstup devátého dvouvstupového obvodu typu negace logického součinu, jehož výstup je připojen na druhý vstup prvního dvouvstupového obvodu typu negace logického součinu, druhý vstup šestnáctého dvouvstupového obvodu typu negace logického součinu tvoří současně dvacátý druhý vstup zapojení, výstup šestnáctého dvouvstupového obvodu typu negace logického součinu je připojen na datový vstup sedmého klopného obvodu typu D, jehož jedničkový výstup je připojen na čtvrtý vstup druhého převodníku z kódu BCD na kód jedna z deseti, vstup dvacátého osmého invertoru tvoří současně dvacátý šestý vstup zapojení, výstup dvacátého osmého invertoru je připojen na hodinové vstupy třetího až sedmého klopného obvodu typu D, výstup osmnáctého dvouvstupového obvodu typu negace logického součinu je připojen na dvacátý čtvrtý vstup vstupní a výstupní sběrnice, výstup devatenáctého dvouvstupového obvodu typu negace logického součinu je připojen na dvacátý pátý vstup vstupní a výstupní sběrnice, výstup dvacátého dvouvstupového obvodu typu negace logického součinu tvoří současně osmnáctý výstup zapojení, výstup dvacátého prvního dvouvstupového obvodu typu negace logického součinu tvoří současně devatenáctý výstup zapojení.

Zapojením řídicích obvodů vstupu a výstupu, zejména pro inteligentní terminál podle vynálezu se dosáhne toho, že při zachování nebo zlepšení funkčních vlastností se zapojení podstatně zjednoduší, zmenší se počet logických prvků, sníží se ce-

na a zjednoduší údržba celého zařízení. Uvedených vlastností se dosáhne tím, že veškeré řídicí funkce vnitřních i vnějších periferních zařízení jsou prováděny pomocí společných obvodů, které jsou řízeny z řídicí paměti procesoru nebo z jeho aritmetické a logické jednotky, což přináší maximální zjednodušení všech obvodů zapojení.

Příklad zapojení řídicích obvodů vstupu a výstupu, zejména pro inteligentní terminál podle vynálezu je znázorněn na připojených výkresech, na nichž

obr. 1 představuje blokové schéma zapojení,

obr. 2a až 2e schéma zapojení řídicích obvodů vstupu a výstupu,

obr. 3 časový diagram mikroinstrukce v programovatelné paměti typu ROM a

obr. 4 časový diagram časového zdroje.

První vstup třetího dvouvstupového obvodu 158 typu negace logického součinu pro signál TC je připojen na třetí vstup šestého třívstupového obvodu 182 typu negace logického součinu, na hodinové vstupy 289, 336 prvního a osmého klopného obvodu 112, 334 typu D a tvoří současně osmnáctý vstup 18 zapojení pro připojení na neznázorněnou řídicí jednotku procesoru. Druhý vstup třetího dvouvstupového obvodu 158 typu negace logického součinu pro signál OUT je připojen na datový vstup 335 osmého klopného obvodu 334 typu D, jehož jedničkový výstup je připojen na vstupy 70, 82, 94, 228 pro výběr slova prvního až čtvrtého čtyřnásobného dvouvstupového multiplexoru 101 až 104 s pamětí a tvoří současně sedmnáctý vstup 17 zapojení pro připojení na řídicí jednotku procesoru. Výstup třetího dvouvstupového obvodu 158 typu negace logického součinu je připojen na první vstup druhého dvouvstupového obvodu 157 typu negace logického součinu a na první vstup prvního dvouvstupového obvodu 156 typu negace logického součinu, jehož výstup je připojen na hodinový vstup 226 čtvrtého čtyřnásobného dvouvstupového multiplexoru 104 s pamětí. Výstup druhého dvouvstupového obvodu 157 typu negace logického součinu je připojen na hodinové vstupy 68, 80, 92 prvního až třetího čtyřnásobného dvouvstupového multiplexoru 101 až 103 s pamětí. První vstup 60 prvního multiplexoru prvního čtyřnásobného dvouvstupového multiplexoru 101 s pamětí pro signál $\overline{E(0)}$ je připojen jednak přes dvacátý čtvrtý odpor 211 na svorku 330 nulového napětí, jednak přes dvacátý třetí odpor 210 na svorku 329 kladného napětí, jednak na první výstup 022 vstupní a vý-

stupní sběrnice 333. Druhý vstup 61 prvního multiplexoru prvního čtyřnásobného dvouvstupového multiplexoru 101 s pamětí pro signál $\overline{D0}$ je připojen na první datový výstup 063 a na první datový vstup 231 prvního obousměrného invertujícího budiče 105 sběrnice a tvoří současně první vstup 1 zapojení pro připojení na neznázorněnou aritmetickou a logickou jednotku. První vstup 62 druhého multiplexoru prvního čtyřnásobného dvouvstupového multiplexoru 101 s pamětí pro signál $\overline{E(1)}$ je připojen jednak přes dvacátý druhý odpor 209 na svorku 330 nulového napětí, jednak přes dvacátý první odpor 208 na svorku 329 kladného napětí a jednak na druhý výstup 023 vstupní a výstupní sběrnice 333. Druhý vstup 63 druhého multiplexoru prvního čtyřnásobného dvouvstupového multiplexoru 101 s pamětí pro signál $\overline{D1}$ je připojen na třetí vstup osmého třívstupového obvodu 184 typu negace logického součinu, na druhý datový výstup 064 a na druhý datový vstup 232 prvního obousměrného invertujícího budiče 105 sběrnice a tvoří současně druhý vstup 2 zapojení pro připojení na aritmetickou a logickou jednotku. První vstup 64 třetího multiplexoru prvního čtyřnásobného dvouvstupového multiplexoru 101 s pamětí pro signál $\overline{E(2)}$ je připojen jednak přes dvacátý odpor 207 na svorku 330 nulového napětí, jednak přes devatenáctý odpor 206 na svorku 329 kladného napětí, jednak na třetí výstup 024 vstupní a výstupní sběrnice 333. Druhý vstup 65 třetího multiplexoru prvního čtyřnásobného dvouvstupového multiplexoru 101 s pamětí pro signál $\overline{D2}$ je připojen na třetí datový výstup 065 a na třetí datový vstup 233 prvního obousměrného invertujícího budiče 105 sběrnice a tvoří současně třetí vstup 3 zapojení pro připojení na aritmetickou a logickou jednotku. První vstup 66 čtvrtého multiplexoru prvního čtyřnásobného dvouvstupového multiplexoru 101 s pamětí pro signál $\overline{E(3)}$ je připojen jednak přes osmnáctý odpor 205 na svorku 330 nulového napětí, jednak přes sedmáctý odpor 204 na svorku 329 kladného napětí, jednak na čtvrtý výstup 025 vstupní a výstupní sběrnice 333. Druhý vstup 67 čtvrtého multiplexoru prvního čtyřnásobného dvouvstupového multiplexoru 101 s pamětí pro signál $\overline{D3}$ je připojen na třetí adresovací vstup 272 osmikanálového multiplexoru 109 pro funkci výběru dat, na první vstup 276 prvního převodníku 110 z kódu BCD na kód jedna z deseti, na čtvrtý datový výstup 066 a na čtvrtý datový vstup 234 prvního obousměrného invertujícího budiče 105 sběrnice a tvoří současně čtvrtý vstup 4 zapojení pro připojení na aritmetickou a logickou jednotku. Prv-

ní vstup 72 prvního multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru 102 s pamětí pro signál $\overline{E(4)}$ je připojen jednak přes šestnáctý odpor 203 na svorku 330 nulového napětí, jednak přes patnáctý odpor 202 na svorku 329 kladného napětí a jednak na pátý výstup 026 vstupní a výstupní sběrnice 333. Druhý vstup 73 prvního multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru 102 s pamětí pro signál $\overline{D4}$ je připojen na druhý adresovací vstup 271 osmikanálového multiplexoru 109 pro funkci výběru dat, na druhý vstup 277 prvního převodníku 110 z kódu BCD na kód jedna z deseti, na první datový výstup 067 a na první datový vstup 239 druhého obousměrného invertujícího budiče 106 sběrnice a tvoří současně pátý vstup 5 zapojení pro připojení na aritmetickou a logickou jednotku. První vstup 74 druhého multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru 102 s pamětí pro signál $\overline{E(5)}$ je připojen jednak přes čtrnáctý odpor 201 na svorku 330 nulového napětí, jednak přes třináctý odpor 200 na svorku 329 kladného napětí, jednak na šestý výstup 027 vstupní a výstupní sběrnice 333. Druhý vstup 75 druhého multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru 102 s pamětí pro signál $\overline{D5}$ je připojen na první adresovací vstup 270 osmikanálového multiplexoru 109 pro funkci výběru dat, na třetí vstup 278 prvního převodníku 110 z kódu BCD na kód jedna z deseti, na druhý datový výstup 068 a na druhý datový vstup 240 druhého obousměrného invertujícího budiče 106 sběrnice a tvoří současně šestý vstup 6 zapojení pro připojení na aritmetickou a logickou jednotku. První vstup 76 třetího multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru 102 s pamětí pro signál $\overline{E(6)}$ je připojen jednak přes dvanáctý odpor 199 na svorku 330 nulového napětí, jednak přes jedenáctý odpor 198 na svorku 329 kladného napětí, jednak na sedmý výstup 028 vstupní a výstupní sběrnice 333. Druhý vstup 77 třetího multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru 102 s pamětí pro signál $\overline{D6}$ je připojen na čtvrtý vstup 279 prvního převodníku 110 z kódu BCD na kód jedna z deseti, na třetí datový výstup 069 a na třetí datový vstup 241 druhého obousměrného invertujícího budiče 106 sběrnice a tvoří současně sedmý vstup 7 zapojení pro připojení na aritmetickou a logickou jednotku. První vstup 78 čtvrtého multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru 102 s pamětí pro signál $\overline{E(7)}$ je připojen jednak přes desátý odpor 197 na svorku 330 nulového napětí, jednak přes devátý odpor 196 na svorku 329 kladného napětí, jed-

nak na osmý výstup 029 vstupní a výstupní sběrnice 333. Druhý vstup 79 čtvrtého multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru 102 s pamětí pro signál $\overline{D7}$ je připojen na první vstup 282 druhého převodníku 111 z kódu BCD na kód jedna z deseti, na čtvrtý datový výstup 070 a na čtvrtý datový vstup 242 druhého obousměrného invertujícího budiče 106 sběrnice a tvoří současně osmý vstup 8 zapojení pro připojení na aritmetickou a logickou jednotku. První vstup 84 prvního multiplexoru třetího čtyřnásobného dvouvstupového multiplexoru 103 s pamětí pro signál $\overline{E(8)}$ je připojen jednak přes sedmnáctý invertor 137 na první datový vstup 262 osmikanálového multiplexoru 109 pro funkci výběru dat, jednak přes osmý odpor 195 na svorku 330 nulového napětí, jednak přes sedmý odpor 194 na svorku 329 kladného napětí, jednak na devátý výstup 030 vstupní a výstupní sběrnice 333. Druhý vstup 85 prvního multiplexoru třetího čtyřnásobného dvouvstupového multiplexoru 103 s pamětí pro signál $\overline{D8}$ je připojen na druhý vstup 283 druhého převodníku 111 z kódu BCD na kód jedna z deseti, na první datový výstup 071 a na první datový vstup 246 třetího obousměrného invertujícího budiče 107 sběrnice a tvoří současně devátý vstup 9 zapojení pro připojení na aritmetickou a logickou jednotku. První vstup 86 druhého multiplexoru třetího čtyřnásobného dvouvstupového multiplexoru 103 s pamětí pro signál $\overline{E(9)}$ je připojen jednak přes šestý odpor 193 na svorku 330 nulového napětí, jednak přes pátý odpor 192 na svorku 329 kladného napětí, jednak na desátý výstup 031 vstupní a výstupní sběrnice 333. Druhý vstup 87 druhého multiplexoru třetího čtyřnásobného dvouvstupového multiplexoru 103 s pamětí pro signál $\overline{D9}$ je připojen na třetí vstup 284 druhého převodníku 111 z kódu BCD na kód jedna z deseti, na druhý datový výstup 072 a na druhý datový vstup 247 třetího obousměrného invertujícího budiče 107 sběrnice a tvoří současně desátý vstup 10 zapojení pro připojení na aritmetickou a logickou jednotku. První vstup 88 třetího multiplexoru třetího čtyřnásobného dvouvstupového multiplexoru 103 s pamětí pro signál $\overline{E(10)}$ je připojen jednak přes čtvrtý odpor 191 na svorku 330 nulového napětí, jednak přes třetí odpor 190 na svorku 329 kladného napětí, jednak na jedenáctý výstup 032 vstupní a výstupní sběrnice 333. Druhý vstup 89 třetího multiplexoru třetího čtyřnásobného dvouvstupového multiplexoru 103 s pamětí pro signál $\overline{D10}$ je připojen na třetí datový výstup 073 a na třetí datový vstup 248 třetího obousměrného invertujícího budiče 107 sběrnice a tvoří současně

jedenáctý vstup 11 zapojení pro připojení na aritmetickou a logickou jednotku. První vstup 90 čtvrtého multiplexoru třetího čtyřnásobného dvouvstupového multiplexoru 103 s pamětí pro signál E(11) je připojen jednak přes druhý odpor 189 na svorku 330 nulového napětí, jednak přes první odpor 188 na svorku 329 kladného napětí, jednak na dvanáctý výstup 033 vstupní a výstupní sběrnice 333. Druhý vstup 91 čtvrtého multiplexoru třetího čtyřnásobného dvouvstupového multiplexoru 103 s pamětí pro signál D11 je připojen na čtvrtý datový výstup 074 a na čtvrtý datový vstup 249 třetího obousměrného invertujícího budiče 107 sběrnice a tvoří současně dvanáctý vstup 12 zapojení pro připojení na aritmetickou a logickou jednotku. První vstupy 96, 98, 100, 224 prvního až čtvrtého multiplexoru čtvrtého čtyřnásobného dvouvstupového multiplexoru 104 s pamětí jsou připojeny přes třicátý třetí odpor 220 na svorku 329 kladného napětí. Druhý vstup 97 prvního multiplexoru čtvrtého čtyřnásobného dvouvstupového multiplexoru 104 s pamětí pro signál D12 je připojen na první datový výstup 075 a na první datový vstup 255 čtvrtého obousměrného invertujícího budiče 108 sběrnice a tvoří současně třináctý vstup 13 zapojení pro připojení na aritmetickou a logickou jednotku. Druhý vstup 99 druhého multiplexoru čtvrtého čtyřnásobného dvouvstupového multiplexoru 104 s pamětí pro signál D13 je připojen na druhý datový výstup 076 a na druhý datový vstup 256 čtvrtého obousměrného invertujícího budiče 108 sběrnice a tvoří současně čtrnáctý vstup 14 zapojení pro připojení na aritmetickou a logickou jednotku. Druhý vstup 223 třetího multiplexoru čtvrtého čtyřnásobného dvouvstupového multiplexoru 104 s pamětí pro signál D14 je připojen na třetí datový výstup 077 a na třetí datový vstup 257 čtvrtého obousměrného invertujícího budiče 108 sběrnice a tvoří současně patnáctý vstup 15 zapojení pro připojení na aritmetickou a logickou jednotku. Druhý vstup 225 čtvrtého multiplexoru čtvrtého čtyřnásobného dvouvstupového multiplexoru 104 s pamětí pro signál D15 je připojen na čtvrtý datový výstup 078 a na čtvrtý datový vstup 258 čtvrtého obousměrného invertujícího budiče 108 sběrnice a tvoří současně šestnáctý vstup 16 zapojení pro připojení na aritmetickou a logickou jednotku. Napájecí vstupy 71, 83, 95, 229 prvního až čtvrtého čtyřnásobného dvouvstupového multiplexoru 101 až 104 s pamětí jsou připojeny na svorku 329 kladného napětí, kdežto jejich zemnicí vstupy 69, 81, 93, 227 jsou připojeny na svorku 330 nulového napětí. Výstup 047 prvního multiplexo-

ru prvního čtyřnásobného dvouvstupového multiplexoru 101 s pamětí pro signál $\overline{I0}$ je připojen na vstup prvního invertoru 121 a tvoří současně první výstup 01 zapojení pro připojení na aritmetickou a logickou jednotku. Výstup 048 druhého multiplexoru prvního čtyřnásobného dvouvstupového multiplexoru 101 s pamětí pro signál $\overline{I1}$ je připojen na vstup druhého invertoru 122 a tvoří současně druhý výstup 02 zapojení pro připojení na aritmetickou a logickou jednotku. Výstup 049 třetího multiplexoru prvního čtyřnásobného dvouvstupového multiplexoru 101 s pamětí pro signál $\overline{I2}$ je připojen na vstup třetího invertoru 123 a tvoří současně třetí výstup 03 zapojení pro připojení na aritmetickou a logickou jednotku. Výstup 050 čtvrtého multiplexoru prvního čtyřnásobného dvouvstupového multiplexoru 101 s pamětí pro signál $\overline{I3}$ je připojen na vstup čtvrtého invertoru 124 a tvoří současně čtvrtý výstup 04 zapojení pro připojení na aritmetickou a logickou jednotku. Výstup 051 prvního multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru 102 s pamětí pro signál $\overline{I4}$ je připojen na vstup pátého invertoru 125 a tvoří současně pátý výstup 05 zapojení pro připojení na aritmetickou a logickou jednotku. Výstup 052 druhého multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru 102 s pamětí pro signál $\overline{I5}$ je připojen na vstup šestého invertoru 126 a tvoří současně šestý výstup 06 zapojení pro připojení na aritmetickou a logickou jednotku. Výstup 053 třetího multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru 102 s pamětí pro signál $\overline{I6}$ je připojen na vstup sedmého invertoru 127 a tvoří současně sedmý výstup 07 zapojení pro připojení na aritmetickou a logickou jednotku. Výstup 054 čtvrtého multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru 102 s pamětí pro signál $\overline{I7}$ je připojen na vstup osmého invertoru 128 a tvoří současně osmý výstup 08 zapojení pro připojení na aritmetickou a logickou jednotku. Výstup 055 prvního multiplexoru třetího čtyřnásobného dvouvstupového multiplexoru 103 s pamětí pro signál $\overline{I8}$ je připojen na vstup devátého invertoru 129 a tvoří současně devátý výstup 09 zapojení pro připojení na aritmetickou a logickou jednotku. Výstup 056 druhého multiplexoru třetího čtyřnásobného dvouvstupového multiplexoru 103 s pamětí pro signál $\overline{I9}$ je připojen na vstup desátého invertoru 130 a tvoří současně desátý výstup 010 zapojení pro připojení na aritmetickou a logickou jednotku. Výstup 057 třetího multiplexoru třetího čtyřnásobného ^{dvouvstupového} multiplexoru 103 s pamětí pro signál $\overline{I10}$ je

připojen na vstup jedenáctého invertoru 131 a tvoří současně jedenáctý výstup 011 zapojení pro připojení na aritmetickou a logickou jednotku. Výstup 058 čtvrtého multiplexoru třetího čtyřnásobného dvouvstupového multiplexoru 103 s pamětí pro signál 111 je připojen na vstup dvanáctého invertoru 132 a tvoří současně dvanáctý výstup 012 zapojení pro připojení na aritmetickou a logickou jednotku. Výstup 059 prvního multiplexoru čtvrtého čtyřnásobného dvouvstupového multiplexoru 104 s pamětí pro signál 112 je připojen na vstup třináctého invertoru 133 a tvoří současně třináctý výstup 013 zapojení pro připojení na aritmetickou a logickou jednotku. Výstup 060 druhého multiplexoru čtvrtého čtyřnásobného dvouvstupového multiplexoru 104 s pamětí pro signál 113 je připojen na vstup čtrnáctého invertoru 134 a tvoří současně čtrnáctý výstup 014 zapojení pro připojení na aritmetickou a logickou jednotku. Výstup 061 třetího multiplexoru čtvrtého čtyřnásobného dvouvstupového multiplexoru 104 s pamětí pro signál 114 je připojen na vstup patnáctého invertoru 135 a tvoří současně patnáctý výstup 015 zapojení pro připojení na aritmetickou a logickou jednotku. Výstup 062 čtvrtého multiplexoru čtvrtého čtyřnásobného dvouvstupového multiplexoru 104 s pamětí pro signál 115 je připojen na vstup šestnáctého invertoru 136 a tvoří současně šestnáctý výstup 016 zapojení pro připojení na aritmetickou a logickou jednotku. Výstup prvního invertoru 121 pro signál $V(0)$ je připojen na první vstup 31 vstupní a výstupní sběrnice 333. Výstup druhého invertoru 122 pro signál $V(1)$ je připojen na druhý vstup 32 vstupní a výstupní sběrnice 333. Výstup třetího invertoru 123 pro signál $V(2)$ je připojen na třetí vstup 33 vstupní a výstupní sběrnice 333. Výstup čtvrtého invertoru 124 pro signál $V(3)$ je připojen na čtvrtý vstup 34 vstupní a výstupní sběrnice 333. Výstup pátého invertoru 125 pro signál $V(4)$ je připojen na pátý vstup 35 vstupní a výstupní sběrnice 333. Výstup šestého invertoru 126 pro signál $V(5)$ je připojen na šestý vstup 36 vstupní a výstupní sběrnice 333. Výstup sedmého invertoru 127 pro signál $V(6)$ je připojen na sedmý vstup 37 vstupní a výstupní sběrnice 333. Výstup osmého invertoru 128 pro signál $V(7)$ je připojen na osmý vstup 38 vstupní a výstupní sběrnice 333. Výstup devátého invertoru 129 pro signál $V(8)$ je připojen na devátý vstup 39 vstupní a výstupní sběrnice 333. Výstup desátého invertoru 130 pro signál $V(9)$ je připojen na desátý vstup 40 vstupní a výstupní sběrnice 333. Výstup jedenáctého invertoru

131 pro signál V(10) je připojen na jedenáctý vstup 41 vstupní a výstupní sběrnice 333. Výstup dvanáctého invertoru 132 pro signál V(11) je připojen na dvanáctý vstup 42 vstupní a výstupní sběrnice 333. Výstup třináctého invertoru 133 pro signál V(12) je připojen na třináctý vstup 43 vstupní a výstupní sběrnice 333. Výstup čtrnáctého invertoru 134 pro signál V(13) je připojen na čtrnáctý vstup 44 vstupní a výstupní sběrnice 333. Výstup patnáctého invertoru 135 pro signál V(14) je připojen na patnáctý vstup 45 vstupní a výstupní sběrnice 333. Výstup šestnáctého invertoru 136 pro signál V(15) je připojen na šestnáctý vstup 46 vstupní a výstupní sběrnice 333. Napájecí vstupy 235, 243, 250, 259 prvního až čtvrtého obousměrného invertujícího budiče 105 a 108 sběrnice jsou připojeny na svorku 329 kladného napětí, kdežto jejich zemnicí vstupy 237, 245, 252, 261 jsou připojeny na svorku 330 nulového napětí. První svorka 307 vstupu a výstupu dat prvního obousměrného invertujícího budiče 105 sběrnice pro signál EXT(0) je připojena na svorku 035 vstupu a výstupu vstupní a výstupní sběrnice 333. Druhá svorka 308 vstupu a výstupu dat prvního obousměrného invertujícího budiče 105 sběrnice pro signál EXT(1) je připojena na druhou svorku 036 vstupu a výstupu vstupní a výstupní sběrnice 333. Třetí svorka 309 vstupu a výstupu dat prvního obousměrného invertujícího budiče 105 sběrnice pro signál EXT(2) je připojena na třetí svorku 037 vstupu a výstupu vstupní a výstupní sběrnice 333. Čtvrtá svorka 310 vstupu a výstupu dat prvního obousměrného invertujícího budiče 105 sběrnice pro signál EXT(3) je připojena na čtvrtou svorku 038 vstupu a výstupu vstupní a výstupní sběrnice 333. První svorka 311 vstupu a výstupu dat druhého obousměrného invertujícího budiče 106 sběrnice pro signál EXT(4) je připojena na pátou svorku 039 vstupu a výstupu vstupní a výstupní sběrnice 333. Druhá svorka 312 vstupu a výstupu dat druhého obousměrného invertujícího budiče 106 sběrnice pro signál EXT(5) je připojena na šestou svorku 040 vstupu a výstupu vstupní a výstupní sběrnice 333. Třetí svorka 313 vstupu a výstupu dat druhého obousměrného invertujícího budiče 106 sběrnice pro signál EXT(6) je připojena na sedmou svorku 041 vstupu a výstupu vstupní a výstupní sběrnice 333. Čtvrtá svorka 314 vstupu a výstupu dat druhého obousměrného invertujícího budiče 106 sběrnice pro signál EXT(7) je připojena na osmou svorku 042 vstupu a výstupu vstupní a výstupní sběrnice 333. První svorka 315 vstupu a výstupu dat třetího obousměrného invertujícího budiče 107 sběr-

nice pro signál EXT(8) je připojena na devátou svorku 043 vstupu a výstupu vstupní a výstupní sběrnice 333. Druhá svorka 316 vstupu a výstupu dat třetího obousměrného invertujícího budiče 107 sběrnice pro signál EXT(9) je připojena na desátou svorku 044 vstupu a výstupu vstupní a výstupní sběrnice 333. Třetí svorka 317 vstupu a výstupu dat třetího obousměrného invertujícího budiče 107 sběrnice pro signál EXT(10) je připojena na jedenáctou svorku 045 vstupu a výstupu vstupní a výstupní sběrnice 333. Čtvrtá svorka 318 vstupu a výstupu dat třetího obousměrného invertujícího budiče 107 sběrnice pro signál EXT(11) je připojena na dvanáctou svorku 046 vstupu a výstupu vstupní a výstupní sběrnice 333. První svorka 319 vstupu a výstupu dat čtvrtého obousměrného invertujícího budiče 108 sběrnice pro signál EXT(12) je připojena na třináctou svorku 047 vstupu a výstupu vstupní a výstupní sběrnice 333. Druhá svorka 320 vstupu a výstupu dat čtvrtého obousměrného invertujícího budiče 108 sběrnice pro signál EXT(13) je připojena na čtrnáctou svorku 048 vstupu a výstupu vstupní a výstupní sběrnice 333. Třetí svorka 321 vstupu a výstupu dat čtvrtého obousměrného invertujícího budiče 108 sběrnice pro signál EXT(14) je připojena na patnáctou svorku 049 vstupu a výstupu vstupní a výstupní sběrnice 333. Čtvrtá svorka 322 vstupu a výstupu dat čtvrtého obousměrného invertujícího budiče 108 sběrnice pro signál EXT(15) je připojena na šestnáctou svorku 050 vstupu a výstupu vstupní a výstupní sběrnice 333. Napájecí vstup 275 osmikanálového multiplexoru 109 pro funkci výběru dat je připojen na svorku 329 kladného napětí, kdežto jeho zemnicí vstup 274 je připojen na svorku 330 nulového napětí a jeho vybavovací vstup 273 na svorku 330 nulového napětí. Jedničkový výstup 079 osmikanálového multiplexoru 109 pro funkci výběru dat je připojen na datový vstup 288 prvního klopného obvodu 112 typu D, jehož jedničkový výstup 096 je připojen na druhý vstup prvního čtyřvstupového součtově součinnového hradla 185 a jehož nulový výstup 097 je připojen na třetí vstup prvního čtyřvstupového součtově součinnového hradla 185. První výstup 080 prvního převodníku 110 z kódu BCD na kód jedna z deseti je připojen na první vstup prvního třívstupového obvodu 177 typu negace logického součinu a na vstup osmnáctého invertoru 138, jehož výstup pro signál XO je připojen na čtvrtý vstup druhého čtyřvstupového součtově součinnového hradla 186. Druhý výstup 081 prvního převodníku 110 z kódu BCD na kód jedna z deseti je připojen na vstup dvacátého prvního invertoru

141, jehož výstup pro signál X1 je připojen na druhý vstup dvacátého dvouvstupového obvodu 175 typu negace logického součinu. Třetí výstup 082 prvního převodníku 110 z kódu BCD na kód jedna z deseti je připojen na vstup devatenáctého invertoru 139, jehož výstup pro signál X2 je připojen na druhý vstup sedmnáctého dvouvstupového obvodu 172 typu negace logického součinu a na druhý vstup dvacátého prvního dvouvstupového obvodu 176 typu negace logického součinu. Čtvrtý výstup 083 prvního převodníku 110 z kódu BCD na kód jedna z deseti je připojen na vstup dvacátého invertoru 140, jehož výstup pro signál X3 je připojen na druhý vstup dvanáctého dvouvstupového obvodu 167 typu negace logického součinu a na druhý vstup čtrnáctého dvouvstupového obvodu 169 typu negace logického součinu. Pátý výstup 084 prvního převodníku 110 z kódu BCD na kód jedna z deseti je připojen na první vstup druhého třívstupového obvodu 178 typu negace logického součinu, jehož výstup pro signál X467 je připojen na druhý vstup šestého dvouvstupového obvodu 161 typu negace logického součinu. Sedmý výstup 085 prvního převodníku 110 z kódu BCD na kód jedna z deseti je připojen na třetí vstupy prvního a druhého třívstupového obvodu 177, 178 typu negace logického součinu a na první vstup čtvrtého dvouvstupového obvodu 159 typu negace logického součinu, jehož výstup pro signál X67 je připojen na druhý vstup desátého dvouvstupového obvodu 165 typu negace logického součinu a na druhý vstup devátého dvouvstupového obvodu 164 typu negace logického součinu. Osmý výstup 086 prvního převodníku 110 z kódu BCD na kód jedna z deseti je připojen na druhý vstup čtvrtého dvouvstupového obvodu 159 typu negace logického součinu, na druhý vstup druhého třívstupového obvodu 178 typu negace logického součinu a na druhý vstup prvního třívstupového obvodu 177 typu negace logického součinu, jehož výstup pro signál X067 je připojen na druhý vstup pátého dvouvstupového obvodu 160 typu negace logického součinu, na druhý vstup druhého čtyřvstupového součtové součinového hradla 186 a na druhý vstup třetího čtyřvstupového součtové součinového hradla 187. Desátý výstup 087 prvního převodníku 110 z kódu BCD na kód jedna z deseti je připojen na vstup dvacátého druhého invertoru 142, jehož výstup pro signál X9 je připojen na druhý vstup osmnáctého dvouvstupového obvodu 173 typu negace logického součinu a na druhý vstup devatenáctého dvouvstupového obvodu 174 typu negace logického součinu. Napájecí vstupy 280, 286 prvního a druhého převodníku 110, 111 z kódu BCD na kód jedna z

deseti jsou připojeny na svorku 329 kladného napětí, kdežto jejich zemnicí vstupy 281, 287 jsou připojeny na svorku 330 nulového napětí. První výstup 088 druhého převodníku 111 z kódu BCD na kód jedna z deseti je připojen na vstup dvacátého třetího invertoru 143, jehož výstup pro signál CLC je připojen na první vstup sedmnáctého dvouvstupového obvodu 172 typu negace logického součinu. Druhý výstup 089 druhého převodníku 111 z kódu BCD na kód jedna z deseti je připojen na vstup dvacátého čtvrtého invertoru 144, jehož výstup pro signál STF je připojen na první vstup pátého dvouvstupového obvodu 160 typu negace logického součinu a na první vstup desátého dvouvstupového obvodu 165 typu negace logického součinu. Třetí výstup 090 druhého převodníku 111 z kódu BCD na kód jedna z deseti pro signál $\overline{SFC}$ je připojen na první vstup prvního čtyřvstupového součtově součinnového hradla 185, jehož výstup pro signál IOF tvoří současně dvacátý první výstup 021 zapojení pro připojení na řídicí jednotku procesoru. Čtvrtý výstup 091 druhého převodníku 111 z kódu BCD na kód jedna z deseti pro signál $\overline{SFS}$ je připojen na čtvrtý vstup prvního čtyřvstupového součtově součinnového hradla 185. Pátý výstup 092 druhého převodníku 111 z kódu BCD na kód jedna z deseti je připojen na první vstup třetího třívstupového obvodu 179 typu negace logického součinu, jehož výstup pro signál MLO je připojen na třetí vstup druhého čtyřvstupového součtově součinnového hradla 186. Šestý výstup 093 druhého převodníku 111 z kódu BCD na kód jedna z deseti je připojen na druhý vstup třetího třívstupového obvodu 179 typu negace logického součinu. Sedmý výstup 094 druhého převodníku 111 z kódu BCD na kód jedna z deseti je připojen na třetí vstup třetího třívstupového obvodu 179 typu negace logického součinu. Osmý výstup 095 druhého převodníku 111 z kódu BCD na kód jedna z deseti je připojen na vstup dvacátého pátého invertoru 145, jehož výstup pro signál STC je připojen na první vstup druhého čtyřvstupového součtově součinnového hradla 186, na první vstup dvanáctého dvouvstupového obvodu 167 typu negace logického součinu, na první vstup osmnáctého dvouvstupového obvodu 173 typu negace logického součinu a na první vstup dvacátého prvního dvouvstupového obvodu 176 typu negace logického součinu. Vstup dvacátého devátého invertoru 149 pro signál KSTOP je připojen na čtvrtý datový vstup 265 osmikanálového multiplexoru 109 pro funkci výběru dat, na dvacátý sedmý vstup 57 vstupní a výstupní sběrnice 333 a tvoří současně dvacátý devátý vstup 29 zapojení pro

připojení na neznázorněnou klávesnici. Výstup dvacátého devátého invertoru 149 je připojen na první vstup sedmého dvouvstupového obvodu 162, ^{typu negace logického součinu} jehož výstup je připojen na první vstup devátého třívstupového obvodu 264 typu negace logického součinu. Vstup dvacátého šestého invertoru 146 pro signál $\bar{P}$ je připojen jednak přes dvacátý sedmý odpor 214 na svorku 329 kladného napětí, jednak přes dvacátý osmý odpor 215 na svorku 330 nulového napětí, jednak na třináctý výstup 034 vstupní a výstupní sběrnice 333. Výstup dvacátého šestého invertoru 146 je připojen na první vstup dvacátého druhého dvouvstupového obvodu 266 typu negace logického součinu a na druhý vstup devátého třívstupového obvodu 264 typu negace logického součinu, jehož výstup pro signál $\overline{PRER}$ tvoří současně dvacátý výstup 020 zapojení pro připojení na řídicí jednotku procesoru. Výstup pátého dvouvstupového obvodu 160 typu negace logického součinu je připojen na první vstup čtvrtého třívstupového obvodu 180 typu negace logického součinu, jehož výstup pro signál $\overline{PREB1}$ je připojen na šestý vstup 267 osmikanálového multiplexoru 109 pro funkci výběru dat, na druhý vstup sedmého dvouvstupového obvodu 162 typu negace logického součinu a na první vstup pátého třívstupového obvodu 181 typu negace logického součinu. Výstup šestého dvouvstupového obvodu 161 je připojen na třetí vstup pátého třívstupového obvodu 181 typu negace logického součinu, jehož výstup je připojen na třetí vstup čtvrtého třívstupového obvodu 180 typu negace logického součinu a na vstup třicátého invertoru 150. Výstup třicátého invertoru 150 pro signál $\overline{PREB}$ je připojen na dvacátý vstup 50 vstupní a výstupní sběrnice 333. Druhý vstup šestého třívstupového obvodu 182 typu negace logického součinu pro signál $\overline{K6}$ tvoří současně dvacátý pátý vstup 25 zapojení pro připojení na řídicí jednotku procesoru. Výstup šestého třívstupového obvodu 182 typu negace logického součinu je připojen na druhý vstup čtvrtého třívstupového obvodu 180 typu negace logického součinu a na druhý vstup osmého dvouvstupového obvodu 163 typu negace logického součinu, jehož výstup je připojen na druhý vstup dvacátého druhého dvouvstupového obvodu 266 typu negace logického součinu. Výstup dvacátého druhého dvouvstupového obvodu 266 typu negace logického součinu je připojen na první vstup osmého dvouvstupového obvodu 163 typu negace logického součinu a na třetí vstup devátého třívstupového obvodu 264 typu negace logického součinu. Výstup druhého čtyřvstupového součtově součinnového hradla 186 je připojen na nastavovací vstup 269 druhého klopného ob-

vodu 113 typu D, jehož jedničkový výstup 098 pro signál RBIT1 je připojen na druhý vstup 263 osmikanálového multiplexoru 109 pro funkci výběru dat. Sedmý vstup 268 osmikanálového multiplexoru 109 pro funkci výběru dat pro signál SHIFT tvoří současně dvacátý vstup 20 zapojení pro připojení na neznázorněnou klávesnici. Datový vstup 290 druhého klopného obvodu 113 typu D je připojen na svorku 330 nulového napětí, kdežto jeho nulový výstup 099 je připojen na vstup třicátého prvního invertoru 151, jehož výstup pro signál RBIT je připojen na dvacátý první vstup 51 vstupní a výstupní sběrnice 333. Vstup dvacátého sedmého invertoru 147 pro signál NUL je připojen na druhý vstup sedmého třívstupového obvodu 183 typu negace logického součinu, na druhý vstup pátého třívstupového obvodu 181 typu negace logického součinu, na dvacátý šestý vstup 56 vstupní a výstupní sběrnice 333 a tvoří současně třicátý vstup 30 zapojení pro připojení na řídicí jednotku procesoru. Výstup dvacátého sedmého invertoru 147 je připojen na třetí a čtvrtý vstup třetího čtyřvstupového součtově součinnového hradla 187, jehož výstup je připojen na nulovací vstup 292 druhého klopného obvodu 113 typu D. Výstup desátého dvouvstupového obvodu 165 typu negace logického součinu je připojen na první vstup jedenáctého dvouvstupového obvodu 166 typu negace logického součinu, jehož výstup je připojen na druhý spouštěcí vstup 304 prvního monostabilního klopného obvodu 119. Druhý vstup jedenáctého dvouvstupového obvodu 166 typu negace logického součinu pro signál INPUT je připojen jednak přes dvacátý devátý odpor 216 na svorku 329 kladného napětí, jednak přes třicátý odpor 217 na svorku 330 nulového napětí a tvoří současně devatenáctý vstup 19 zapojení pro připojení na neznázorněnou kazetovou páskovou paměť. První spouštěcí vstupy 303, 305 prvního a druhého monostabilního klopného obvodu 119, 120 jsou připojeny na svorku 330 nulového napětí. Nulový výstup 0107 prvního monostabilního klopného obvodu 119 je připojen pro signál V011S na druhý vstup druhého dvouvstupového obvodu 157 typu negace logického součinu a na druhý spouštěcí vstup 306 druhého monostabilního klopného obvodu 120, jehož nulový výstup 0108 je připojen na hodinový vstup 291 druhého klopného obvodu 113 typu D. Mezi vstup 323 pro externí kapacitu a vstup 324 pro externí odpor a kapacitu prvního monostabilního klopného obvodu 119 je připojen druhý kondenzátor 222 a mezi jeho vstup 324 pro externí odpor a kapacitu a vstup 325 pro externí odpor je připojen třicátý první odpor 218. Mezi vstup 326 pro externí kapacitu a vstup

327 pro externí odpor a kapacitu druhého monostabilního klopného obvodu 120 je připojen první kondenzátor 221 a mezi jeho vstup 327 pro externí odpor a kapacitu a vstup 328 pro externí odpor je připojen třicátý druhý odpor 219. Výstup dvanáctého dvouvstupového obvodu 167 typu negace logického součinu je připojen na první vstup třináctého dvouvstupového obvodu 168 typu negace logického součinu, jehož výstup pro signál $\overline{R03}$ je připojen na vstup třicátého druhého invertoru 152 a na první vstup sedmého třívstupového obvodu 183 typu negace logického součinu. Výstup třicátého druhého invertoru 152 pro signál $\overline{R03}$ je připojen na dvacátý druhý vstup 52 vstupní a výstupní sběrnice 333. Výstup čtrnáctého dvouvstupového obvodu 169 typu negace logického součinu je připojen na třetí vstup sedmého třívstupového obvodu 183 typu negace logického součinu, jehož výstup je připojen na druhý vstup třináctého dvouvstupového obvodu 168 typu negace logického součinu. Datový vstup 293 třetího klopného obvodu 114 typu D pro signál CS tvoří současně dvacátý osmý vstup 28 zapojení pro připojení na řídicí jednotku procesoru. Jedničkový výstup 0100 třetího klopného obvodu 114 typu D je připojen na vstup třicátého třetího invertoru 153, jehož výstup pro signál $\overline{DMA}$ je připojen na sedmnáctý vstup 47 vstupní a výstupní sběrnice 333. Nulový výstup 0101 třetího klopného obvodu 114 typu D pro signál $\overline{DMA}$ je připojen na vstupy 230, 238, 253, 254 pro výběr obvodu prvního až čtvrtého obousměrného invertujícího budiče 105 až 108 sběrnice. Datový vstup 295 čtvrtého klopného obvodu 115 typu D pro signál INP tvoří současně dvacátý sedmý vstup 27 zapojení pro připojení na řídicí jednotku procesoru. Jedničkový výstup 0102 čtvrtého klopného obvodu 115 typu D pro signál $\overline{ED}$ je připojen na vstupy 236, 244, 251, 260 pro řízení směru toku dat prvního až čtvrtého obousměrného invertujícího budiče 105 až 108 sběrnice a tvoří současně sedmnáctý výstup 017 zapojení pro připojení na aritmetickou a logickou jednotku. Nulový výstup 0103 čtvrtého klopného obvodu 115 typu D je připojen na vstup třicátého čtvrtého invertoru 154, jehož výstup pro signál $\overline{DCE}$ je připojen na osmnáctý vstup 48 vstupní a výstupní sběrnice 333. Výstup sedmnáctého dvouvstupového obvodu 172 typu negace logického součinu pro signál $\overline{CLC2}$ je připojen na dvacátý třetí vstup 53 vstupní a výstupní sběrnice 333. První vstup patnáctého dvouvstupového obvodu 170 typu negace logického součinu pro signál DEC je připojen na první vstup osmého třívstupového obvodu 184 typu negace logického součinu, na první vstup šestnáctého

ho dvouvstupového obvodu 171 typu negace logického součinu, na první vstup šestého třívstupového obvodu 182 typu negace logického součinu a tvoří současně dvacátý první vstup 21 zapojení pro připojení na řídicí jednotku procesoru. Druhý vstup patnáctého dvouvstupového obvodu 170 typu negace logického součinu pro signál $\overline{K5}$ tvoří současně dvacátý čtvrtý vstup 24 zapojení pro připojení na řídicí jednotku procesoru. Výstup patnáctého dvouvstupového obvodu 170 typu negace logického součinu je připojen na datový vstup 297 pátého klopného obvodu 116 typu D, jehož nulový výstup 0104 je připojen na vstup třicátého pátého invertoru 155, jehož výstup pro signál $\overline{DMAS}$ je připojen na devatenáctý vstup 49 vstupní a výstupní sběrnice 333. Druhý vstup osmého třívstupového obvodu 184 pro signál $\overline{K2}$ tvoří současně dvacátý třetí vstup 23 zapojení pro připojení na řídicí jednotku procesoru. Výstup osmého třívstupového obvodu 184 typu negace logického součinu je připojen na datový vstup 299 šestého klopného obvodu 117 typu D, jehož nulový výstup 0105 pro signál $\overline{CLF}$ je připojen na první vstup šestého dvouvstupového obvodu 161 typu negace logického součinu, na první vstup devatenáctého dvouvstupového obvodu 174 typu negace logického součinu, na první vstup dvacátého dvouvstupového obvodu 175 typu negace logického součinu, na první vstup čtrnáctého dvouvstupového obvodu 169 typu negace logického součinu, na první vstup třetího čtyřvstupového součtově součinového hradla 187 a na první vstup devátého dvouvstupového obvodu 164 typu negace logického součinu, jehož výstup pro signál $\overline{VI2I5R}$ je připojen na druhý vstup prvního dvouvstupového obvodu 156 typu negace logického součinu. Druhý vstup šestnáctého dvouvstupového obvodu 171 typu negace logického součinu pro signál $\overline{K1}$ tvoří současně dvacátý druhý vstup 22 zapojení pro připojení na řídicí jednotku procesoru. Výstup šestnáctého dvouvstupového obvodu 171 typu negace logického součinu je připojen na datový vstup 301 sedmého klopného obvodu 118 typu D, jehož jedničkový výstup 0106 pro signál $\overline{FA}$ je připojen na čtvrtý vstup 285 druhého převodníku 111 z kódu BCD na kód jedna z deseti. Vstup dvacátého osmého invertoru 148 pro signál $\overline{TB}$ tvoří současně dvacátý šestý vstup 26 zapojení pro připojení na řídicí jednotku procesoru. Výstup dvacátého osmého invertoru 148 je připojen na hodinové vstupy 294, 296, 298, 300, 302 třetího až sedmého klopného obvodu 114 až 118 typu D. Výstup osmnáctého dvouvstupového obvodu 173 typu negace logického součinu pro signál $\overline{STC9}$ je připojen na dvacátý čtvrtý vstup 54 vstupní a výstup-

ní sběrnice 333. Výstup devatenáctého dvouvstupového obvodu 174 typu negace logického součinu pro signál $\overline{CLF9}$ je připojen na dvacátý pátý vstup 55 vstupní a výstupní sběrnice 333. Výstup dvacátého dvouvstupového obvodu 175 typu negace logického součinu pro signál $\overline{X05}$ tvoří současně osmnáctý výstup 018 zapojení pro připojení na neznázorněný obvod řízení indikace. Výstup dvacátého prvního dvouvstupového obvodu 176 typu negace logického součinu pro signál $\overline{BEEP}$ tvoří současně devatenáctý výstup 019 zapojení pro připojení na neznázorněný obvod řízení zvukového signálu.

Zapojení sestává ze vstupního a výstupního registru 331, vstupního a výstupního řadiče 332 a vstupní a výstupní sběrnice 333 (obr. 1). Zapojení je zapojeno do procesorového systému a s řídicí jednotkou procesoru je spojeno pomocí signálů TC , $\overline{TB}$, jež představují vstupní časové signály pro časování řídicí jednotky, OUT , představujícího vstupní signál pro přepis dat do vstupního a výstupního registru 331, INP , jako vstupního signálu pro nastavení směru budičů sběrnic, CS , jako vstupního signálu pro otevření budičů sběrnic, $\overline{IOF}$, znamenajícího výstupní signál stavových hlášení, DEC , jako vstupního signálu pro přepnutí formátu, $\overline{PRER}$, jako konstanty, oznamující žádost o přerušení procesoru, $\overline{K1}$, $\overline{K2}$, $\overline{K5}$, $\overline{K6}$, jež představují řídicí bity pro nastavení fází $\overline{FA}$, $\overline{CLF}$ řízení rychlého kanálu a přerušení. S aritmetickou a logickou jednotkou je spojeno pomocí signálů $\overline{D0}$ až $\overline{D15}$, představujících vstup dat do vstupního a výstupního registru 331, do budičů sběrnic a vstup kódu operace do vstupního a výstupního řadiče 332, $\overline{I0}$ až $\overline{I15}$, představujících výstup dat ze vstupního a výstupního registru 331 do aritmetické a logické jednotky, $\overline{ED}$, jako výstupního signálu pro otevření datové sběrnice v aritmetické a logické jednotce. Všechna periferní zařízení vnitřní i vnější jsou připojena na vstupní a výstupní sběrnici 333. Kromě vstupní a výstupní sběrnice 333 jsou pro vnitřní periferní zařízení určeny signály $\overline{X05}$, představující výstupní signál pro řízení světelné indikace, $\overline{BEEP}$, jako výstupní signál pro řízení akustického signálu, $\overline{INPUT}$, představující vstupní signál pro požadavek z kazetové páskové paměti, $\overline{SHIFT}$, jako vstupní signál pro hlášení stavu z klávesnice.

Řídicí obvody řídí vstupní a výstupní sběrnici 333, na kterou přenášejí data z aritmetické a logické jednotky a do aritmetické a logické jednotky prostřednictvím vstupního a výstupního

registru 331 a kterou řídí prostřednictvím vstupního a výstupního řadiče 332 na základě mikroinstrukce, přicházející z řídicí jednotky procesoru. Dále pak řídí všechny vstupní a výstupní jednotky, které jsou součástí inteligentního terminálu, to je kazetovou páskovou paměť, displej, klávesnici a obvody indikace. Styk s procesorem zajišťují vstupní signály $\overline{D0}$ až $\overline{D15}$, to je šestnáct signálů, které přicházejí z datové sběrnice v aritmetické a logické jednotce přes vstupní a výstupní registr 331 do periferních zařízení, prostřednictvím signálů $V(0)$ až $V(15)$ nebo prostřednictvím signálů $EXT(0)$ až $EXT(15)$ rychlého kanálu. Dále jsou to výstupní signály $\overline{I0}$ až $\overline{I15}$, které jsou zavedeny na datovou sběrnici v aritmetické a logické jednotce. Vstupní signály $K1$, $K2$, $K5$, $K6$, INP, CS, OUT, DEC přicházejí z paměti mikroprogramů, která je součástí řídicí jednotky procesoru a ve které jsou uloženy mikroprogramy pro obsluhu řídicích obvodů vstupu a výstupu. Vyvoláním příslušného mikroprogramu v řídicí jednotce procesoru vykoná vstupní a výstupní řadič 332 požadovanou operaci s periferním zařízením. Signál $\overline{PRER}$ oznamuje procesoru žádost o přerušeni, požadované signálem $\overline{P}$ a signál $\overline{PREB}$ oznamuje všem periferním jednotkám, že činnost procesoru je přerušena. Styk s časovým zdrojem procesoru v řídicí jednotce procesoru se děje vstupními signály $\overline{TB}$, $\overline{TC}$, které určují jednotlivé kroky mikroprogramu v řídicí jednotce procesoru a tím též určují časové intervaly, ve kterých se má provádět příslušná vstupní nebo výstupní operace v řídicích obvodech. K internímu styku mezi vstupním a výstupním řadičem 332 a vstupním a výstupním registrem 331 slouží signál $\overline{V0I15}$ pro přenos informace ze vstupní a výstupní sběrnice 333 do vstupního a výstupního registru 331, signál $\overline{V12I15R}$ pro nulování adresy periferního zařízení, signál $\overline{DMA}$ pro přepnutí směru třístavových obousměrných invertujících budičů 105 až 108 sběrnic s výstupními signály $EXT(0)$ až $EXT(15)$ a signál $\overline{ED}$ pro otevření datových cest mezi aritmetickou a logickou jednotkou a vstupním a výstupním registrem 331. K řízení interních vstupních a výstupních jednotek jsou určeny signály $\overline{INPUT}$ pro řízení kazetové páskové paměti, $\overline{SHIFT}$ pro hlášení stavu klávesnice, $\overline{BEEP}$ pro řízení zvukového signálu a $\overline{X05}$ pro řízení indikace. Řízení periferních zařízení se děje pomocí signálů na vstupní a výstupní sběrnici 333. Šestnáct výstupních signálů $V(0)$ až $V(15)$ slouží pro přenos dat, příkazů a adres ze vstupního a výstupního registru 331 do periferních zařízení. Dvanáct vstupních signálů $E(0)$ až $E(11)$ slouží pro přenos dat a

stavů z periferních zařízení do vstupního a výstupního registru 331, vstupní signál $\overline{E(8)}$ provádí zpětné hlášení z periferních zařízení do vstupního a výstupního řadiče 332 o tom, že toto zařízení ukončilo svoji činnost. Vstupní signál $\overline{P}$ přenáší z periferních zařízení do vstupního a výstupního řadiče 332 žádost o přerušení. Výstupní signál $\overline{PREB}$ podává hlášení ze vstupního a výstupního řadiče 332 do periferního zařízení o tom, že přerušení procesoru je blokováno. $\overline{RBIT}$ je řídicí bit, který určuje dobu platnosti dat, příkazů a adres, daných signály $V(0)$ až $V(15)$. Signál $\overline{RO3}$ modifikuje signály $\overline{E(0)}$ až $\overline{E(11)}$ při obsluze přerušení. Signály $\overline{CLC2}$, $\overline{STC9}$, $\overline{CLF9}$ řídí kontrolní bity v periferních zařízeních. Signál $\overline{NUL}$, přiváděný současně do vstupního a výstupního řadiče 332, nastavuje počáteční stav. Signálem $\overline{KSTOP}$ se nuceně ukončuje činnost periferního zařízení. Činnost rychlého kanálu je řízena signálem $\overline{DMA}$, který otevírá v příslušném periferním zařízení a ve vstupním a výstupním registru 331 třístavové obousměrné invertující budiče 105 až 108 pro signály $EXT(0)$ až $EXT(15)$, dále signálem $\overline{DCE}$, který nastavuje směr přenosu dat na obousměrných invertujících budičů 105 až 108 sběrnic pro signály $EXT(0)$ až $EXT(15)$ rychlého kanálu a signálem $\overline{DMAS}$, který určuje dobu platnosti dat na sběrnicích rychlého kanálu. Signálem $\overline{NUL}$ se zapojení uvede do výchozího stavu. Podnět k jakékoliv vstupní nebo výstupní operaci je dán z procesoru pomocí signálů $\overline{DEC}$, $\overline{K1}$, $\overline{K2}$, $\overline{K5}$, $\overline{K6}$, které jsou generovány mikroprogramově, stejně jako signály $\overline{OUT}$, $\overline{INP}$, $\overline{CS}$ (obr. 3). Kombinací signálů $\overline{DEC.K1}$ se startuje fáze $\overline{FA}$, daná stejnojmenným signálem, $\overline{DEC.K2.D1}$ fáze $\overline{CLF}$, daná stejnojmenným signálem a $\overline{DEC.K5}$ fáze $\overline{DMAS}$, daná stejnojmenným signálem. Současně s příchodem těchto signálů přichází z procesoru kód vstupní a výstupní operace, tvořený datovými signály $\overline{D3}$ až $\overline{D9}$, jdoucími z datových sběrnic aritmetické a logické jednotky. Tento kód je dekodován pomocí převodníků 110, 111 z kódu BCD na kód jedna z deseti a přiveden na vstupy kombinačních logických obvodů řadiče vstupního a výstupního řadiče 332, které již generují buď přímo nebo prostřednictvím paměti výsledné signály vstupní a výstupní sběrnice 333, to je signály $\overline{RBIT}$, $\overline{PREB}$, $\overline{RO3}$, $\overline{CLC2}$, $\overline{DMAS}$, $\overline{STC9}$, $\overline{CLF9}$, $\overline{BEEP}$. Dále jsou generovány interní signály $\overline{V011S}$ a $\overline{V1215R}$ pro řízení vstupního a výstupního registru 331. Tyto signály spolu se signálem $\overline{OUT}$, jdoucím z paměti mikroprogramu, ovládají vstupní a výstupní registr 331 a tím i vstupní sběrnice pro signály $\overline{E(0)}$ až $\overline{E(11)}$ a výstupní sběrnice pro signály $V(0)$ až $V(15)$. Rychlý kanál je o-

vládán rovněž mikroprogramem procesoru pomocí signálů INP, CS, jdoucích z mikroprogramové paměti v řídicí jednotce procesoru. Signálem CS se otevřou obousměrné invertující budiče 105 až 108 sběrnic pro signály EXT(0) až EXT(15) ve směru, který je dán signálem INP. Po vyslání nebo přijetí dat vnějším periferním zařízením, respektive po vyslání řídicích signálů, ukončí procesor provádění příslušného mikroprogramu a zapojení se dostane zpět do výchozího stavu, zatímco procesor pokračuje v provádění operací, které nesouvisejí s činností vstupního a výstupního řadiče 332, aniž by čekal na ukončení činnosti periferních zařízení. Až tato periferní jednotka ukončí požadovanou operaci, ohlásí svoji připravenost buď signálem $\overline{E(8)}$ nebo signálem $\overline{P}$. Signál $\overline{E(8)}$ je přiveden na vstup osmikanálového multiplexoru 109 pro výběr dat, odkud přes další obvody jako signál $\overline{IOF}$ do aritmetické a logické jednotky, kde se testuje tento stav a až je ve stavu logické jedničky, zahájí se další mikroprogram pro vykonání vstupní nebo výstupní operace. Signál $\overline{P}$ je přiveden na vstup dvacátého šestého invertoru 146 a dále na devátý třívstupový obvod 264 typu negace logického součinu, odkud jako signál $\overline{PRER}$ přijde do aritmetické a logické jednotky, kde je vyhodnocen a na základě aktivního stavu přejde aritmetická a logická jednotka na provádění mikroprogramu pro obsluhu přerušení, jehož součástí je nastavení fáze $\overline{FA}$ a následné nastavení signálu $\overline{PREB}$, který hlásí periferním jednotkám, že procesor provádí obsluhu vzniklého přerušení. Jakmile procesor zpracuje požadavek na přerušení, zahájí se nová operace shora uvedeným způsobem a proces se opakuje. Činnost zapojení je dále zřejmá ze skladby mikroinstrukce (obr. 3) a z časového diagramu časového zdroje (obr. 4). Kvůli lepší názornosti je v časovém diagramu použito pozitivního vyjádření některých signálů.

Zapojení řídicích obvodů vstupu a výstupu podle vynálezu lze použít ve stolních počítačích a zejména v inteligentních terminálech.

P Ř E D M Ě T V Y N Á L E Z U

Zapojení řídicích obvodů vstupu a výstupu, zejména pro inteligentní terminál, vyznačené tím, že první vstup třetího dvou-
vstupového obvodu (158) typu negace logického součinu je připo-
jen na třetí vstup šestého třívstupového obvodu (182) typu nega-
ce logického součinu, na hodinové vstupy (289,336) prvního a os-
mého klopného obvodu (112,334) typu D a tvoří současně osmnáctý
vstup (18) zapojení, druhý vstup třetího dvouvstupového obvodu
(158) typu negace logického součinu je připojen na datový vstup
(335) osmého klopného obvodu (334) typu D, jehož jedničkový vý-
stup (0109) je připojen na vstupy (70,82,94,228) pro výběr slo-
va prvního až čtvrtého čtyřnásobného dvouvstupového multiplexo-
ru (101 až 104) s pamětí a tvoří současně sedmnáctý vstup (17)
zapojení, výstup třetího dvouvstupového obvodu (158) typu nega-
ce logického součinu je připojen na první vstup druhého dvouvstu-
pového obvodu (157) typu negace logického součinu a na první v-
stup prvního dvouvstupového obvodu (156) typu negace logického
součinu, jehož výstup je připojen na hodinový vstup (226) čtvr-
tého čtyřnásobného dvouvstupového multiplexoru (104) s pamětí,
výstup druhého dvouvstupového obvodu (157) typu negace logické-
ho součinu je připojen na hodinové vstupy (68,80,92) prvního až
třetího čtyřnásobného dvouvstupového multiplexoru (101 až 103)
s pamětí, první vstup (60) prvního multiplexoru prvního čtyřná-
sobného dvouvstupového multiplexoru (101) s pamětí je připojen
jednak přes dvacátý čtvrtý odpor (211) na svorku (330) nulového
napětí, jednak přes dvacátý třetí odpor (210) na svorku (329)
kladného napětí, jednak na první výstup (022) vstupní a výstup-
ní sběrnice (333), druhý vstup (61) prvního multiplexoru první-
ho čtyřnásobného dvouvstupového multiplexoru (101) s pamětí je
připojen na první datový výstup (063) a na první datový vstup
(231) prvního obousměrného invertujícího budiče (105) sběrnice
a tvoří současně první vstup (1) zapojení, první vstup (62) dru-
hého multiplexoru prvního čtyřnásobného dvouvstupového multiple-
xoru (101) s pamětí je připojen jednak přes dvacátý druhý odpor
(209) na svorku (330) nulového napětí, jednak přes dvacátý prv-
ní odpor (208) na svorku (329) kladného napětí, jednak na druhý
výstup (023) vstupní a výstupní sběrnice (333), druhý vstup (63)
druhého multiplexoru prvního čtyřnásobného dvouvstupového multi-
plexoru (101) s pamětí je připojen na třetí vstup odmého tří-
vstupového obvodu (184) typu negace logického součinu, na druhý

datový výstup (064) a na druhý datový vstup (232) prvního obousměrného invertujícího budiče (105) sběrnice a tvoří současně druhý vstup (2) zapojení, první vstup (64) třetího multiplexoru prvního čtyřnásobného dvouvstupového multiplexoru (101) s pamětí je připojen jednak přes dvacátý odpor (207) na svorku (330) nulového napětí, jednak přes devatenáctý odpor (206) na svorku (329) kladného napětí, jednak na třetí výstup (024) vstupní a výstupní sběrnice (333), druhý vstup (65) třetího multiplexoru prvního čtyřnásobného dvouvstupového multiplexoru (101) s pamětí je připojen na třetí datový výstup (065) a na třetí datový vstup (233) prvního obousměrného invertujícího budiče (105) sběrnice a tvoří současně třetí vstup (3) zapojení, první vstup (66) čtvrtého multiplexoru prvního čtyřnásobného dvouvstupového multiplexoru (101) s pamětí je připojen jednak přes osmnáctý odpor (205) na svorku (330) nulového napětí, jednak přes sedmáctý odpor (204) na svorku (329) kladného napětí, jednak na čtvrtý výstup (025) vstupní a výstupní sběrnice (333), druhý vstup (67) čtvrtého multiplexoru prvního čtyřnásobného dvouvstupového multiplexoru (101) s pamětí je připojen na třetí adresovací vstup (272) osmikanálového multiplexoru (109) pro funkci výběru dat, na první vstup (276) prvního převodníku (110) z kódu BCD na kód jedna z deseti, na čtvrtý datový výstup (066) a na čtvrtý datový vstup (234) prvního obousměrného invertujícího budiče (105) sběrnice a tvoří současně čtvrtý vstup (4) zapojení, první vstup (72) prvního multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru (102) s pamětí je připojen jednak přes šestnáctý odpor (203) na svorku (330) nulového napětí, jednak přes patnáctý odpor (202) na svorku (329) kladného napětí, jednak na pátý výstup (026) vstupní a výstupní sběrnice (333), druhý vstup (73) prvního multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru (102) s pamětí je připojen na druhý adresovací vstup (271) osmikanálového multiplexoru (109) pro funkci výběru dat, na druhý vstup (277) prvního převodníku (110) z kódu BCD na kód jedna z deseti, na první datový výstup (067) a na první datový vstup (239) druhého obousměrného invertujícího budiče (106) sběrnice a tvoří současně pátý vstup (5) zapojení, první vstup (74) druhého multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru (102) s pamětí je připojen jednak přes čtrnáctý odpor (201) na svorku (330) nulového napětí, jednak přes třináctý odpor (200) na svorku (329) kladného napětí, jednak na šestý výstup (027) vstupní a výstupní sběrnice (333), druhý vstup (75)

druhého multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru (102) s pamětí je připojen na první adresovací vstup (270) osmikanálového multiplexoru (109) pro funkci výběru dat, na třetí vstup (278) prvního převodníku (110) z kódu BCD na kód jedna z deseti, na druhý datový výstup (068) a na druhý datový vstup (240) druhého obousměrného invertujícího budiče (106) sběrnice a tvoří současně šestý vstup (6) zapojení, první vstup (76) třetího multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru (102) s pamětí je připojen jednak přes dvanáctý odpor (199) na svorku (330) nulového napětí, jednak přes jedenáctý odpor (198) na svorku (329) kladného napětí, jednak na sedmý výstup (028) vstupní a výstupní sběrnice (333), druhý vstup (77) třetího multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru (102) s pamětí je připojen na čtvrtý vstup (279) prvního převodníku (110) z kódu BCD na kód jedna z deseti, na třetí datový výstup (069) a na třetí datový vstup (241) druhého obousměrného invertujícího budiče (106) sběrnice a tvoří současně sedmý vstup (7) zapojení, první vstup (78) čtvrtého multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru (102) s pamětí je připojen jednak přes desátý odpor (197) na svorku (330) nulového napětí, jednak přes devátý odpor (196) na svorku (329) kladného napětí, jednak na osmý výstup (029) vstupní a výstupní sběrnice (333), druhý vstup (79) čtvrtého multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru (102) s pamětí je připojen na první vstup (282) druhého převodníku (111) z kódu BCD na kód jedna z deseti, na čtvrtý datový výstup (070) a na čtvrtý datový vstup (242) druhého obousměrného invertujícího budiče (106) sběrnice a tvoří současně osmý vstup (8) zapojení, první vstup (84) prvního multiplexoru třetího čtyřnásobného dvouvstupového multiplexoru (103) s pamětí je připojen jednak přes sedmáctý invertor (137) na první datový vstup (262) osmikanálového multiplexoru (109) pro funkci výběru dat, jednak přes osmý odpor (195) na svorku (330) nulového napětí, jednak přes sedmý odpor (194) na svorku (329) kladného napětí, jednak na devátý výstup (030) vstupní a výstupní sběrnice (333), druhý vstup (85) prvního multiplexoru třetího čtyřnásobného dvouvstupového multiplexoru (103) s pamětí je připojen na druhý vstup (283) druhého převodníku (111) z kódu BCD na kód jedna z deseti, na první datový výstup (071) a na první datový vstup (246) třetího obousměrného invertujícího budiče (107) sběrnice a tvoří současně devátý vstup (9) zapojení, první vstup (86) druhého multiplexoru třetího čtyř-

násobného dvouvstupového multiplexoru (103) s pamětí je připojen jednak přes šestý odpor (193) na svorku (330) nulového napětí, jednak přes pátý odpor (192) na svorku (329) kladného napětí, jednak na desátý výstup (031) vstupní a výstupní sběrnice (333), druhý vstup (87) druhého multiplexoru třetího čtyřnásobného dvouvstupového multiplexoru (103) s pamětí je připojen na třetí vstup (284) druhého převodníku (111) z kódu BCD na kód jedna z deseti, na druhý datový výstup (072) a na druhý datový vstup (247) třetího obousměrného invertujícího budiče (107) sběrnice a tvoří současně desátý vstup (10) zapojení, první vstup (88) třetího multiplexoru třetího čtyřnásobného dvouvstupového multiplexoru (103) s pamětí je připojen jednak přes čtvrtý odpor (191) na svorku (330) nulového napětí, jednak přes třetí odpor (190) na svorku (329) kladného napětí, jednak na jedenáctý výstup (032) vstupní a výstupní sběrnice (333), druhý vstup (89) třetího multiplexoru třetího čtyřnásobného dvouvstupového multiplexoru (103) s pamětí je připojen na třetí datový výstup (073) a na třetí datový vstup (248) třetího obousměrného invertujícího budiče (107) sběrnice a tvoří současně jedenáctý vstup (11) zapojení, první vstup (90) čtvrtého multiplexoru třetího čtyřnásobného dvouvstupového multiplexoru (103) s pamětí je připojen jednak přes druhý odpor (189) na svorku (330) nulového napětí, jednak přes první odpor (188) na svorku (329) kladného napětí, jednak na dvanáctý výstup (033) vstupní a výstupní sběrnice (333), druhý vstup (91) čtvrtého multiplexoru třetího čtyřnásobného dvouvstupového multiplexoru (103) s pamětí je připojen na čtvrtý datový výstup (074) a na čtvrtý datový vstup (249) třetího obousměrného invertujícího budiče (107) sběrnice a tvoří současně dvanáctý vstup (12) zapojení, první vstupy (96,98,100,224) prvního až čtvrtého multiplexoru čtvrtého čtyřnásobného dvouvstupového multiplexoru (104) s pamětí jsou připojeny přes třicátý třetí odpor (220) na svorku (329) kladného napětí, druhý vstup (97) prvního multiplexoru čtvrtého čtyřnásobného dvouvstupového multiplexoru (104) s pamětí je připojen na první datový výstup (075) a na první datový vstup (255) čtvrtého obousměrného invertujícího budiče (108) sběrnice a tvoří současně třináctý vstup (13) zapojení, druhý vstup (99) druhého multiplexoru čtvrtého čtyřnásobného dvouvstupového multiplexoru (104) s pamětí je připojen na druhý datový výstup (076) a na druhý datový vstup (256) čtvrtého obousměrného invertujícího budiče (108) sběrnice a tvoří současně čtrnáctý vstup (14) zapojení, druhý vstup (223) třetího multiplexoru

čtvrtého čtyřnásobného dvouvstupového multiplexoru (104) s pamětí je připojen na třetí datový výstup (077) a na třetí datový vstup (257) čtvrtého obousměrného invertujícího budiče (108) sběrnice a tvoří současně patnáctý vstup (15) zapojení, druhý vstup (225) čtvrtého multiplexoru čtvrtého čtyřnásobného dvouvstupového multiplexoru (104) s pamětí je připojen na čtvrtý datový výstup (078) a na čtvrtý datový vstup (258) čtvrtého obousměrného invertujícího budiče (108) sběrnice a tvoří současně šestnáctý vstup (16) zapojení, napájecí vstupy (71,83,95,229) prvního až čtvrtého čtyřnásobného dvouvstupového multiplexoru (101 až 104) s pamětí jsou připojeny na svorku (329) kladného napětí, kdežto jejich zemnicí vstupy (69,81,93,227) jsou připojeny na svorku (330) nulového napětí, výstup (047) prvního multiplexoru prvního čtyřnásobného dvouvstupového multiplexoru (101) s pamětí je připojen na vstup prvního invertoru (121) a tvoří současně první výstup (01) zapojení, výstup (048) druhého multiplexoru prvního čtyřnásobného dvouvstupového multiplexoru (101) s pamětí je připojen na vstup druhého invertoru (122) a tvoří současně druhý výstup (02) zapojení, výstup (049) třetího multiplexoru prvního čtyřnásobného dvouvstupového multiplexoru (101) s pamětí je připojen na vstup třetího invertoru (123) a tvoří současně třetí výstup (03) zapojení, výstup (050) čtvrtého multiplexoru prvního čtyřnásobného dvouvstupového multiplexoru (101) s pamětí je připojen na vstup čtvrtého invertoru (124) a tvoří současně čtvrtý výstup (04) zapojení, výstup (051) prvního multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru (102) s pamětí je připojen na vstup pátého invertoru (125) a tvoří současně pátý výstup (05) zapojení, výstup (052) druhého multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru (102) s pamětí je připojen na vstup šestého invertoru (126) a tvoří současně šestý výstup (06) zapojení, výstup (053) třetího multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru (102) s pamětí je připojen na vstup sedmého invertoru (127) a tvoří současně sedmý výstup (07) zapojení, výstup (054) čtvrtého multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru (102) s pamětí je připojen na vstup osmého invertoru (128) a tvoří současně osmý výstup (08) zapojení, výstup (055) prvního multiplexoru třetího čtyřnásobného dvouvstupového multiplexoru (103) s pamětí je připojen na vstup devátého invertoru (129) a tvoří současně devátý výstup (09) zapojení, výstup (056) druhého multiplexoru třetího čtyřnásobného dvouvstupového multiplexoru (103)

s pamětí je připojen na vstup desátého invertoru (130) a tvoří současně desátý výstup (010) zapojení, výstup (057) třetího multiplexoru třetího čtyřnásobného dvouvstupového multiplexoru (103) s pamětí je připojen na vstup jedenáctého invertoru (131) a tvoří současně jedenáctý výstup (011) zapojení, výstup (058) čtvrtého multiplexoru třetího čtyřnásobného dvouvstupového multiplexoru (103) s pamětí je připojen na vstup dvanáctého invertoru (132) a tvoří současně dvanáctý výstup (012) zapojení, výstup (059) prvního multiplexoru čtvrtého čtyřnásobného dvouvstupového multiplexoru (104) s pamětí je připojen na vstup třináctého invertoru (133) a tvoří současně třináctý výstup (013) zapojení, výstup (060) druhého multiplexoru čtvrtého čtyřnásobného dvouvstupového multiplexoru (104) s pamětí je připojen na vstup čtrnáctého invertoru (134) a tvoří současně čtrnáctý výstup (014) zapojení, výstup (061) třetího multiplexoru čtvrtého čtyřnásobného dvouvstupového multiplexoru (104) s pamětí je připojen na vstup patnáctého invertoru (135) a tvoří současně patnáctý výstup (015) zapojení, výstup (062) čtvrtého multiplexoru čtvrtého čtyřnásobného dvouvstupového multiplexoru (104) s pamětí je připojen na vstup šestnáctého invertoru (136) a tvoří současně šestnáctý výstup (016) zapojení, výstup prvního invertoru (121) je připojen na první vstup (31) vstupní a výstupní sběrnice (333), výstup druhého invertoru (122) je připojen na druhý vstup (32) vstupní a výstupní sběrnice (333), výstup třetího invertoru (123) je připojen na třetí vstup (33) vstupní a výstupní sběrnice (333), výstup čtvrtého invertoru (124) je připojen na čtvrtý vstup (34) vstupní a výstupní sběrnice (333), výstup pátého invertoru (125) je připojen na pátý vstup (35) vstupní a výstupní sběrnice (333), výstup šestého invertoru (126) je připojen na šestý vstup (36) vstupní a výstupní sběrnice (333), výstup sedmého invertoru (127) je připojen na sedmý vstup (37) vstupní a výstupní sběrnice (333), výstup osmého invertoru (128) je připojen na osmý vstup (38) vstupní a výstupní sběrnice (333), výstup devátého invertoru (129) je připojen na devátý vstup (39) vstupní a výstupní sběrnice (333), výstup desátého invertoru (130) je připojen na desátý vstup (40) vstupní a výstupní sběrnice (333), výstup jedenáctého invertoru (131) je připojen na jedenáctý vstup (41) vstupní a výstupní sběrnice (333), výstup dvanáctého invertoru (132) je připojen na dvanáctý vstup (42) vstupní a výstupní sběrnice (333), výstup třináctého invertoru (133) je připojen na třináctý vstup (43) vstupní a výstupní sběrnice (333), výstup čtrnáctého

tého invertoru (134) je připojen na čtrnáctý vstup (44) vstupní a výstupní sběrnice (333), výstup patnáctého invertoru (135) je připojen na patnáctý vstup (45) vstupní a výstupní sběrnice (333), výstup šestnáctého invertoru (136) je připojen na šestnáctý vstup (46) vstupní a výstupní sběrnice (333), napájecí vstupy (235,243, 250,259) prvního až čtvrtého obousměrného invertujícího budiče (105 až 108) sběrnice jsou připojeny na svorku (329) kladného napětí, kdežto jejich zemnicí vstupy (237,245,252,261) jsou připojeny na svorku (330) nulového napětí, první svorka (307) vstupu a výstupu dat prvního obousměrného invertujícího budiče (105) sběrnice je připojena na první svorku (035) vstupu a výstupu vstupní a výstupní sběrnice (333), druhá svorka (308) vstupu a výstupu dat prvního obousměrného invertujícího budiče (105) sběrnice je připojena na druhou svorku (036) vstupu a výstupu vstupní a výstupní sběrnice (333), třetí svorka (309) vstupu a výstupu dat prvního obousměrného invertujícího budiče (105) sběrnice je připojen na třetí svorku (037) vstupu a výstupu vstupní a výstupní sběrnice (333), čtvrtá svorka (310) vstupu a výstupu dat prvního obousměrného invertujícího budiče (105) sběrnice je připojena na čtvrtou svorku (038) vstupu a výstupu vstupní a výstupní sběrnice (333), první svorka (311) vstupu a výstupu dat druhého obousměrného invertujícího budiče (106) sběrnice je připojena na pátou svorku (039) vstupu a výstupu vstupní a výstupní sběrnice (333), druhá svorka (312) vstupu a výstupu dat druhého obousměrného invertujícího budiče (106) sběrnice je připojena na šestou svorku (040) vstupu a výstupu vstupní a výstupní sběrnice, třetí svorka (313) vstupu a výstupu dat druhého obousměrného invertujícího budiče (106) sběrnice je připojena na sedmou svorku (041) vstupu a výstupu vstupní a výstupní sběrnice (333), čtvrtá svorka (314) vstupu a výstupu dat druhého obousměrného invertujícího budiče (106) sběrnice je připojena na osmou svorku (042) vstupu a výstupu vstupní a výstupní sběrnice (333), první svorka (315) vstupu a výstupu dat třetího obousměrného invertujícího budiče (107) sběrnice je připojena na devátou svorku (043) vstupu a výstupu vstupní a výstupní sběrnice (333), druhá svorka (316) vstupu a výstupu dat třetího obousměrného invertujícího budiče (107) sběrnice je připojena na desátou svorku (044) vstupu a výstupu vstupní a výstupní sběrnice (333), třetí svorka (317) vstupu a výstupu dat třetího obousměrného invertujícího budiče (107) sběrnice je připojena na jedenáctou svorku (045) vstupu a výstupu vstupní a výstupní sběrnice (333),

čtvrtá svorka (318) vstupu a výstupu a výstupu dat třetího obousměrného invertujícího budiče (107) sběrnice je připojena na dvanáctou svorku (046) vstupu a výstupu vstupní a výstupní sběrnice (333), první svorka (319) vstupu a výstupu dat čtvrtého obousměrného invertujícího budiče (108) sběrnice je připojena na třináctou svorku (047) vstupu a výstupu vstupní a výstupní sběrnice (333), druhá svorka (320) vstupu a výstupu dat čtvrtého obousměrného invertujícího budiče (108) sběrnice je připojena na čtrnáctou svorku (048) vstupu a výstupu vstupní a výstupní sběrnice (333), třetí svorka (321) vstupu a výstupu dat čtvrtého obousměrného invertujícího budiče (108) sběrnice je připojena na patnáctou svorku (040) vstupu a výstupu vstupní a výstupní sběrnice (333), čtvrtá svorka (322) vstupu a výstupu dat čtvrtého obousměrného invertujícího budiče (108) sběrnice je připojena na šestnáctou svorku (050) vstupu a výstupu vstupní a výstupní sběrnice (333), napájecí vstup (275) osmikanálového multiplexoru (109) pro funkci výběru dat je připojen na svorku (329) kladného napětí, kdežto jeho zemnicí vstup (274) je připojen na svorku (330) nulového napětí a jeho vybavovací vstup (273) na svorku (330) nulového napětí, jedničkový výstup (079) osmikanálového multiplexoru (109) pro funkci výběru dat je připojen na datový vstup (288) prvního klopného obvodu (112) typu D, jehož jedničkový výstup (096) je připojen na druhý vstup prvního čtyřvstupového součtově součinnového hradla (185) a jehož nulový výstup (097) je připojen na třetí vstup prvního čtyřvstupového součtově součinnového hradla (185), první výstup (080) prvního převodníku (110) z kódu BCD na kód jedna z deseti je připojen na první vstup prvního třívstupového obvodu (177) typu negace logického součinu a na vstup osmnáctého invertoru (138), jehož výstup je připojen na čtvrtý vstup druhého čtyřvstupového součtově součinnového hradla (186), druhý výstup (081) prvního převodníku (110) z kódu BCD na kód jedna z deseti je připojen na vstup dvacátého prvního invertoru (141), jehož výstup je připojen na druhý vstup dvacátého dvouvstupového obvodu (175) typu negace logického součinu, třetí výstup (082) prvního převodníku (110) z kódu BCD na kód jedna z deseti je připojen na vstup devatenáctého invertoru (139), jehož výstup je připojen na druhý vstup sedmnáctého dvouvstupového obvodu (172) typu negace logického součinu a na druhý vstup dvacátého prvního dvouvstupového obvodu (176) typu negace logického součinu, čtvrtý výstup (083) prvního převodníku (110) z kódu BCD na kód jedna z deseti je

připojen na vstup dvacátého invertoru (140), jehož výstup je připojen na druhý vstup dvanáctého dvouvstupového obvodu (167) typu negace logického součinu a na druhý vstup čtrnáctého dvouvstupového obvodu (169) typu negace logického součinu, pátý výstup (084) prvního převodníku (110) z kódu BCD na kód jedna z deseti je připojen na první vstup druhého třívstupového obvodu (178) typu negace logického součinu, jehož výstup je připojen na druhý vstup šestého dvouvstupového obvodu (161) typu negace logického součinu, sedmý výstup (085) prvního převodníku (110) z kódu BCD na kód jedna z deseti je připojen na třetí vstupy prvního a druhého třívstupového obvodu (177,178) typu negace logického součinu a na první vstup čtvrtého dvouvstupového obvodu (159) typu negace logického součinu, jehož výstup je připojen na druhý vstup desátého dvouvstupového obvodu (165) typu negace logického součinu a na druhý vstup devátého dvouvstupového obvodu (164) typu negace logického součinu, osmý výstup (086) prvního převodníku (110) z kódu BCD na kód jedna z deseti je připojen na druhý vstup čtvrtého dvouvstupového obvodu (159) typu negace logického součinu, na druhý vstup druhého třívstupového obvodu (178) typu negace logického součinu a na druhý vstup prvního třívstupového obvodu (177) typu negace logického součinu, jehož výstup je připojen na druhý vstup pátého dvouvstupového obvodu (160) typu negace logického součinu, na druhý vstup druhého čtyřvstupového součtově součinnového hradla (186) a na druhý vstup třetího čtyřvstupového součtově součinnového hradla (187), desátý výstup (087) prvního převodníku (110) z kódu BCD na kód jedna z deseti je připojen na vstup dvacátého druhého invertoru (142), jehož výstup je připojen na druhý vstup osmnáctého dvouvstupového obvodu (173) typu negace logického součinu a na druhý vstup devatenáctého dvouvstupového obvodu (174) typu negace logického součinu, napájecí vstupy (280,286) prvního a druhého převodníku (110,111) z kódu BCD na kód jedna z deseti jsou připojeny na svorku (329) kladného napětí, kdežto jejich zemnicí vstupy (281,287) jsou připojeny na svorku (330) nulového napětí, první výstup (088) druhého převodníku (111) z kódu BCD na kód jedna z deseti je připojen na vstup dvacátého třetího invertoru (143), jehož výstup je připojen na první vstup sedmnáctého dvouvstupového obvodu (172) typu negace logického součinu, druhý výstup (089) druhého převodníku (111) z kódu BCD na kód jedna z deseti je připojen na vstup dvacátého čtvrtého invertoru (144), jehož výstup je připojen na první vstup pátého dvouvstu-

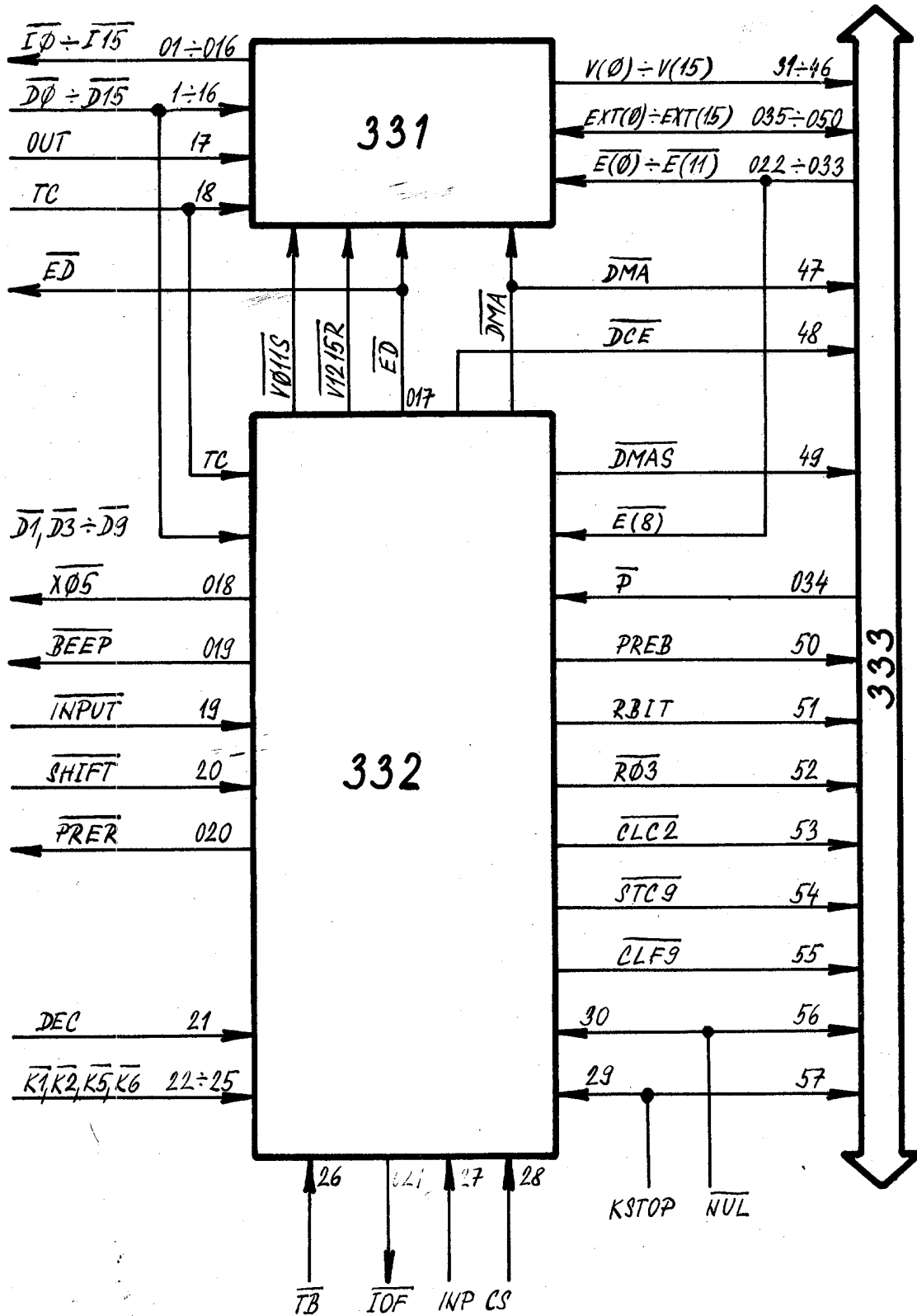
pového obvodu (160) typu negace logického součinu a na první vstup desátého dvouvstupového obvodu (165) typu negace logického součinu, třetí výstup (090) druhého převodníku (111) z kódu BCD na kód jedna z deseti je připojen na první vstup prvního čtyřvstupového součtově součinnového hradla (185), jehož výstup tvoří současně dvacátý první výstup (021) zapojení, čtvrtý výstup (091) druhého převodníku (111) z kódu BCD na kód jedna z deseti je připojen na čtvrtý vstup prvního čtyřvstupového součtově součinnového hradla (185), pátý výstup (092) druhého převodníku (111) z kódu BCD na kód jedna z deseti je připojen na první vstup třetího třívstupového obvodu (179) typu negace logického součinu, jehož výstup je připojen na třetí vstup druhého čtyřvstupového součtově součinnového hradla (186), šestý výstup (093) druhého převodníku (111) z kódu BCD na kód jedna z deseti je připojen na druhý vstup třetího třívstupového obvodu (179) typu negace logického součinu, sedmý výstup (094) druhého převodníku (111) z kódu BCD na kód jedna z deseti je připojen na třetí vstup třetího třívstupového obvodu (179) typu negace logického součinu, osmý výstup (095) druhého převodníku (111) z kódu BCD na kód jedna z deseti je připojen na vstup dvacátého pátého invertoru (145), jehož výstup je připojen na první vstup druhého čtyřvstupového součtově součinnového hradla (186), na první vstup dvanáctého dvouvstupového obvodu (167) typu negace logického součinu, na první vstup osmnáctého dvouvstupového obvodu (173) typu negace logického součinu a na první vstup dvacátého prvního dvouvstupového obvodu (176) typu negace logického součinu, vstup dvacátého devátého invertoru (149) je připojen na čtvrtý datový vstup (265) osmikanálového multiplexoru (109) pro funkci výběru dat, na dvacátý sedmý vstup (57) vstupní a výstupní sběrnice (333) a tvoří současně dvacátý devátý vstup (29) zapojení, výstup dvacátého devátého invertoru (149) je připojen na první vstup sedmého dvouvstupového obvodu (162) typu negace logického součinu, jehož výstup je připojen na první vstup devátého třívstupového obvodu (264) typu negace logického součinu, vstup dvacátého šestého invertoru (146) je připojen jednak přes dvacátý sedmý odpor (214) na svorku (329) kladného napětí, jednak přes dvacátý osmý odpor (215) na svorku (330) nulového napětí, jednak na třináctý výstup (034) vstupní a výstupní sběrnice (333), výstup dvacátého šestého invertoru (146) je připojen na první vstup dvacátého druhého dvouvstupového obvodu (266) typu negace logického součinu a na druhý vstup devátého třívstupové-

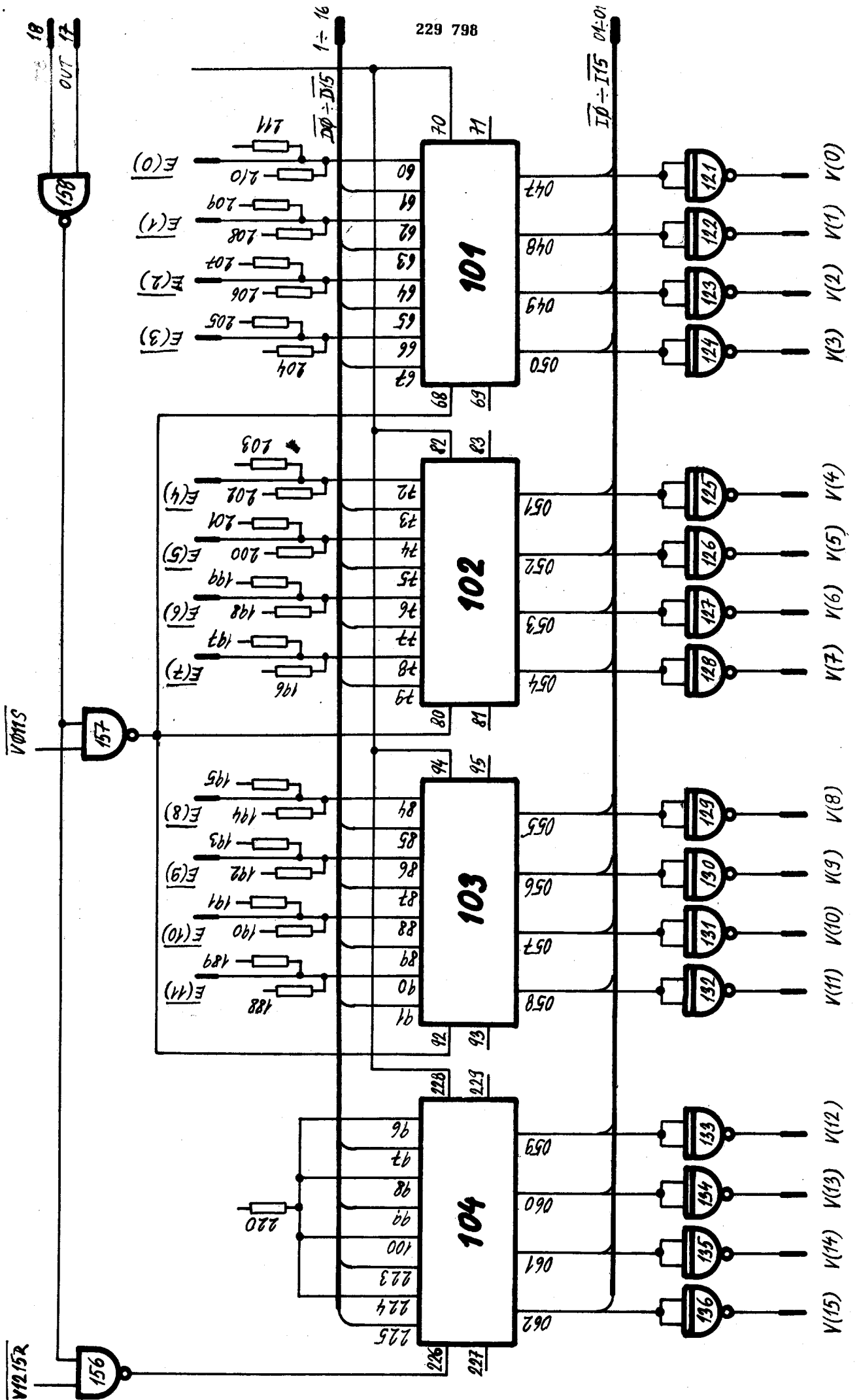
ho obvodu (264) typu negace logického součinu, jehož výstup tvoří současně dvacátý výstup (020) zapojení, výstup pátého dvou- vstupového obvodu (160) typu negace logického součinu je připojen na první vstup čtvrtého třívstupového obvodu (180) typu negace logického součinu, jehož výstup je připojen na šestý vstup (267) osmikanálového multiplexoru (109) pro funkci výběru dat, na druhý vstup sedmého dvouvstupového obvodu (162) typu negace logického součinu a na první vstup pátého třívstupového obvodu (181) typu negace logického součinu, výstup šestého dvouvstupového obvodu (161) je připojen na třetí vstup pátého třívstupového obvodu (181) typu negace logického součinu, jehož výstup je připojen na třetí vstup čtvrtého třívstupového obvodu (180) typu negace logického součinu a na vstup třicátého invertoru (150), výstup třicátého invertoru (150) je připojen na dvacátý vstup (50) vstupní a výstupní sběrnice (333), druhý vstup šestého třívstupového obvodu (182) typu negace logického součinu tvoří současně dvacátý pátý vstup (25) zapojení, výstup šestého třívstupového obvodu (182) typu negace logického součinu je připojen na druhý vstup čtvrtého třívstupového obvodu (180) typu negace logického součinu a na druhý vstup osmého dvouvstupového obvodu (163) typu negace logického součinu, jehož výstup je připojen na druhý vstup dvacátého druhého dvouvstupového obvodu (266) typu negace logického součinu, výstup dvacátého druhého dvouvstupového obvodu (266) typu negace logického součinu je připojen na první vstup osmého dvouvstupového obvodu (163) typu negace logického součinu a na třetí vstup devátého třívstupového obvodu (264) typu negace logického součinu, výstup druhého čtyřvstupového součtově součinnového hradla (186) je připojen na nastavovací vstup (269) druhého klopného obvodu (113) typu D, jehož jedničkový výstup (098) je připojen na druhý vstup (263) osmikanálového multiplexoru (109) pro funkci výběru dat, sedmý vstup (268) osmikanálového multiplexoru (109) pro funkci výběru dat tvoří současně dvacátý vstup (20) zapojení, datový vstup (290) druhého klopného obvodu (113) typu D je připojen na svorku (330) nulového napětí, kdežto jeho nulový výstup (099) je připojen na vstup třicátého prvního invertoru (151), jehož výstup je připojen na dvacátý první vstup (51) vstupní a výstupní sběrnice (333), vstup dvacátého sedmého invertoru (147) je připojen na druhý vstup sedmého třívstupového obvodu (183) typu negace logického součinu, na druhý vstup pátého třívstupového obvodu (181) typu negace logického součinu, na dvacátý šestý vstup (56) vstupní a

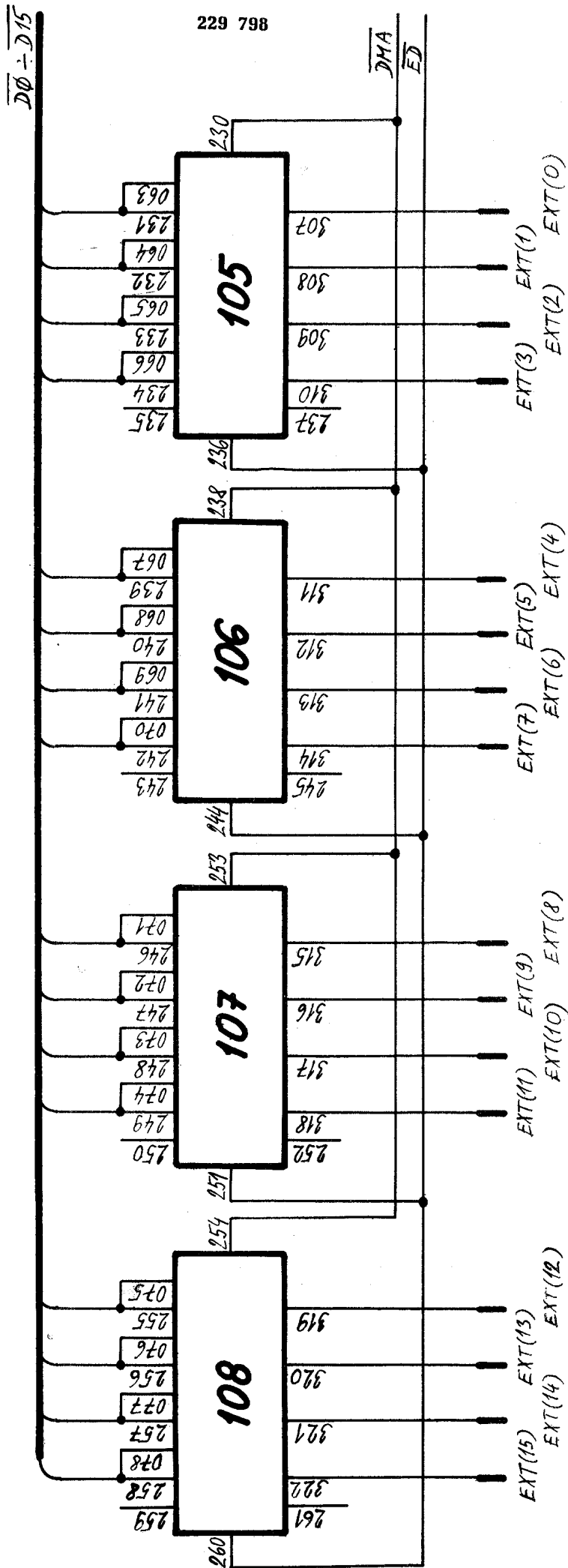
výstupní sběrnice (333) a tvoří současně třicátý vstup (30) zapojení, výstup dvacátého sedmého invertoru (147) je připojen na třetí a čtvrtý vstup třetího čtyřvstupového součtově součinového hradla (187), jehož výstup je připojen na nulovací vstup (292) druhého klopného obvodu (113) typu D, výstup desátého dvouvstupového obvodu (165) typu negace logického součinu je připojen na první vstup jedenáctého dvouvstupového obvodu (166) typu negace logického součinu, jehož výstup je připojen na druhý spouštěcí vstup (304) prvního monostabilního klopného obvodu (119), druhý vstup jedenáctého dvouvstupového obvodu (166) typu negace logického součinu je připojen jednak přes dvacátý odpor (216) na svorku (329) kladného napětí, jednak přes třicátý odpor (217) na svorku (330) nulového napětí a tvoří současně devatenáctý vstup (19) zapojení, první spouštěcí vstupy (303, 305) prvního a druhého monostabilního klopného obvodu (119, 120) jsou připojeny na svorku (330) nulového napětí, nulový výstup (0107) prvního monostabilního klopného obvodu (119) je připojen na druhý vstup druhého dvouvstupového obvodu (157) typu negace logického součinu a na druhý spouštěcí vstup (306) druhého monostabilního klopného obvodu (120), jehož nulový výstup (0108) je připojen na hodinový vstup (291) druhého klopného obvodu (113) typu D, mezi vstup (323) pro externí kapacitu a vstup (324) pro externí odpor a kapacitu prvního monostabilního klopného obvodu (119) je připojen druhý kondenzátor (222) a mezi jeho vstup (324) pro externí odpor a kapacitu a vstup (325) pro externí odpor je připojen třicátý první odpor (218), mezi vstup (326) pro externí kapacitu a vstup (327) pro externí odpor a kapacitu druhého monostabilního klopného obvodu (120) je připojen první kondenzátor (221) a mezi jeho vstup (327) pro externí odpor a kapacitu a vstup (328) pro externí odpor je připojen třicátý druhý odpor (219), výstup dvanáctého dvouvstupového obvodu (167) typu negace logického součinu je připojen na první vstup třináctého dvouvstupového obvodu (168) typu negace logického součinu, jehož výstup je připojen na vstup třicátého druhého invertoru (152) a na první vstup sedmého třívstupového obvodu (183) typu negace logického součinu, výstup třicátého druhého invertoru (152) je připojen na dvacátý druhý vstup (52) vstupní a výstupní sběrnice (333), výstup čtrnáctého dvouvstupového obvodu (169) typu negace logického součinu je připojen na třetí vstup sedmého třívstupového obvodu (183) typu negace logického součinu, jehož výstup je připojen na druhý vstup třináctého dvouvstupového obvodu (168) ty-

pu negace logického součinu, datový vstup (293) třetího klopného obvodu (114) typu D tvoří současně dvacátý osmý vstup (28) zapojení, jedničkový výstup (0100) třetího klopného obvodu (114) typu D je připojen na vstup třicátého třetího invertoru (153), jehož výstup je připojen na sedmnáctý vstup (47) vstupní a výstupní sběrnice (333), nulový výstup (0101) třetího klopného obvodu (114) typu D je připojen na vstupy (230,238,253,254) pro výběr obvodu prvního až čtvrtého obousměrného invertujícího budiče (105 až 108) sběrnice, datový vstup (295) čtvrtého klopného obvodu (115) typu D tvoří současně dvacátý sedmý vstup (27) zapojení, jedničkový výstup (0102) čtvrtého klopného obvodu (115) typu D je připojen na vstupy (236,244,251,260) pro řízení směru toku dat prvního až čtvrtého obousměrného invertujícího budiče (105 až 108) sběrnice a tvoří současně sedmnáctý výstup (017) zapojení, nulový výstup (0103) čtvrtého klopného obvodu (115) typu D je připojen na vstup třicátého čtvrtého invertoru (154), jehož výstup je připojen na osmnáctý vstup (48) vstupní a výstupní sběrnice (333), výstup sedmnáctého dvouvstupového obvodu (172) typu negace logického součinu je připojen na dvacátý třetí vstup (53) vstupní a výstupní sběrnice (333), první vstup patnáctého dvouvstupového obvodu (170) typu negace logického součinu je připojen na první vstup osmého třívstupového obvodu (184) typu negace logického součinu, na první vstup šestnáctého dvouvstupového obvodu (171) typu negace logického součinu, na první vstup šestého třívstupového obvodu (182) typu negace logického součinu a tvoří současně dvacátý první vstup (21) zapojení, druhý vstup patnáctého dvouvstupového obvodu (170) typu negace logického součinu tvoří současně dvacátý čtvrtý vstup (24) zapojení, výstup patnáctého dvouvstupového obvodu (170) typu negace logického součinu je připojen na datový vstup (297) pátého klopného obvodu (116) typu D, jehož nulový výstup (0104) je připojen na vstup třicátého pátého invertoru (155), jehož výstup je připojen na devatenáctý vstup (49) vstupní a výstupní sběrnice (333), druhý vstup osmého třívstupového obvodu (184) tvoří současně dvacátý třetí vstup (23) zapojení, výstup osmého třívstupového obvodu (184) typu negace logického součinu je připojen na datový vstup (299) šestého klopného obvodu (117) typu D, jehož nulový výstup (0105) je připojen na první vstup šestého dvouvstupového obvodu (161) typu negace logického součinu, na první vstup devatenáctého dvouvstupového obvodu (174) typu negace logického součinu, na první vstup dvacátého dvouvstupové-

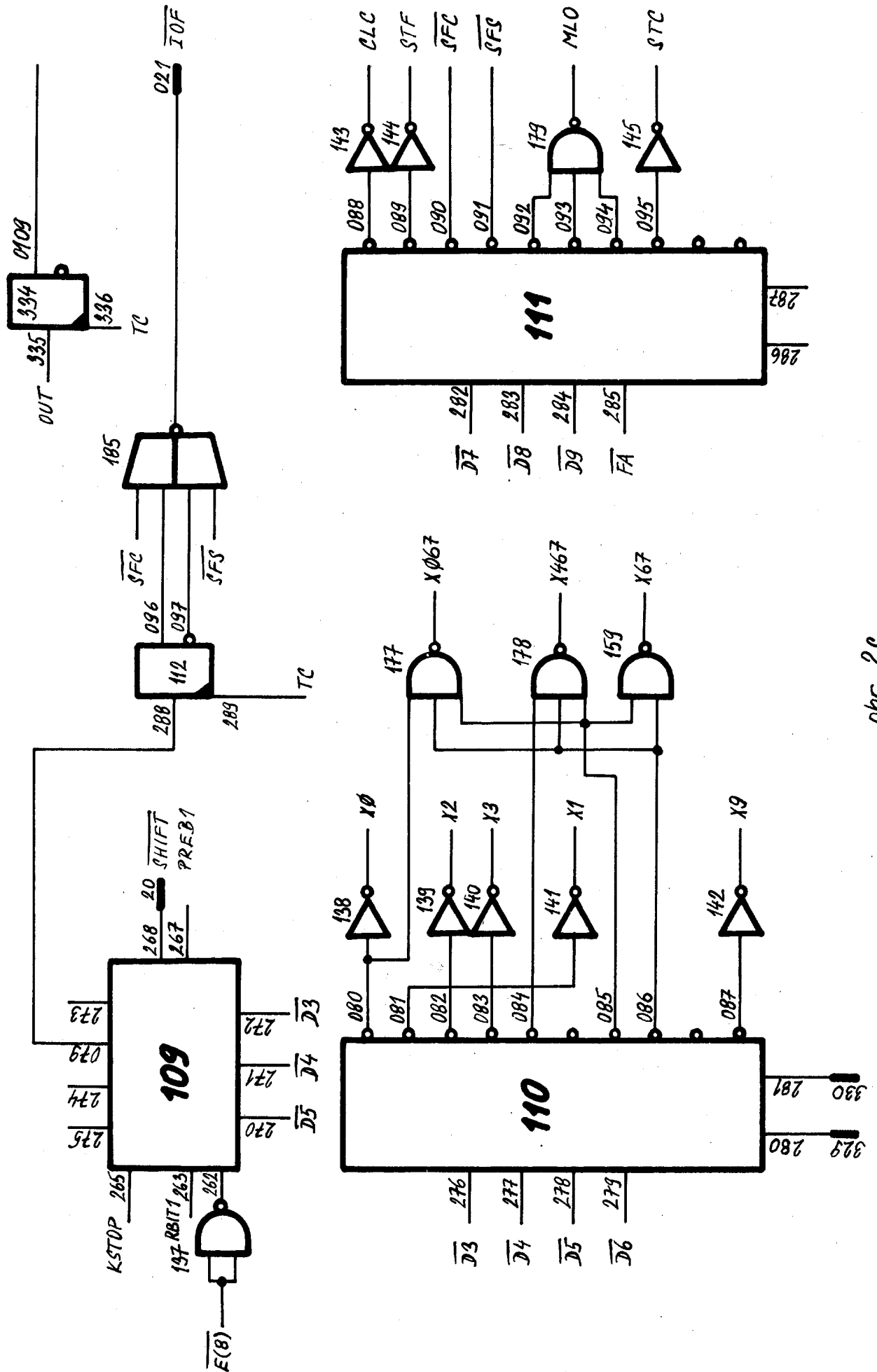
ho obvodu (175) typu negace logického součinu, na první vstup čtrnáctého dvouvstupového obvodu (169) typu negace logického součinu, na první vstup třetího čtyřvstupového součtově součinného hradla (187) a na první vstup devátého dvouvstupového obvodu (164) typu negace logického součinu, jehož výstup je připojen na druhý vstup prvního dvouvstupového obvodu (156) typu negace logického součinu, druhý vstup šestnáctého dvouvstupového obvodu (171) typu negace logického součinu tvoří současně dvacátý druhý vstup (22) zapojení, výstup šestnáctého dvouvstupového obvodu (171) typu negace logického součinu je připojen na datový vstup (301) sedmého klopného obvodu (118) typu D, jehož jedničkový výstup (0106) je připojen na čtvrtý vstup (285) druhého převodníku (111) z kódu BCD na kód jedna z deseti, vstup dvacátého osmého invertoru (148) tvoří současně dvacátý šestý vstup (26) zapojení, výstup dvacátého osmého invertoru (148) je připojen na hodinové vstupy (294,296,298,300,302) třetího až sedmého klopného obvodu (114 až 118) typu D, výstup osmnáctého dvouvstupového obvodu (173) typu negace logického součinu je připojen na dvacátý čtvrtý vstup (54) vstupní a výstupní sběrnice (333), výstup devatenáctého dvouvstupového obvodu (174) typu negace logického součinu je připojen na dvacátý pátý vstup (55) vstupní a výstupní sběrnice (333), výstup dvacátého dvouvstupového obvodu (175) typu negace logického součinu tvoří současně osmnáctý výstup (018) zapojení, výstup dvacátého prvního dvouvstupového obvodu (176) typu negace logického součinu tvoří současně devatenáctý výstup (019) zapojení.



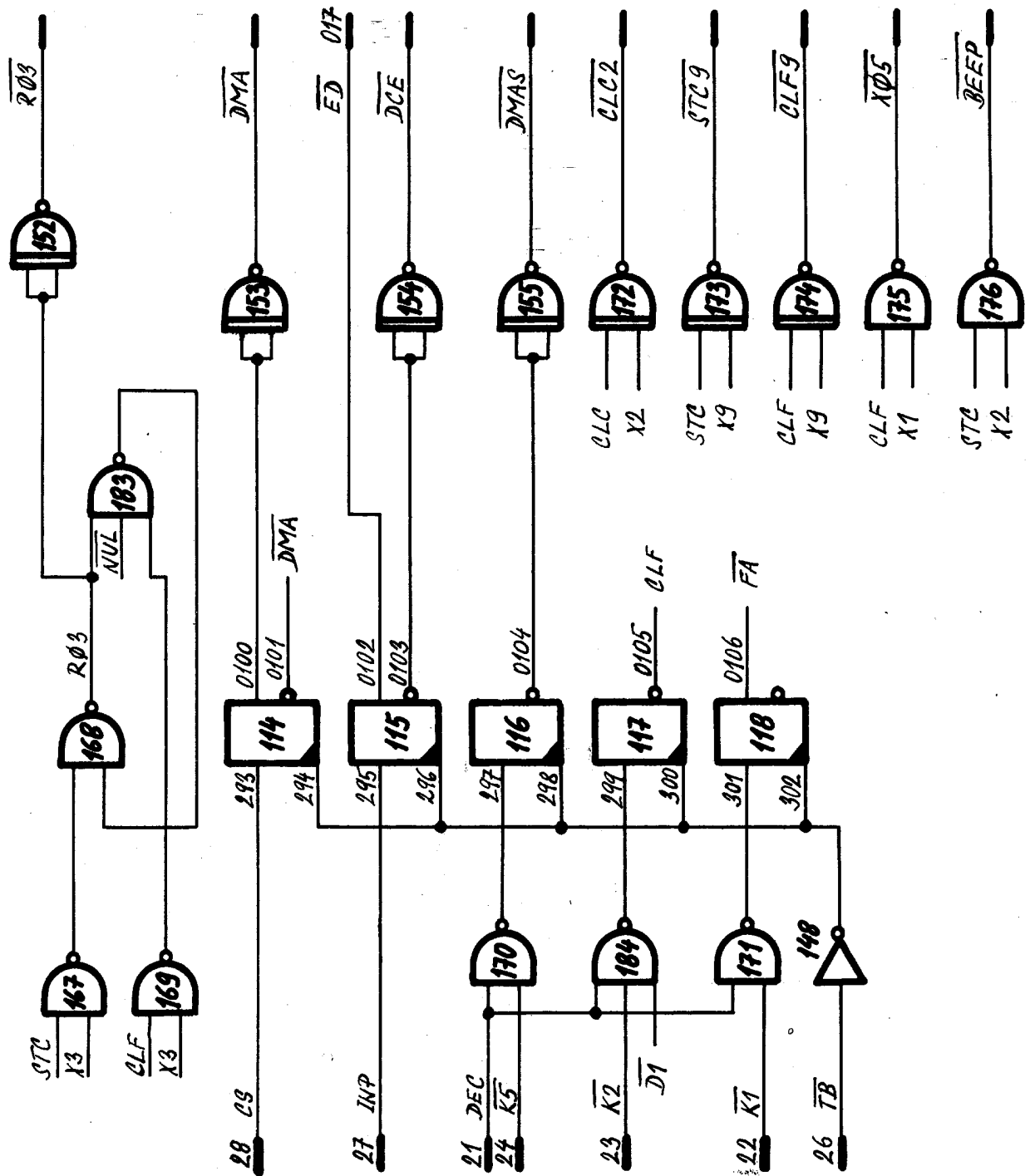




obr. 2b



obr. 2c



6.															
DEC	F6	F5	F4	F3	F2	F1	F0								
								K15	K14	K13	K12	K11	K10	K9	K8
								K7	K6	K5	K4	K3	K2	K1	K0
								K							
0	CPU - OPER							1	0	0	1	1	0	0	1
1	AC + K → AC							1	0	0	1	1	0	0	1
1	NOP							1	0	0	1	1	0	0	1
1	NOP							1	0	0	1	1	0	0	1
1	NOP							1	0	0	1	1	0	0	1
1	NOP							1	0	0	1	1	0	0	1

K → CPU
 DEC - ADD
 I/O - FAZE FA
 I/O - FAZE CLF
 DMAS
 INT

	X																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																									
--	---	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

