



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

210188

(11)

(B1)

(51) Int. Cl.³
H 03 K 17/22

(22) Přihlášeno 30 04 80
(21) (PV 3051-80)

(40) Zveřejněno 30 04 81

(45) Vydáno 15 06 83

(75)

Autor vynálezu

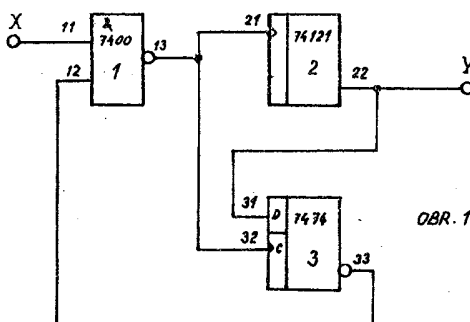
KUNST ROBERT, PRAHA

(54) Zapojení pro nastavení klidového stavu číslicového systému po zapnutí

Vynález je z oboru elektroniky a týká se všech oblastí elektroniky, kde se používají číslicové systémy.

Podstata vynálezu spočívá v zapojení inverzního logického členu NAND, monostabilního klopného obvodu a bistabilního klopného obvodu tak, že po příchodu hodinových pulsů na první vstup inverzního logického členu NAND toto zapojení vygeneruje jeden přesně definovaný puls požadované doby trvání, kterým se číslicový systém nastaví do klidového stavu. Po vygenerování tohoto nulovacího pulsu je po překlopení bistabilního klopného obvodu, jehož výstup je připojen na druhý vstup inverzního logického členu NAND, tento člen zahradlován a obvod již další pulsy negeneruje.

Vynálezu může být využito ve všech oborech využívajících číslicové systémy, v nichž součástí činnosti těchto číslicových systémů je generování hodinových pulsů.



Vynález se týká zapojení pro nastavení klidového stavu číslicového systému po zapnutí, určené zejména pro periferní a přídatná zařízení číslicových počítačů.

Nastavení klidového stavu číslicového systému je nutné proto, že každý takový systém obsahuje různé klopné obvody, jejichž stav po zapnutí zařízení není definován. Proto musí po zapnutí číslicového systému proběhnout nastavení klidového stavu systému, při němž se tyto klopné obvody nastaví do definovaného stavu a číslicový systém je tím připraven k zahájení správné činnosti.

Dosud známá zapojení pro nastavení klidového stavu číslicového systému po zapnutí jsou uspořádána tak, že nastavovací signál se generuje na výstupu jednoduchého RC členu nebo jiného členu obsahujícího napěťově závislé nelineární prvky, např. Zenerovy diody. Nevýhodou takového uspořádání, ve kterém se přímo využívá výstupní signál, je to, že se dá jen velmi obtížně dosáhnout takové doby trvání nastavovacího signálu, která je požadována pro bezpečné nastavení klidového stavu číslicového systému po zapnutí. K dosažení spolehlivé funkce zapojení s ohledem na stárnutí a tolerance součástek je třeba například volit velké časové konstanty obvodu, což je nevýhodné jak po technické, tak po ekonomické stránce.

Proto se výstupní signál těchto členů v jiných uspořádáních využívá jen ke generaci nastavovacího vstupního signálu bistabilního klopného obvodu, jehož výstupní signál teprve slouží jako nastavovací signál klidového stavu celého číslicového systému. Výhodou takových uspořádání je to, že doba trvání výstupního signálu RC členu nebo jiného napěťově závislého členu, zajišťující spolehlivou funkci zapojení může být podstatně kratší. V uvedených uspořádáních trvá nastavovací signál až do té doby, dokud se jiným signálem nezruší stav bistabilního klopného obvodu, do kterého je uveden nastavovacím signálem z výstupu napěťově závislého členu. Signál rušící stav bistabilního klopného obvodu, kterým se předepisuje klidový stav číslicového systému, se generuje například na základě zásahu operátora nebo nadřazeným systémem.

V některých případech však nelze uvedená uspořádání použít, neboť se vyžaduje, aby systém přešel automaticky po počáteční iniciaci k vykonávání předepsané činnosti, například zpracování řídicích slov. V těchto případech se k nastavení klidového stavu používá signálu indikujícího v jednom stavu připravenost zdrojů, jehož opačný stav předepisuje klidový stav systému. Nevýhodou těchto uspořádání je nutnost vydávat signál s dostatečným zpožděním po přechodu zdrojů do stavu připravenosti. Požadované zpoždění je obvykle třeba řešit obvody realizovanými z diskretních součástek, což je neekonomické.

Výše uvedené nedostatky odstraňuje zapojení pro nastavení klidového stavu číslicového systému po zapnutí, sestávající z logického členu NAND, monostabilního klopného obvodu a bistabilního klopného obvodu podle vynálezu, jehož podstatou je, že logický člen NAND je svým prvním vstupem připojen na zdroj hodinového signálu a svým druhým vstupem je připojen na výstup bistabilního klopného obvodu, zatímco výstup logického členu NAND je připojen k prvnímu vstupu monostabilního klopného obvodu a k druhému hodinovému vstupu bistabilního klopného obvodu, přičemž výstup monostabilního klopného obvodu je připojen k výstupu signálu nastavení číslicového systému do klidového stavu a k prvnímu datovému vstupu bistabilního klopného obvodu. V jiném řešení je bistabilní klopný obvod typu D.

Zapojení podle vynálezu je velmi jednoduché, používá standardní integrované prvky a umožňuje generovat signál nastavení klidového stavu číslicového systému s předem definovanou dobou trvání, jejíž toleranci lze zaručit.

Příklad zapojení pro nastavení klidového stavu číslicového systému po zapnutí podle vynálezu je zobrazen na připojeném výkresu, kde

obr. 1 představuje blokové schéma zapojení, a

obr. 2 představuje časový diagram signálů v některých bodech zapojení podle obr. 1 po připojení napájecích napětí.

Popis zapojení a činnosti podle obr. 1:

Na první vstup 11 inverzního logického členu 1 realizovaného obvodem NAND je přiváděn přes svorku X z neznázorněného zdroje hodinový impuls. Výstup 13 logického členu 1 NAND je připojen na vstup 21 monostabilního klopného obvodu 2 a na hodinový vstup 32 bistabilního klopného obvodu 3 typu D. Výstup 22 monostabilního klopného obvodu 2 je připojen na datový vstup 31 bistabilního klopného obvodu 3. Výstup 22 monostabilního klopného obvodu je také zdrojem signálu pro nastavení klidového stavu systému. Inverzní výstup 33 bistabilního klopného obvodu 3 je připojen na vstup 12 inverzního logického členu 1 NAND. Předpokládejme, že na prvním výstupu 33 bistabilního klopného obvodu 3 je stav "1". Dále předpokládáme, že první výstup 22 monostabilního klopného obvodu 2 je po zapnutí vždy ve stavu "0".

Přivede-li se v tomto stavu obvodů na první vstup 11 logického členu 1 NAND hodinový impuls, objeví se v obrácené polaritě na jeho prvním výstupu 13, neboť jeho druhý vstup 12 je ve stavu "1". Sestupnou hranou signálu na prvním výstupu 13 logického členu 1 NAND, přivedeného na první vstup 21 monostabilního klopného obvodu 2 přejde tento klopný obvod do opačného stavu, což se projeví přechodem jeho prvního výstupu 22 do stavu "1". Signál z tohoto výstupu v tomto stavu předepisuje klidový stav zařízení. Jeho trvání je určeno časovou konstantou monostabilního klopného obvodu 2. Nástupní hranou signálu na prvním výstupu 13 logického členu 1 NAND, přivedeného na druhý hodinový vstup 32 bistabilního klopného obvodu 3 se reprodukuje stav "1" signálu z prvního výstupu 22 monostabilního klopného obvodu 2, přivedeného na první datový vstup 31 monostabilního klopného obvodu 3 v inverzní hodnotě na jeho prvním výstupu 33. Signál z tohoto prvního výstupu 33 se přivádí na druhý vstup 12 logického členu 1 NAND. Jeho stav "0" způsobí, že signál na prvním výstupu 13 logického členu 1 NAND přejde do stavu "1" a v tomto stavu zůstane až do vypnutí zařízení. Na první vstup 21 monostabilního klopného obvodu 2 nejsou přiváděny další impulsy, takže jeho první výstup 22 zůstává ve stavu "0".

Posloupnost signálů generovaných v zapojení podle obr. 1 je zřejmá z obr. 2. Dosud jsme předpokládali, že na prvním výstupu 33 bistabilního klopného obvodu 3 je stav "1", což odpovídá posloupnosti, následující po okamžiku t_0 , vyznačeném v obr. 2. Není-li tento předpoklad splněn, pak po zapnutí zařízení se zvětšuje úroveň signálu na prvním výstupu 13 logického členu 1 NAND, na jehož druhý vstup 12 se přivádí signál ve stavu "0" z prvního výstupu 33 bistabilního klopného obvodu 3, až dosáhne prahové hodnoty, při které vzorkuje bistabilní obvod 3 stav na svém prvním datovém vstupu 31. Tento stav je "0", takže na prvním výstupu 33 bistabilního klopného obvodu 3 se objeví stav "1". Tato posloupnost signálů před okamžikem t_0 je v obr. 2 vyznačena pro oba možné stavy prvního výstupu 33 bistabilního klopného obvodu 3.

V zapojení pro nastavení klidového stavu číslicového systému po zapnutí je možné použít jiné typy stavebnicových prvků s odlišnými logickými operátory, než jaké byly uvedeny v příkladu zapojení podle obr. 1. Předností zapojení podle vynálezu je jeho jednoduchost a spolehlivost. Přitom dovoluje udržet dobu trvání signálu předepisujícího nastavení číslicového systému do klidového stavu v neměnně úzkých mezích.

PŘEDMĚT VYNÁLEZU

1. Zapojení pro nastavení klidového stavu číslicového systému po zapnutí, sestávající z logického členu NAND, monostabilního klopného obvodu a bistabilního klopného obvodu, vyznačující se tím, že logický člen (1) NAND je svým prvním vstupem (11) připojen na zdroj hodinového signálu a svým druhým vstupem (12) je připojen na výstup (23) bistabilního klopného obvodu (3), zatímco výstup (13) logického členu (1) NAND je připojen k prvnímu vstupu (21) monostabilního klopného obvodu (2) a k druhému hodinovému vstupu (32) bistabilního klopného obvodu (3), přičemž výstup (22) monostabilního klopného obvodu (2) je připojen k výstupu (Y) signálu nastavení číslicového systému do klidového stavu a k prvnímu datovému vstupu (21) bistabilního klopného obvodu (3).

2. Zapojení podle bodu 1, vyznačující se tím, že bistabilní klopný obvod (3) je typu D.

1 list výkresů

