



(12)发明专利

(10)授权公告号 CN 105378846 B

(45)授权公告日 2018.08.31

(21)申请号 201480038159.0

(22)申请日 2014.05.23

(65)同一申请的已公布的文献号

申请公布号 CN 105378846 A

(43)申请公布日 2016.03.02

(30)优先权数据

61/843,110 2013.07.05 US

14/088,098 2013.11.22 US

(85)PCT国际申请进入国家阶段日

2015.12.31

(86)PCT国际申请的申请数据

PCT/US2014/039385 2014.05.23

(87)PCT国际申请的公布数据

W02015/002704 EN 2015.01.08

(73)专利权人 高通股份有限公司

地址 美国加利福尼亚州

(72)发明人 X·董 J·徐

(74)专利代理机构 上海专利商标事务所有限公司 31100

代理人 袁逸

(51)Int.Cl.

G11C 11/406(2006.01)

G06F 13/16(2006.01)

(56)对比文件

US 2012300569 A1,2012.11.29,

US 2011225355 A1,2011.09.15,

CN 102656638 A,2012.09.05,

审查员 张玉碟

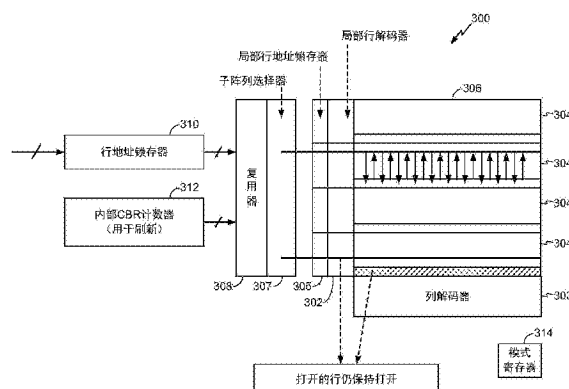
权利要求书2页 说明书7页 附图7页

(54)发明名称

DRAM子阵列级刷新

(57)摘要

耦合到具有数个存储器单元子阵列的存储器芯片的存储器控制器被配置成确定该存储器芯片的配置。该存储器控制器被配置成读取该存储器芯片的子阵列配置以及检测外部命令与刷新操作之间的子阵列级冲突。该存储器控制器在这些刷新操作期间保持一个或多个非冲突页打开。



1. 一种刷新动态随机存取存储器 (DRAM) 的方法, 包括:
根据外部命令在所述DRAM的第一DRAM条的第一行处打开所述DRAM的页;
读取所述DRAM的子阵列配置以确定是否检测到所述外部命令与刷新操作之间的子阵列级冲突, 其中所述第一DRAM条的所述第一行位于所述第一DRAM条的第一子阵列中; 以及
当没有检测到所述子阵列级冲突时, 根据所述刷新操作在关闭所述第一DRAM条的所述第一行之前刷新所述第一DRAM条的第二行, 其中所述第一DRAM条的所述第二行位于所述第一DRAM条的第二子阵列中。
2. 如权利要求1所述的方法, 其特征在于, 进一步包括, 仅当检测到所述子阵列级冲突时, 才在刷新所述第一DRAM条的第三行之前关闭所述第一DRAM条的所有行, 其中所述第一DRAM条的所述第三行位于所述第一DRAM条的所述第一子阵列中。
3. 如权利要求2所述的方法, 其特征在于, 进一步包括, 刷新一组DRAM条中的所述第三行, 所述一组DRAM条包括所述第一DRAM条。
4. 如权利要求1所述的方法, 其特征在于, 进一步包括:
重置局部刷新计数器;
基于所述局部刷新计数器来确定刷新周期是否已期满; 以及
响应于确定所述刷新周期已期满, 确定打开的行是否与所述局部刷新计数器冲突。
5. 如权利要求4所述的方法, 其特征在于, 进一步包括:
响应于确定打开的行与所述局部刷新计数器冲突, 向包括所述打开的行的条发送预充电命令; 以及
在发送所述预充电命令之后发送刷新命令。
6. 如权利要求5所述的方法, 其特征在于, 进一步包括, 响应于确定没有打开的行与所述局部刷新计数器冲突, 向包括所述打开的行的条发送刷新命令而不发送所述预充电命令。
7. 如权利要求1所述的方法, 其特征在于, 进一步包括将所述DRAM集成到移动电话、机顶盒、音乐播放器、视频播放器、娱乐单元、导航设备、计算机、手持式个人通信系统 (PCS) 单元、便携式数据单元、和/或固定位置数据单元中。
8. 一种动态随机存取存储器 (DRAM) 系统, 包括:
存储器芯片, 包括:
多个存储器单元子阵列, 每个所述子阵列具有所分配的感测放大器;
模式寄存器, 其配置成存储所述存储器芯片的子阵列配置;
全局行地址锁存器;
刷新计数器;
耦合到所述全局行地址锁存器以及所述刷新计数器的子阵列选择器; 以及
耦合到所述子阵列选择器的局部行地址锁存器; 以及
存储器控制器, 其耦合到所述存储器芯片, 所述存储器控制器配置成读取所述存储器芯片的所述子阵列配置, 检测外部命令与刷新操作之间的子阵列级冲突, 以及在所述刷新操作期间保持至少一个非冲突页打开。
9. 如权利要求8所述的系统, 其特征在于, 所述存储器控制器包括配置成检测所述子阵列级冲突的副本刷新计数器。

10. 如权利要求8所述的系统,其特征在于,所述存储器控制器配置成当所述外部命令与正在进行的刷新操作冲突时,延迟所述外部命令。

11. 如权利要求8所述的系统,其特征在于,所述存储器控制器配置成当所述刷新命令与正在进行的外部命令冲突时,延迟所述刷新命令。

12. 如权利要求8所述的系统,其特征在于,所述全局行地址锁存器被配置成向所述子阵列选择器提供第一行地址,用于访问DRAM组的第一行,并且所述刷新计数器被配置成向所述子阵列选择器提供第二行,用于刷新所述DRAM组的第二行。

13. 如权利要求12所述的系统,其特征在于,所述子阵列选择器被配置成基于所述第一行地址开启第一字线以用于访问所述DRAM条的所述第一行,并且至少部分地基于所述第二行地址来开启第二字线以刷新所述DRAM条的所述第二行。

14. 如权利要求13所述的系统,其特征在于,进一步包括耦合到所述子阵列选择器的复用器电路系统,所述复用器电路系统配置成仅在所述第一字线和所述第二字线在所述DRAM条的不同子阵列中时,才允许所述子阵列选择器同时开启所述第一字线和所述第二字线。

15. 如权利要求8所述的系统,其特征在于,所述系统被集成到移动电话、机顶盒、音乐播放器、视频播放器、娱乐单元、导航设备、计算机、手持式个人通信系统 (PCS) 单元、便携式数据单元、和/或固定位置数据单元中。

16. 一种动态随机存取存储器 (DRAM) 存储器系统,包括:

存储器芯片,包括:

多个存储器单元子阵列,每个子阵列具有所分配的感测放大器;

用于存储所述存储器芯片的子阵列配置的装置;

全局行地址锁存器;

刷新计数器;

耦合到所述全局行地址锁存器以及所述刷新计数器的子阵列选择器;以及

耦合到所述子阵列选择器的局部行地址锁存器;

用于读取所述存储器芯片的所述子阵列配置、检测外部命令与刷新操作之间的子阵列级冲突、以及在所述刷新操作期间保持至少一个非冲突页打开的装置。

17. 如权利要求16所述的系统,其特征在于,包括:

用于当所述外部命令与正在进行的刷新操作冲突时,延迟所述外部命令的装置;以及

用于在当刷新命令与正在进行的外部命令冲突时,延迟所述刷新命令的装置。

18. 如权利要求16所述的系统,其特征在于,所述系统被集成到移动电话、机顶盒、音乐播放器、视频播放器、娱乐单元、导航设备、计算机、手持式个人通信系统 (PCS) 单元、便携式数据单元、和/或固定位置数据单元中。

DRAM子阵列级刷新

[0001] 相关申请的交叉引用

[0002] 本申请要求于2013年7月5日提交且题为“DRAM Sub-Array Level Refresh (DRAM子阵列级刷新)”的美国临时专利申请No.61/843,110的权益,其公开内容通过援引全部明确纳入于此。

技术领域

[0003] 本公开一般涉及存储器刷新技术。更具体而言,本公开涉及存储器架构以及用以刷新动态随机存取存储器 (DRAM) 阵列的方法

[0004] 背景

[0005] 具有更高密度以及更小特征尺寸的动态随机存取存储器 (DRAM) 的开发提高了DRAM刷新操作的速率来补偿较大数目的漏泄存储器单元。较高的DRAM刷新速率能够影响系统性能。例如,DRAM刷新操作可能妨碍性能,因为存储器条的所有打开页一般要被关闭后条才可以被刷新。此外,DRAM条访问在刷新操作期间一般不被允许,由此进一步妨碍了系统性能。

[0006] 概述

[0007] 本公开的各方面包括刷新动态随机存取存储器 (DRAM) 的方法。该方法包括在该DRAM的第一DRAM条的第一行处打开该DRAM的页。该第一DRAM条的第一行在该第一DRAM条的第一子阵列中。该方法还包括在关闭该DRAM条的第一行之前刷新该第一DRAM条的第二行。该第一DRAM条的第二行在该第一DRAM条的第二子阵列中。

[0008] 本公开的另一方面包括动态随机存取存储器 (DRAM) 系统。该DRAM系统包括具有数个存储器单元子阵列的存储器芯片。每个子阵列具有所分配的感测放大器。该存储器芯片还具有配置成存储该存储器芯片的子阵列配置的模式寄存器、全局行地址锁存器、以及刷新计数器。该存储器芯片还具有耦合到该全局行地址锁存器以及该刷新计数器的子阵列选择器。该存储器芯片还具有耦合到该子阵列选择器的局部行地址锁存器。该DRAM系统还包括耦合到该存储器芯片的存储器控制器。该存储器控制器还配置成读取该存储器芯片的子阵列配置,检测外部命令与刷新操作之间的子阵列级冲突,以及在该刷新操作期间保持一个或多个非冲突页打开。

[0009] 根据本公开另一方面的动态随机存取存储器 (DRAM) 存储器系统包括具有数个存储器单元子阵列的存储器芯片,其中每个子阵列包括所分配的感测放大器。根据本公开的诸方面,该系统包括用于存储该存储器芯片的子阵列配置的装置、全局行地址锁存器、刷新计数器、耦合到该全局行地址锁存器和该刷新计数器的子阵列选择器、以及耦合到该子阵列选择器的局部行地址锁存器。该系统还包括用于读取该存储器芯片的子阵列配置的装置、用于检测外部命令与刷新操作之间的子阵列级冲突的装置、以及用于在该刷新操作期间保持一个或多个非冲突页打开的装置。

[0010] 这已较宽泛地勾勒出本公开的特征和技术优势以便下面的详细描述可以被更好地理解。本公开的附加特征和优点将在下文描述。本领域技术人员应该领会,本公开可容易

地被用作修改或设计用于实施与本公开相同的目的的其他结构的基础。本领域技术人员还应认识到,这样的等效构造并不脱离所附权利要求中所阐述的本公开的教导。被认为是本公开的特性的新颖特征在其组织和操作方法两方面连同进一步的目的和优点在结合附图来考虑以下描述时将被更好地理解。然而,要清楚理解的是,提供每一幅附图均仅用于解说和描述目的,且无意作为对本公开的限定的定义。

[0011] 附图简述

[0012] 为了更全面地理解本公开,现在结合附图参阅以下描述。

[0013] 图1是常规DRAM阵列架构的示意图。

[0014] 图2是常规DRAM阵列中的DRAM条的示意图。

[0015] 图3是根据本公开的诸方面的DRAM条的示意图。

[0016] 图4A是解说常规DRAM控制器的功能的功能性框图。

[0017] 图4B是解说根据本公开诸方面的DRAM控制器的功能的功能性框图。

[0018] 图5是示出其中可有利地采用本公开的配置的示例性无线通信系统的框图。

[0019] 图6是解说根据一种配置的用于半导体组件的电路、布局、以及逻辑设计的设计工作站的框图。

[0020] 详细描述

[0021] 以下结合附图阐述的详细描述旨在作为各种配置的描述,而无意表示可实践本文中所描述的概念的仅有的配置。本详细描述包括具体细节以便提供对各种概念的透彻理解。然而,对于本领域技术人员将显而易见的是,没有这些具体细节也可实践这些概念。在一些实例中,以框图形式示出众所周知的结构与组件以避免湮没此类概念。如本文所述的,术语“和/或”的使用旨在代表“可兼性或”,而术语“或”的使用旨在代表“排他性或”。

[0022] 动态随机存取存储器 (DRAM) 规模伸缩持续进行以增加每块DRAM芯片的总位数。此增加的容量直接影响了DRAM刷新操作的规范,DRAM刷新操作是位单元的值藉以保持可读的过程。DRAM刷新操作的规范包括刷新命令被发送到DRAM条的间隔 (t_{REFI})、以及刷新命令占用DRAM接口的时间量 (t_{RFC})。

[0023] 遗憾的是,DRAM规模伸缩也增加了弱留存单元(例如,具有较低的留存时间的单元)的数目。此类单元受制于频率刷新选项来维持所存储的信息。性能和功耗受到片上系统 (SoC) 或者其他类似计算机架构中的DRAM上的增加的刷新循环的显著影响。在没有增加的刷新循环的情况下,会因增加数目的弱留存单元而结果导致潜在的DRAM芯片产出损失。

[0024] 根据本公开的诸方面,增加的动态随机存取存储器 (DRAM) 刷新速率的有害影响可以通过刷新DRAM条中的子阵列而允许该存储器条中的其他子阵列保持打开并同时允许对这些其他子阵列的访问来缓解。

[0025] 图1解说了包括八个DRAM条102的DRAM 100。每个DRAM条102包括四个DRAM子阵列104。虽然图1解说了每个条102包括四个子阵列104,但是应当理解,本公开的各实现一般可以在每个DRAM条102中包括32个、64个或者某个其他数目的子阵列104。局部感测放大器106被耦合到子阵列104。每个局部感测放大器106的大小对应于DRAM页的大小。例如,在当前实现中,页大小能够至多为大约4千字节。虽然图1解说了每个刷新循环中仅有1行被刷新的简化情形,但是应当理解,每个刷新循环可以刷新不止一行。例如,DRAM条可以具有32k行,但是刷新循环可以被实现成8k循环。在这种情形中,在一刷新循环 (t_{RFC}) 期间每条刷新4行。

这4行通常分布到4个子阵列中。由此,对于具有总共32个子阵列的DRAM条,当其中4个子阵列中在执行刷新操作时,剩余的28个子阵列可以自由进行正常操作。

[0026] 局部感测放大器106通过较窄I/O感测放大器总线110被耦合到全局输入/输出(I/O)感测放大器。在一个示例中,I/O感测放大器总线110可以是128位宽,然而应当理解I/O感测放大器总线110可以实现为具有不同总线宽度。在所解说的示例中,对于每次存储器访问8个数据字的预取操作而言,DRAM输出总线112可以是16位宽。应当理解,DRAM输出总线112也可以实现为具有不同总线宽度。

[0027] 按常规,为了刷新DRAM阵列中的条,整个条首先被关闭,并且在刷新操作期间不允许对于该条的访问。然而,根据本公开的诸方面,若每个条102中的特定行(例如,图1中所示的行114)在全条刷新操作期间被刷新,条102不应当被关闭,除非正在被刷新的行(例如,图1中所示的行114)位于与打开页相同的子阵列中。在图1中,例如,打开页116位于一个条102的子阵列中。根据本公开的诸方面,因为打开页116并不位于与正被刷新的行(行114)相同的子阵列中,所以页116能够在该刷新操作期间保持打开,从而包括页116的整个条102并不被关闭。换句话说,根据本公开的诸方面,仅当正被刷新的行位于该条的包括打开页的子阵列中时,整个条才在刷新操作期间被关闭。

[0028] 参见图2,常规DRAM架构200包括耦合到DRAM条206中的每个子阵列204的全局行解码器202以及列解码器203。在对DRAM条206的正常存储器访问期间,当从存储器控制器接收到激活命令时,由复用器电路系统208将该激活命令中所提供的行地址从行地址锁存器210耦合到全局行解码器202。

[0029] 在刷新操作期间,复用器电路系统208将刷新计数器212生成的行地址耦合到全局行解码器202。在该示例中,刷新计数器212也被称为内部先列后行(CBR)计数器。刷新计数器212跟踪哪行已经被刷新以及哪行应当在下一刷新循环中被刷新。在常规DRAM架构200中,刷新计数器212一般在随机地址处开始。

[0030] 复用器电路系统208在正常存储器访问期间从行地址锁存器210选择行地址或者在刷新操作期间从刷新计数器212选择行地址。在常规DRAM架构200中,一次仅有一个字线被全局行解码器202基于从复用器电路系统208接收到的行地址来断言。这防止了条206中的其他行被访问,即使是正在该条206内的不同子阵列204中执行刷新。

[0031] 本公开的诸方面包括修改了DRAM设备与存储器控制器的DRAM架构。对于DRAM设备的改变允许多个字线在同一时间被断言。

[0032] 参见图3,根据本公开诸方面的DRAM架构300允许在存储器条中的子阵列上进行刷新操作,而该存储器条在其他子阵列中具有打开页。DRAM架构300包括耦合到DRAM条306中的每个子阵列304的局部行解码器302以及列解码器303局部行地址锁存器305被耦合到局部列解码器302。耦合到行地址锁存器310以及刷新计数器312的复用器电路系统308将行地址耦合到子阵列选择器307。

[0033] 根据本公开的诸方面,常规全局行解码器被子阵列选择器307和局部行解码器302所代替。这允许多个(例如,两个)字线在同一时间被激发以寻址两个分别子阵列中的行。例如,一个字线可以基于从行地址锁存器310接收的第一个子阵列中的行地址来被断言,与此同时,另一字线可以基于从刷新计数器312接收的第二个子阵列304中的行地址来被断言。

[0034] 根据本公开的诸方面,刷新计数器312可以从0开始并且与地址控制器同步。该同

步使得存储器控制器能够知晓DRAM设备内部哪行正在被刷新,从而该存储器控制器能够确定正常操作和刷新操作是否具有子阵列冲突。同步可以通过在上电阶段将刷新计数器初始化到零并且在存储器控制器侧添加副本刷新计数器来实现,该副本刷新计数器也在上电时被初始化到零。这两个计数器在相同的条件下均将递增。尽管本公开的诸方面被描述为其中刷新计数器行为被预定义,但是本公开的其他方面包括替换性实现,在其中存储器控制器被配置成显式地提供哪个子阵列以及该子阵列中的哪行可以在下一刷新循环中被刷新的指示。

[0035] 根据本公开的另一方面,模式寄存器314被实现成存储并向存储器控制器指示DRAM条306中的子阵列304的数目。这允许存储器控制器确定每个设备的子阵列数目,例如,其可以在不同供应商所提供的存储器设备之间有所不同。

[0036] 本公开的诸方面包括配置成允许访问DRAM条中的子阵列而此时该DRAM条中的另一子阵列的行被刷新的DRAM控制器。根据本公开的一方面,当DRAM控制器检测到外部命令与正在进行的刷新操作之间的冲突时,DRAM控制器可以延迟外部命令。当DRAM控制器检测到刷新操作与正在进行的外部命令之间的冲突时,DRAM控制器可以延迟刷新操作。根据本公开的诸方面,DRAM控制器可以被纳入到具有该DRAM的芯片上,并且可以在耦合到该DRAM芯片的电路系统中被单独地配置。DRAM控制器协议引擎适配成允许刷新周期(t_{RFC} 窗口)期间的读/写/预充电命令,以及允许 t_{RFC} 窗口期间的激活命令。

[0037] 为了比较,常规DRAM控制器功能性参考图4A来描述。在框402,DRAM控制器确定 t_{REFI} 定时器(其指示刷新周期)是否期满。当 t_{REFI} 定时器已期满时,在框404,DRAM控制器确定是否所有的条都是空闲的。若所有的条都是空闲的,则DRAM控制器在框406发送刷新命令。若并非所有的条都是空闲的,则在框408,DRAM控制器发送预充电命令来打开条,并且关闭打开的条,并且随后在框406发送刷新命令。在刷新命令被发送之后,DRAM控制器在框410重置 t_{REFI} 定时器。

[0038] 参考图4B描述了根据本公开的诸方面的DRAM控制器的功能性。在框420,DRAM控制器加载设备子阵列参数。例如,设备子阵列参数可以包括来自模式寄存器314(图3)的信息。在框422,DRAM控制器重置局部刷新(CBR)计数器。在框424,DRAM控制器确定 t_{REFI} 定时器(其指示刷新周期)是否期满。当 t_{REFI} 定时器已期满时,在框426,DRAM控制器确定打开行是否与局部刷新计数器冲突。若没有打开行与局部刷新计数器冲突,即,没有行在正被刷新的子阵列中打开,那么在框428,DRAM控制器发送刷新命令。若打开行与局部刷新计数器冲突,即,在要被刷新的子阵列中有行打开,那么在框430,DRAM控制器向处于冲突的条发送预充电命令以仅关闭其中正在被刷新的子阵列有行被打开的那个条。随后在框428,DRAM控制器发送刷新命令。在刷新命令被发送之后,DRAM控制器在框432重置 t_{REFI} 定时器。

[0039] 根据本公开的方面,在子阵列冲突的情形中,DRAM控制器仅发送预充电命令来关闭条。在刷新命令之后,DRAM侧计数器与存储器控制器CBR计数器二者均被递增。这在刷新期间允许存储器设备中有打开行,这相比于在刷新之前所有打开行被关闭的常规DRAM架构而言改进了性能。

[0040] 根据本公开的诸方面,因为配置了子阵列级并行化,所以若正常访问命令与刷新并不在相同子阵列中,那么在 t_{RFC} 窗口期间允许读、写以及还允许预充电命令。激活命令在 t_{RFC} 窗口期间也被允许,但有一些合理的电流汲取限制,因为激活命令与刷新命令二者消

耗大量的电流。在一个配置中,在这两个操作之间施加了合理的定时,但是激活命令和刷新命令两者都在tRFC窗口内被发布是有实现可能的。

[0041] 虽然本公开的诸方面是参考用于在刷新操作期间刷新存储器设备中所有条的架构与方法来描述的,但是应当理解,本公开的各方面还可以在配置成在每条基础上执行刷新操作的DRAM设备中实现,其中条地址被用来标识哪条将会被刷新。

[0042] 根据本公开一方面的动态随机存取存储器(DRAM)系统包括具有数个存储器单元子阵列的存储器芯片,其中每个子阵列包括所分配的感测放大器。根据本公开的诸方面,该系统包括用于存储存储器芯片的子阵列配置的装置。例如,该用于存储存储器芯片的子阵列配置的装置可以是存储器芯片上或者耦合到该存储器芯片的存储位置,诸如图3中所示的模式寄存器314。该系统还包括用于读取存储器芯片的子阵列配置的装置、用于检测外部命令与刷新操作之间的子阵列级冲突的装置、以及用于在刷新操作期间保持一个或多个非冲突页打开的装置。例如,该用于读取存储器芯片的子阵列配置的装置、用于检测外部命令与刷新操作之间的子阵列级冲突的装置、以及用于在刷新操作期间保持一个或多个非冲突页打开的装置可以是耦合到该存储器芯片的存储器控制器或者配置在存储器芯片上的存储器控制器电路系统。

[0043] 在另一配置中,前述装置可以是被配置成执行由前述装置所叙述的功能的任何模块或任何设备。尽管已阐述了特定装置,但是本领域技术人员将可领会,并非所有所公开的装置都是实践所公开的配置所必需的。此外,某些众所周知的装置未被描述,以便保持专注于本公开。

[0044] 图5是示出其中可有利地采用本公开的一方面的示例性无线通信系统500的框图。出于解说目的,图5示出了三个远程单元520、530和550以及两个基站540。将认识到,无线通信系统可具有多得多的远程单元和基站。远程单元520、530和550包括IC器件525A、525C和525B,这些IC器件包括所公开的存储器单元阵列。将认识到,其他设备也可包括所公开的存储器单元阵列,诸如基站、交换设备、和网络装备。图5示出从基站540到远程单元520、530和550的前向链路信号580,以及从远程单元520、530和550到基站540的反向链路信号590。

[0045] 在图5中,远程单元520被示为移动电话,远程单元530被示为便携式计算机,而远程单元550被示为无线本地环路系统中的固定位置远程单元。例如,这些远程单元可以是移动电话、手持式个人通信系统(PCS)单元、便携式数据单元(诸如个人数据助理)、启用GPS的设备、导航设备、机顶盒、音乐播放器、视频播放器、娱乐单元、位置固定的数据单元(诸如仪表读数装置)、或者存储或取回数据或计算机指令的其他设备、或者其组合。尽管图5解说了根据本公开的教导的远程单元,但本公开并不限于所解说的这些示例性单元。本公开的各方面可以合适地在包括所公开的存储器单元阵列的许多设备中采用。

[0046] 图6是解说用于半导体组件(诸如以上揭示的存储器单元阵列)的电路、布局以及逻辑设计的设计工作站的框图。设计工作站600包括硬盘601,该硬盘601包含操作系统软件、支持文件、以及设计软件(诸如Cadence或OrCAD)。设计工作站600还包括促成对电路610或半导体组件612(诸如存储器单元阵列)的设计的显示器602。提供存储介质604以用于有形地存储电路设计610或半导体组件612。电路设计610或半导体组件612可以文件格式(诸如GDSII或GERBER)存储在存储介质604上。存储介质604可以是CD-ROM、DVD、硬盘、闪存、或者其他合适的设备。此外,设计工作站600包括用于从存储介质604接受输入或者将输出写

到存储介质604的驱动装置603。

[0047] 存储介质604上记录的数据可指定逻辑电路配置、用于光刻掩模的图案数据、或者用于串写工具(诸如电子束光刻)的掩模图案数据。该数据可进一步包括与逻辑仿真相关联的逻辑验证数据,诸如时序图或网电路。在存储介质604上提供数据通过减少用于设计半导体晶片的工艺数目来促成电路设计610或半导体组件612的设计。

[0048] 对于固件和/或软件实现,这些方法体系可以用执行本文所描述功能的模块(例如,规程、函数等等)来实现。有形地体现指令的机器可读介质可被用来实现本文所述的方法体系。例如,软件代码可被存储在存储器中并由处理器单元来执行。存储器可以在处理器单元内或在处理器单元外部实现。如本文所用的,术语“存储器”是指多种类型的长期、短期、易失性、非易失性、或者其他存储器,而并不限于特定类型的存储器或特定数目的存储器、或者记忆存储在其上的类型的介质。

[0049] 如果以固件和/或软件实现,则功能可作为一条或多条指令或代码存储在计算机可读介质上。示例包括编码有数据结构的计算机可读介质和编码有计算机程序的计算机可读介质。计算机可读介质包括物理计算机存储介质。存储介质可以是能被计算机访问的可用介质。作为示例而非限定,此类计算机可读介质可包括RAM、ROM、EEPROM、CD-ROM或其他光盘存储、磁盘存储或其他磁存储设备、或能被用来存储指令或数据结构形式的期望程序代码且能被计算机访问的任何其他介质;如本文中所使用的盘(disk)和碟(disc)包括压缩碟(CD)、激光碟、光碟、数字多用碟(DVD)、软盘和蓝光碟,其中盘常常磁性地再现数据,而碟用激光光学地再现数据。上述的组合应当也被包括在计算机可读介质的范围内。

[0050] 除了存储在计算机可读介质上,指令和/或数据还可作为包括在通信装置中的传输介质上的信号来提供。例如,通信装置可包括具有指示指令和数据的信号的收发机。这些指令和数据被配置成使一个或多个处理器实现权利要求中叙述的功能。

[0051] 尽管已详细描述了本公开及其优势,但是应当理解,可在本文中作出各种改变、替代和变更而不会脱离如由所附权利要求所定义的本公开的技术。例如,诸如“上方”和“下方”之类的关系术语是关于基板或电子器件使用的。当然,如果该基板或电子器件被颠倒,则上方变成下方,反之亦然。此外,如果是侧面取向的,则上方和下方可指代基板或电子器件的侧面。而且,本申请的范围并非旨在被限定于说明书中所描述的过程、机器、制造、物质组成、装置、方法和步骤的特定配置。如本领域的普通技术人员将容易从本公开领会到的,根据本公开,可以利用现存或今后开发的与本文所描述的相应配置执行基本相同的功能或实现基本相同结果的过程、机器、制造、物质组成、装置、方法或步骤。因此,所附权利要求旨在将这样的过程、机器、制造、物质组成、装置、方法或步骤包括在其范围内。

[0052] 尽管已阐述了具体电路系统,但是本领域技术人员将领会,并非所有所公开的电路系统都是实践本公开所必需的。此外,某些众所周知的电路未被描述,以便保持专注于本公开。类似地,尽管本描述在某些地方引述逻辑“0”和逻辑“1”,但本领域技术人员应领会到这些逻辑值可以交换,且其余电路相应地调整,而不影响本公开的操作。

[0053] 尽管已详细描述了本公开及其优点,但是应当理解,可在本文中作出各种改变、替代和变更而不会脱离如由所附权利要求所定义的本公开的精神和范围。例如,虽然前面的描述是针对于在同一时间断言两个字线的,但是两个以上字线也能够被断言。而且,本申请的范围并非旨在被限定于说明书中所描述的过程、机器、制造、物质组成、装置、方法和步骤

的特定配置。如本领域的普通技术人员将容易从本公开领会到的,根据本公开,可以利用现存或今后开发的与本文所描述的相应配置执行基本相同的功能或实现基本相同结果的过程、机器、制造、物质组成、装置、方法或步骤。因此,所附权利要求旨在将这样的过程、机器、制造、物质组成、装置、方法或步骤包括在其范围内。

[0054] 提供对本公开的先前描述是为使得本领域任何技术人员皆能够制作或使用本公开。对本公开的各种修改对本领域技术人员来说都将是显而易见的,且本文中所定义的普适原理可被应用到其他变型而不会脱离本公开的精神或范围。由此,本公开并非旨在被限定于本文中所描述的示例和设计,而是应被授予与本文中所公开的原理和新颖性特征相一致的最广范围。

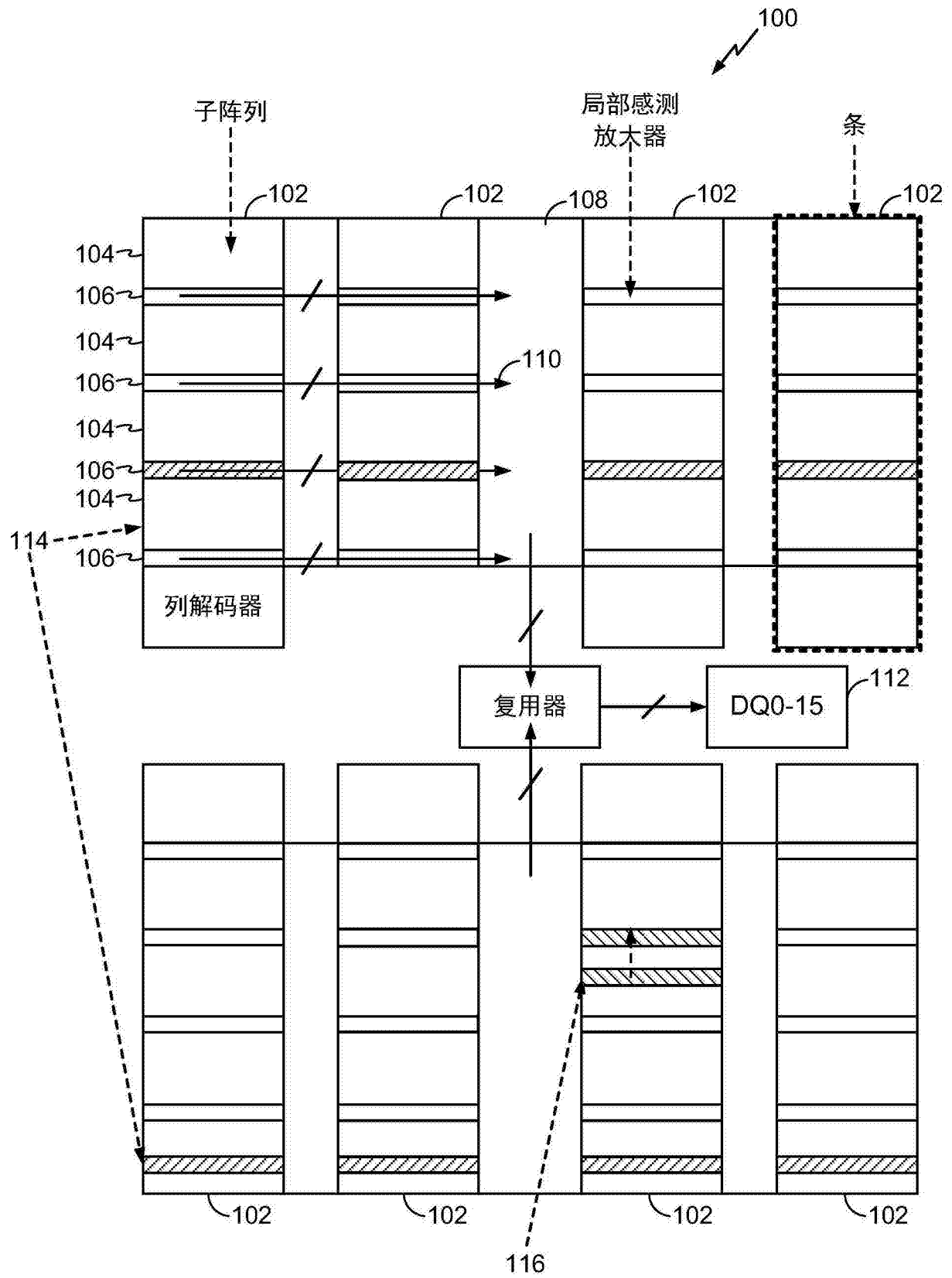


图1现有技术

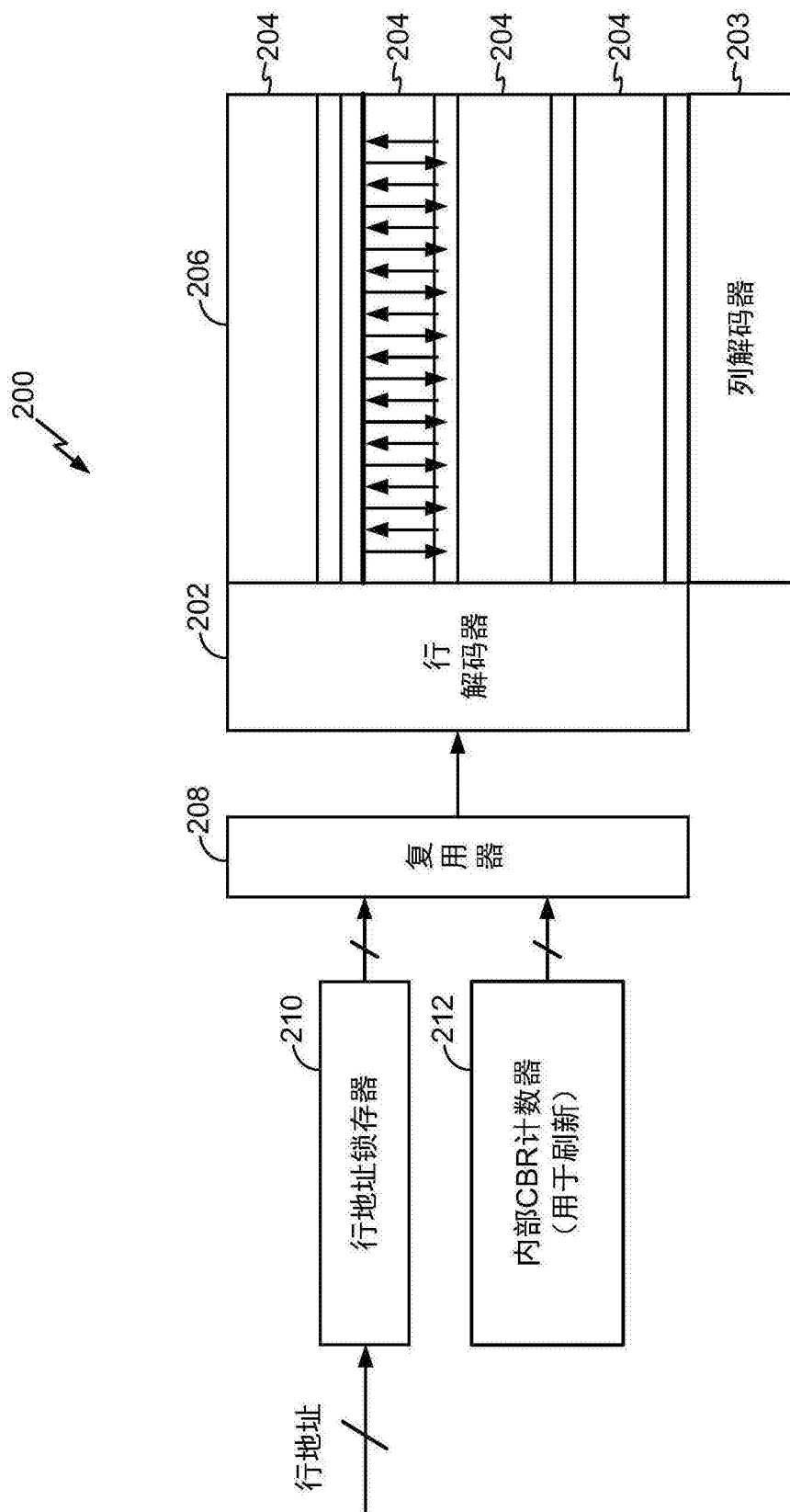


图2现有技术

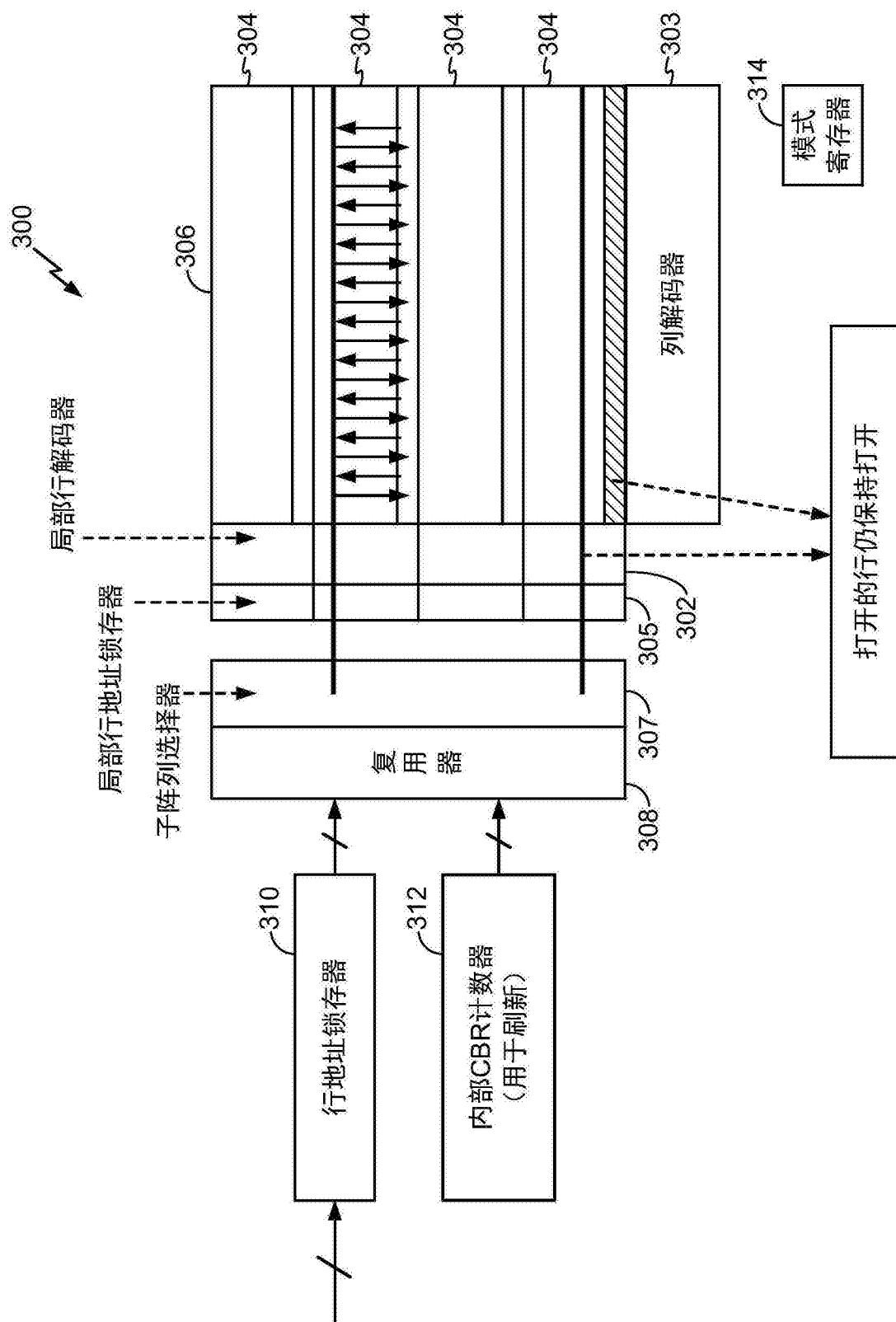


图3

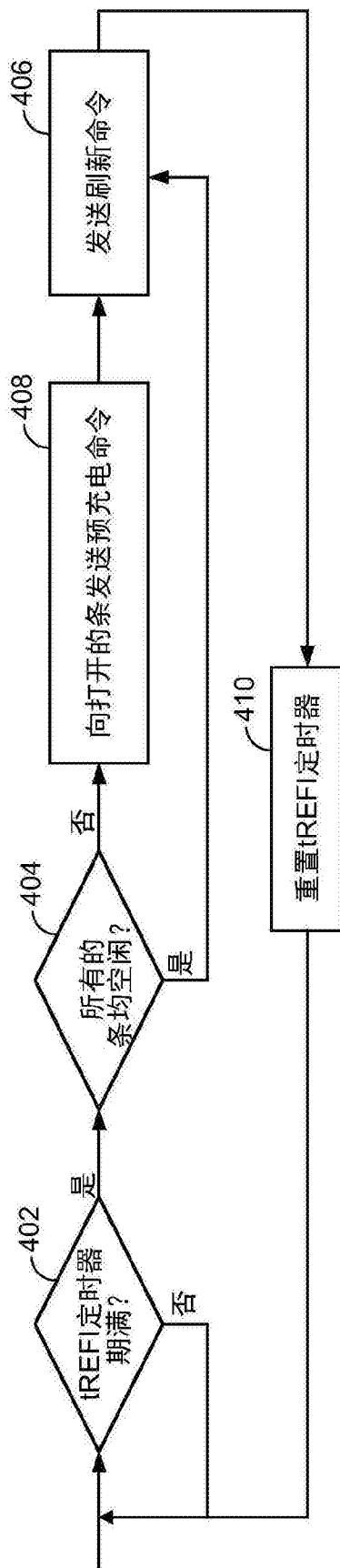


图4A现有技术

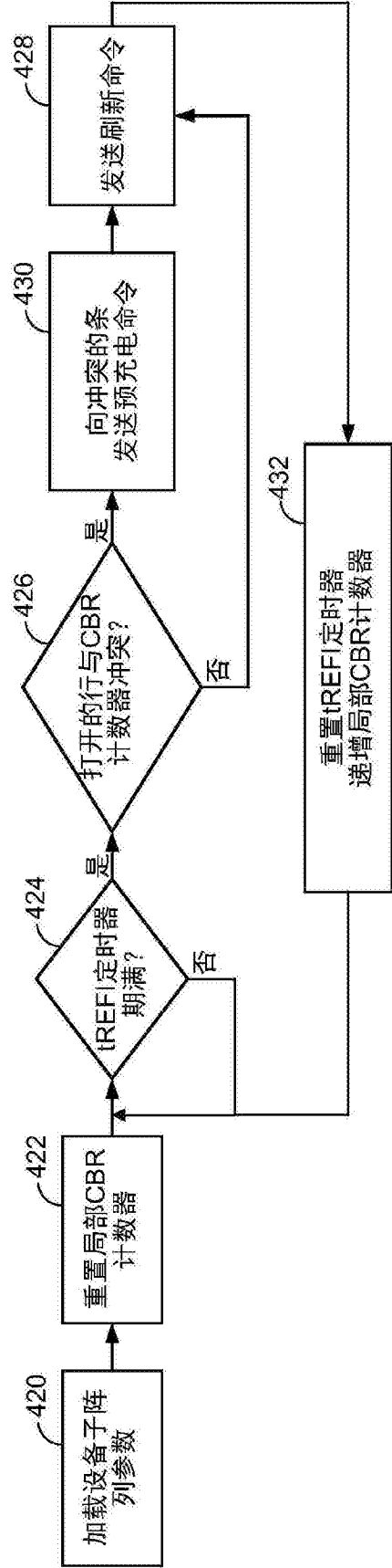


图4B

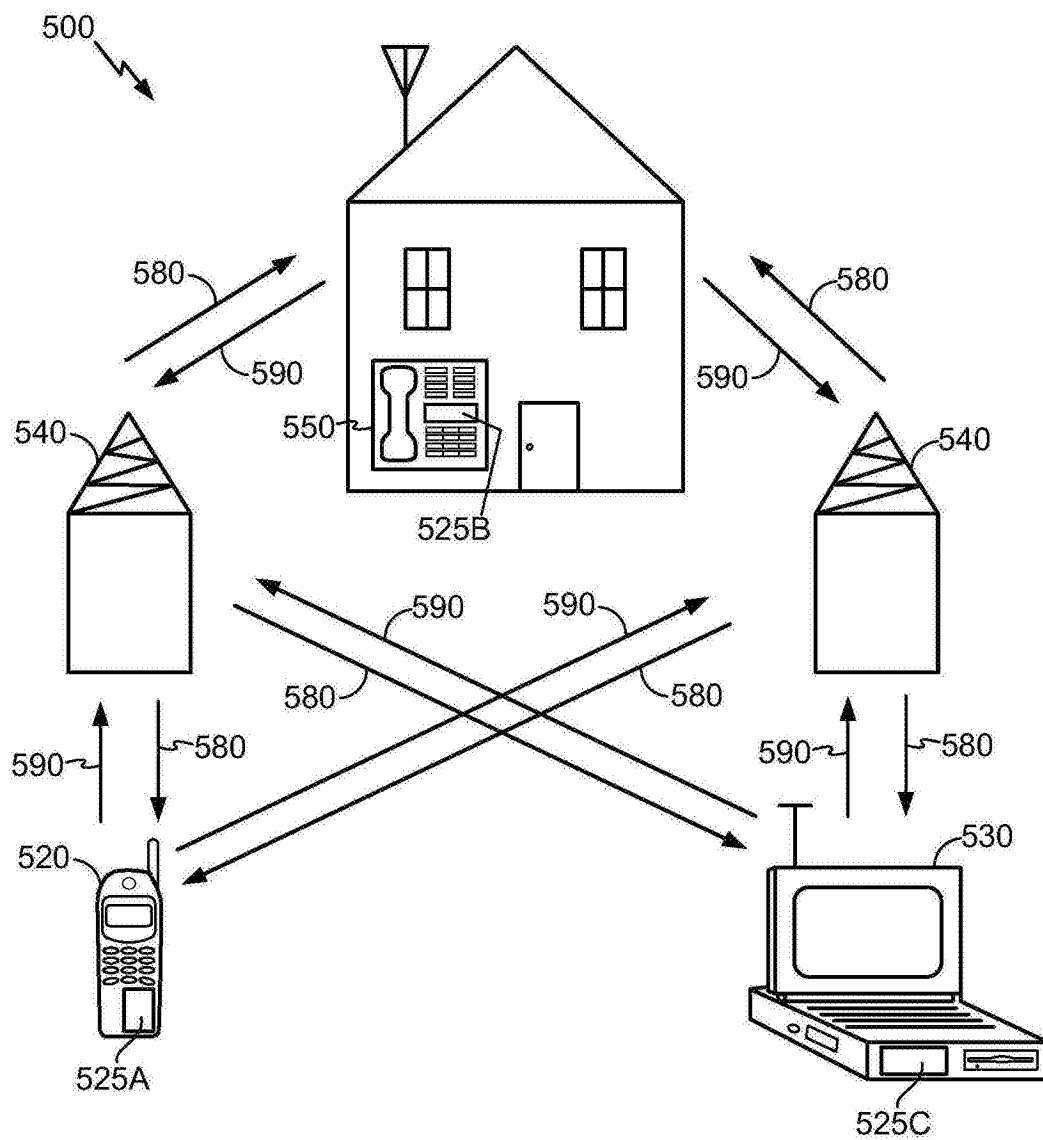


图5

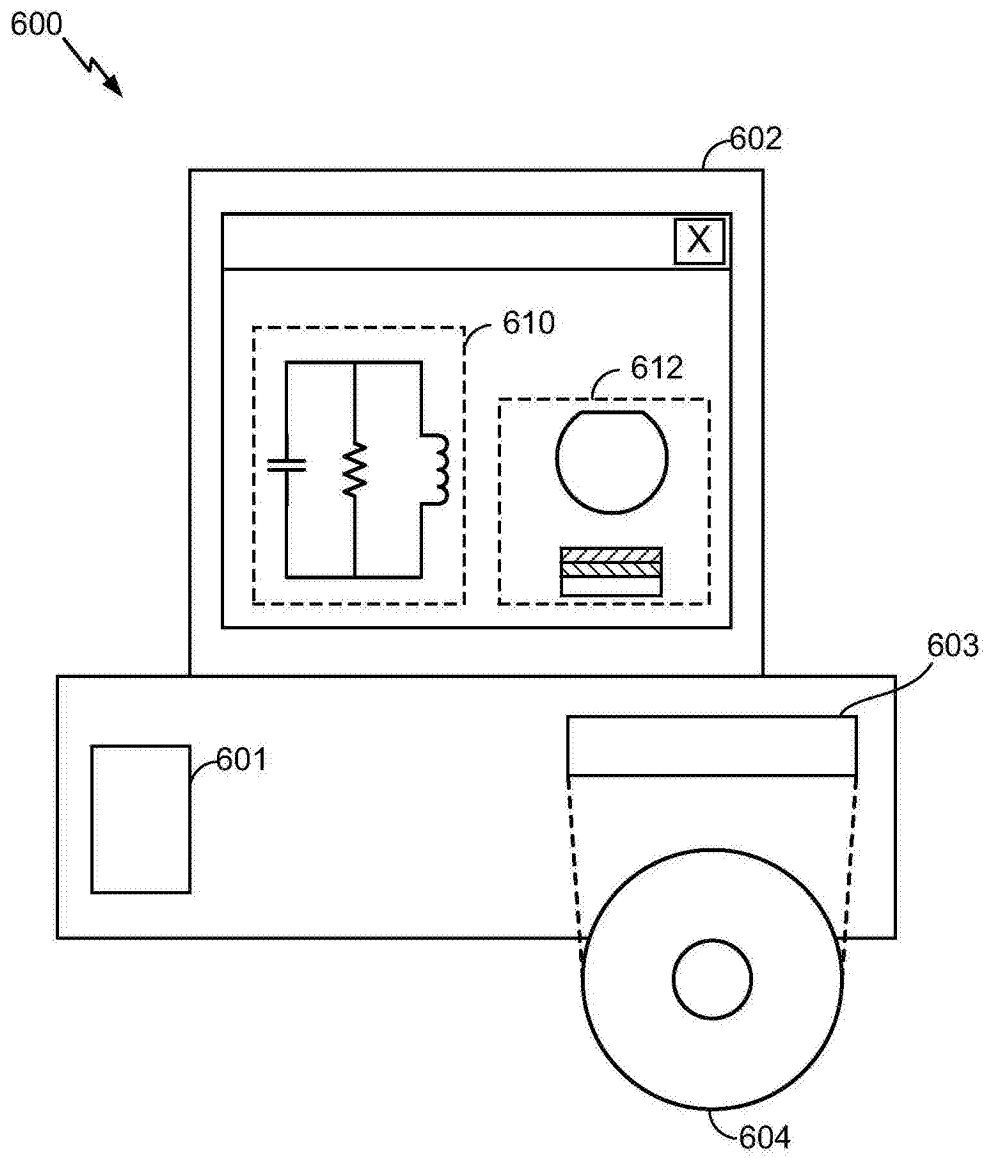


图6