(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 119422128 A
(43)申请公布日 2025.02.11

(21)申请号 202380049504.X

(22)申请日 2023.06.14

(30)优先权数据
2209637.4 2022.06.30 GB

(85)PCT国际申请进入国家阶段日
2024.12.24

(86)PCT国际申请的申请数据
PCT/GB2023/051544 2023.06.14

(87)PCT国际申请的公布数据
WO2024/003526 EN 2024.01.04

(71)申请人 ARM有限公司
地址 英国剑桥

(72)发明人 托马斯·克里斯多夫·格鲁卡特

(74)专利代理机构 北京东方亿思知识产权代理有限责任公司 11258
专利代理师 杨佳婧

(51)Int.Cl.
G06F 9/30(2006.01)

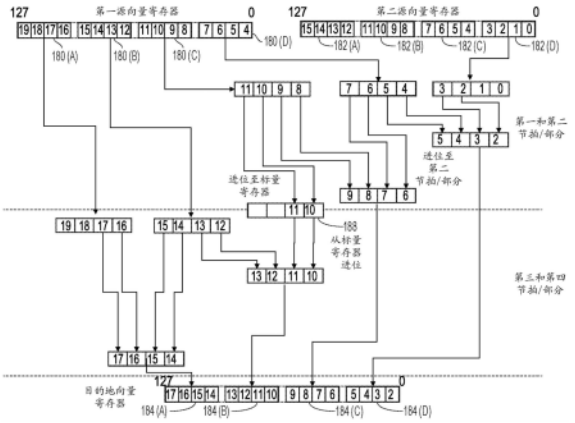
权利要求书5页 说明书22页 附图17页

(54)发明名称

向量抽取和合并指令

(57)摘要

本发明提供了一种装置、方法和介质。该装置包括解码器电路,该解码器电路用以响应于向量抽取和合并指令来生成控制信号,该向量抽取和合并指令指定控制参数、第一向量寄存器、第二向量寄存器和目的地向量寄存器。该装置包括处理电路,该处理电路响应于这些控制信号来执行多个处理节拍,每个节拍包括对应于至少该第一向量寄存器和该目的地向量寄存器的部分的处理。针对第K节拍,该处理包括:从该第一向量寄存器的第K部分抽取由该控制参数指定的位,将这些位与另外的位级联,并将结果存储于该目的地寄存器的第K部分中。对于第一部分,这些另外的位是从该第二向量寄存器的第一部分所抽取,否则是从该第一向量寄存器的第(K-1)部分所抽取。



CN 119422128 A

1.一种装置,所述装置包括:

多个向量寄存器;

解码器电路,所述解码器电路响应于向量抽取和合并指令来生成控制信号,所述向量抽取和合并指令指定控制参数,并且将第一源向量寄存器、第二源向量寄存器和目的地向量寄存器指定为所述多个向量寄存器的指定寄存器;和

处理电路,所述处理电路响应于所述控制信号来执行多个处理节拍,每个节拍包括对应于至少所述第一源向量寄存器和所述目的地向量寄存器的部分的组合处理,其中所述处理电路被配置为设置指示所述向量抽取和合并指令的哪些节拍已完成的节拍状况信息,并抑制由所述节拍状况信息指示为已完成的所述向量抽取和合并指令的已完成节拍,

其中对应于所述指定寄存器中的每一者的第K部分的第K节拍的所述组合处理包括:

从所述第一源向量寄存器的所述第K部分抽取如由所述控制参数指定的位,将所抽取的位与一个或多个另外的位级联,并将所述级联的结果存储于所述目的地寄存器的所述第K部分中;

当所述第K部分不是所述指定寄存器的最后部分时,对未存储于所述目的地寄存器中的所述第一源向量寄存器的所述第K部分中的至少一个位进行进位,以在所述多个节拍中的第(K+1)节拍中处理;

对于所述指定寄存器的第一部分,所述一个或多个另外的位是从所述第二源向量寄存器的第一部分抽取的;并且

对于除了所述指定寄存器的所述第一部分以外的每个部分,所述一个或多个另外的位是从所述第一源向量寄存器的第(K-1)部分进位的。

2.根据权利要求1所述的装置,其中:

所述解码器电路响应于指定标量寄存器的所述向量抽取和合并指令;

所述多个节拍包括当前执行的一个或多个节拍的子集,其中所述当前执行的节拍的子集排除所述已完成节拍;并且

所述处理电路响应于所述控制信号来将至少一个进位数据项目存储于所述标量寄存器中,所述至少一个进位数据项目包括在所述当前执行的一个或多个节拍的子集与所述多个节拍中的一个或多个节拍的另外的子集之间待进位的一个或多个位。

3.根据权利要求2所述的装置,其中针对所述当前执行的一个或多个节拍的集合的第一节拍,并且在执行所述向量抽取和合并指令之前所述节拍状况信息指示至少一个节拍待抑制时,所述处理电路响应于所述控制信号来从所述标量寄存器检索所述一个或多个另外的位。

4.根据权利要求3所述的装置,其中:

待进位的所述一个或多个位包括所述第一源向量寄存器的部分的所有位;并且

从所述标量寄存器检索所述一个或多个另外的位包括从所述标量寄存器检索位的最后子集。

5.根据权利要求3所述的装置,其中:

待进位的所述一个或多个位包括来自存储至所述标量寄存器中的暂时的位位置的集合的所述第一源向量寄存器的部分的M个位的最后集合;并且

从所述标量寄存器检索所述一个或多个另外的位包括从所述标量寄存器的所述暂时

的位位置的集合检索位。

6.根据任一前述权利要求所述的装置,其中级联所抽取的位包括将所抽取的位存储于所述目的地寄存器的所述第K部分的连续的位位置的第一集合中,并且将所述一个或多个另外的位存储于所述目的地寄存器的所述第K部分的连续的位位置的第二集合中。

7.根据权利要求6所述的装置,其中所述连续的位位置的第一集合和所述连续的位位置的第二集合是非重叠的位位置。

8.根据权利要求6或权利要求7所述的装置,其中所述连续的位位置的第一集合是所述目的地寄存器的所述第K部分的位位置的最高有效集合,且所述连续的位位置的第二集合是所述目的地寄存器的所述第K部分的位位置的最低有效集合。

9.根据权利要求6或权利要求7所述的装置,其中所述连续的位位置的第一集合是所述目的地寄存器的所述第K部分的位位置的最低有效集合,并且所述连续的位位置的第二集合是所述目的地寄存器的所述第K部分的位位置的最高有效集合。

10.根据任一前述权利要求所述的装置,其中所抽取的位是从所述第一源向量寄存器的所述第K部分的连续的位位置抽取的。

11.根据权利要求10所述的装置,其中所述连续的位位置是所述第一源向量寄存器的所述第K部分的连续的位位置的最低有效集合。

12.根据任一前述权利要求中任一项所述的装置,其中:

所述指定寄存器中的每一者的每个部分是N位部分;

所述控制参数指示指定位数目的移位距离M;

所述一个或多个另外的位包括M个位;并且

来自所述第一源向量寄存器的所述第K部分的所抽取的位包括N减M个位。

13.根据权利要求12所述的装置,其中:

每个N位部分被划分成多个元素;

所述移位距离对应于元素的整数数目;并且

对于所述指定寄存器的所述第一部分,所述一个或多个另外的位包括排除最低有效元素的所述第二源向量寄存器的所述第一部分的最低有效元素子集。

14.根据权利要求12所述的装置,其中:

每个N位部分被划分成多个元素;

所述移位距离对应于元素的整数数目;并且

对于所述指定寄存器的所述第一部分,所述一个或多个另外的位包括所述第二源向量寄存器的所述第一部分的最高有效元素子集。

15.根据任一前述权利要求所述的装置,其中所述目的地向量寄存器是所述第二源向量寄存器。

16.根据任一前述权利要求所述的装置,其中所述处理电路被配置为并行地处理所述多个节拍中的至少两者。

17.根据任一前述权利要求所述的装置,其中所述处理电路包括不足以用于并行地执行所述给定向量指令的所述多个节拍的全部的硬件。

18.根据权利要求1至16中任一项所述的装置,其中所述处理电路被配置为并行地处理所述给定向量指令的所述多个节拍的全部。

19.根据任一前述权利要求所述的装置,其中:

所述解码器电路响应于在程序计数器顺序中相邻于所述向量抽取和合并指令的存储器数据传输指令来生成数据传输控制信号,所述存储器数据传输指令指定存储器地址和所述多个向量寄存器的传输寄存器;

所述装置进一步包括数据控制电路,所述数据控制电路响应于所述数据传输控制信号来执行多个存储器数据传输处理节拍,每个节拍包括执行至所述传输寄存器的对应部分的数据传输,并设置指示所述数据传输指令的哪些节拍已完成的所述节拍状况信息,并抑制由所述节拍状况信息指示为已完成的所述存储器数据传输指令的已完成节拍;并且

所述装置被配置为在所述传输寄存器是所述指定寄存器中的一者时执行对应于所述传输寄存器的部分的第一子集的所述多个存储器数据传输处理节拍的第一子集,其是与所述处理电路响应于所述向量抽取和合并指令来执行对应于所述传输寄存器的部分的第二子集的所述多个处理节拍的第二子集并行。

20.根据任一前述权利要求所述的装置,其中所述控制参数在所述向量抽取和合并指令中被指定为立即值。

21.根据任一前述权利要求所述的装置,其中所述指定寄存器的所述第一部分是所述指定寄存器的最低有效部分,并且所述指定寄存器的所述最后部分是所述指定寄存器的最高有效部分。

22.一种操作装置的方法,所述装置包括多个向量寄存器、解码器电路和处理电路,所述方法包括:

使用所述解码器电路并响应于向量抽取和合并指令来生成控制信号,所述向量抽取和合并指令指定控制参数,并且将第一源向量寄存器、第二源向量寄存器和目的地向量寄存器指定为所述多个向量寄存器的指定寄存器;以及

使用所述处理电路并响应于所述控制信号来执行多个处理节拍,每个节拍包括对应于至少所述第一源向量寄存器和所述目的地向量寄存器的部分的组合处理,设置指示所述向量抽取和合并指令的哪些节拍已完成的节拍状况信息,并抑制由所述节拍状况信息指示为已完成的所述向量抽取和合并指令的已完成节拍,

其中对应于所述指定寄存器中的每一者的第K部分的第K节拍的所述组合处理包括:

从所述第一源向量寄存器的所述第K部分抽取由所述控制参数指定的位,将所抽取的位与一个或多个另外的位级联,并将所述级联的结果存储于所述目的地寄存器的所述第K部分中;

当所述第K部分不是所述指定寄存器的最后部分时,对未存储于所述目的地寄存器中的所述第一源向量寄存器的所述第K部分中的至少一个位进行进位,以在所述多个节拍中的第(K+1)节拍中处理;

对于所述指定寄存器的第一部分,所述一个或多个另外的位是从所述第二源向量寄存器的第一部分抽取的;并且

对于除了所述指定寄存器的所述第一部分以外的每个部分,所述一个或多个另外的位是从所述第一源向量寄存器的第(K-1)部分进位的。

23.一种用以存储用于制造装置的计算机可读代码的计算机可读介质,所述装置包括:

多个向量寄存器;

解码器电路,所述解码器电路响应于向量抽取和合并指令来生成控制信号,所述向量抽取和合并指令指定控制参数,并且将第一源向量寄存器、第二源向量寄存器和目的地向量寄存器指定为所述多个向量寄存器的指定寄存器;和

处理电路,所述处理电路响应于所述控制信号来执行多个处理节拍,每个节拍包括对应于至少所述第一源向量寄存器和所述目的地向量寄存器的部分的组合处理,其中所述处理电路被配置为设置指示所述向量抽取和合并指令的哪些节拍已完成的节拍状况信息,并抑制由所述节拍状况信息指示为已完成的所述向量抽取和合并指令的已完成节拍,

其中对应于所述指定寄存器中的每一者的第K部分的第K节拍的所述组合处理包括:

从所述第一源向量寄存器的所述第K部分抽取由所述控制参数指定的位,将所抽取的位与一个或多个另外的位级联,并将所述级联的结果存储于所述目的地寄存器的所述第K部分中;

当所述第K部分不是所述指定寄存器的最后部分时,对未存储于所述目的地寄存器中的所述第一源向量寄存器的所述第K部分中的至少一个位进行进位,以在所述多个节拍中的第(K+1)节拍中处理;

对于所述指定寄存器的第一部分,所述一个或多个另外的位是从所述第二源向量寄存器的第一部分抽取的;并且

对于除了所述指定寄存器的所述第一部分以外的每个部分,所述一个或多个另外的位是从所述第一源向量寄存器的第(K-1)部分进位的。

24.一种计算机程序,所述计算机程序用于控制主机数据处理装置以提供指令执行环境,所述计算机程序包括:

寄存器逻辑部件,所述寄存器逻辑部件包括多个向量寄存器;

解码器逻辑部件,所述解码器逻辑部件响应于向量抽取和合并指令来生成控制信号,所述向量抽取和合并指令指定控制参数,并且将第一源向量寄存器、第二源向量寄存器和目的地向量寄存器指定为所述多个向量寄存器的指定寄存器;和

处理逻辑部件,所述处理逻辑部件响应于所述控制信号来执行多个处理节拍,每个节拍包括对应于至少所述第一源向量寄存器和所述目的地向量寄存器的部分的组合处理,其中所述处理逻辑部件被配置为设置指示所述向量抽取和合并指令的哪些节拍已完成的节拍状况信息,并抑制由所述节拍状况信息指示为已完成的所述向量抽取和合并指令的已完成节拍,

其中对应于所述指定寄存器中的每一者的第K部分的第K节拍的所述组合处理包括:

从所述第一源向量寄存器的所述第K部分抽取由所述控制参数指定的位,将所抽取的位与一个或多个另外的位级联,并将所述级联的结果存储于所述目的地寄存器的所述第K部分中;

当所述第K部分不是所述指定寄存器的最后部分时,对未存储于所述目的地寄存器中的所述第一源向量寄存器的所述第K部分中的至少一个位进行进位,以在所述多个节拍中的第(K+1)节拍中处理;

对于所述指定寄存器的第一部分,所述一个或多个另外的位是从所述第二源向量寄存器的第一部分抽取的;并且

对于除了所述指定寄存器的所述第一部分以外的每个部分,所述一个或多个另外的位

是从所述第一源向量寄存器的第(K-1)部分进位的。

向量抽取和合并指令

[0001] 本技术涉及一种装置、一种操作装置的方法和一种用以存储用于制造装置的计算机可读代码的计算机可读介质。

[0002] 一些数据处理系统支持向量指令的处理,其中源操作数或指令的结果值是包括多个部分的向量。通过响应于单一指令来支持向量的若干相异部分的处理,可提高代码密度,且减少指令的提取和解码的负担。有时,所期望的是向量指令是在向量的部分彼此相依的情况下执行。

[0003] 根据一些配置,提供一种装置,该装置包括:

[0004] 多个向量寄存器;

[0005] 解码器电路,该解码器电路响应于向量抽取和合并指令来生成控制信号,该向量抽取和合并指令指定控制参数,并且将第一源向量寄存器、第二源向量寄存器和目的地向量寄存器指定为该多个向量寄存器的指定寄存器;和

[0006] 处理电路,该处理电路响应于这些控制信号来执行多个处理节拍,每个节拍包括对应于至少该第一源向量寄存器和该目的地向量寄存器的部分的组合处理,其中该处理电路被配置为设置指示该向量抽取和合并指令的哪些节拍已完成的节拍状况信息,并抑制由该节拍状况信息指示为已完成的该向量抽取和合并指令的已完成节拍,

[0007] 其中对应于这些指定寄存器中的每一者的第K部分的第K节拍的该组合处理包括:

[0008] 从该第一源向量寄存器的该第K部分抽取如由该控制参数指定的位,将所抽取的这些位与一个或多个另外的位级联,并将该级联的结果存储于该目的地寄存器的该第K部分中;

[0009] 当该第K部分不是这些指定寄存器的最后部分时,对未存储于该目的地寄存器中的该第一源向量寄存器的该第K部分中的至少一个位进行进位,以在该多个节拍中的第(K+1)节拍中处理;

[0010] 对于这些指定寄存器的第一部分,该一个或多个另外的位是从该第二源向量寄存器的第一部分抽取的;并且

[0011] 对于除了这些指定寄存器的该第一部分以外的每个部分,该一个或多个另外的位是从该第一源向量寄存器的第(K-1)部分进位的。

[0012] 根据一些配置,提供一种操作装置的方法,该装置包括多个向量寄存器、解码器电路和处理电路,该方法包括:

[0013] 使用该解码器电路并响应于向量抽取和合并指令来生成控制信号,该向量抽取和合并指令指定控制参数,且将第一源向量寄存器、第二源向量寄存器和目的地向量寄存器指定为该多个向量寄存器的指定寄存器;以及

[0014] 使用该处理电路并响应于这些控制信号来执行多个处理节拍,每个节拍包括对应于至少该第一源向量寄存器和该目的地向量寄存器的部分的组合处理,设置指示该向量抽取和合并指令的哪些节拍已完成的节拍状况信息,并抑制由该节拍状况信息指示为已完成的该向量抽取和合并指令的已完成节拍,

[0015] 其中对应于这些指定寄存器中的每一者的第K部分的第K节拍的该组合处理包括:

[0016] 从该第一源向量寄存器的该第K部分抽取由该控制参数指定的位,将所抽取的这些位与一个或多个另外的位级联,并将该级联的结果存储于该目的地寄存器的该第K部分中;

[0017] 当该第K部分不是这些指定寄存器的最后部分时,对未存储于该目的地寄存器中的该第一源向量寄存器的该第K部分中的至少一个位进行进位,以在该多个节拍中的第(K+1)节拍中处理;

[0018] 对于这些指定寄存器的第一部分,该一个或多个另外的位是从该第二源向量寄存器的第一部分抽取的;并且

[0019] 对于除了这些指定寄存器的该第一部分以外的每个部分,该一个或多个另外的位是从该第一源向量寄存器的第(K-1)部分进位的

[0020] 根据一些配置,提供一种用以存储用于制造装置的计算机可读代码的计算机可读介质,该装置包括:

[0021] 多个向量寄存器;

[0022] 解码器电路,该解码器电路响应于向量抽取和合并指令来生成控制信号,该向量抽取和合并指令指定控制参数,并且将第一源向量寄存器、第二源向量寄存器和目的地向量寄存器指定为该多个向量寄存器的指定寄存器;和

[0023] 处理电路,该处理电路响应于这些控制信号来执行多个处理节拍,每个节拍包括对应于至少该第一源向量寄存器和该目的地向量寄存器的部分的组合处理,其中该处理电路被配置为设置指示该向量抽取和合并指令的哪些节拍已完成的节拍状况信息,并抑制由该节拍状况信息指示为已完成的该向量抽取和合并指令的已完成节拍,

[0024] 其中对应于这些指定寄存器中的每一者的第K部分的第K节拍的该组合处理包括:

[0025] 从该第一源向量寄存器的该第K部分抽取由该控制参数指定的位,将所抽取的这些位与一个或多个另外的位级联,并将该级联的结果存储于该目的地寄存器的该第K部分中;

[0026] 当该第K部分不是这些指定寄存器的最后部分时,对未存储于该目的地寄存器中的该第一源向量寄存器的该第K部分中的至少一个位进行进位,以在该多个节拍中的第(K+1)节拍中处理;

[0027] 对于这些指定寄存器的第一部分,该一个或多个另外的位是从该第二源向量寄存器的第一部分抽取的;并且

[0028] 对于除了这些指定寄存器的该第一部分以外的每个部分,该一个或多个另外的位是从该第一源向量寄存器的第(K-1)部分进位的。

[0029] 在一些配置中,该计算机可读介质是非暂态计算机可读介质。

[0030] 根据一些配置,提供一种计算机程序,其用于控制主机数据处理装置以提供指令执行环境,该计算机程序包括:

[0031] 寄存器逻辑部件,该寄存器逻辑部件包括多个向量寄存器;

[0032] 解码器逻辑部件,该解码器逻辑部件响应于向量抽取和合并指令来生成控制信号,该向量抽取和合并指令指定控制参数,且将第一源向量寄存器、第二源向量寄存器和目的地向量寄存器指定为该多个向量寄存器的指定寄存器;和

[0033] 处理逻辑部件,该处理逻辑部件响应于这些控制信号来执行多个处理节拍,每个

节拍包括对应于至少该第一源向量寄存器和该目的地向量寄存器的部分的组合处理,其中该处理逻辑部件被配置为设置指示该向量抽取和合并指令的哪些节拍已完成的节拍状况信息,并抑制由该节拍状况信息指示为已完成的该向量抽取和合并指令的已完成节拍,

[0034] 其中对应于这些指定寄存器中的每一者的第K部分的第K节拍的该组合处理包括:

[0035] 从该第一源向量寄存器的该第K部分抽取由该控制参数指定的位,将所抽取的这些位与一个或多个另外的位级联,并将该级联的结果存储于该目的地寄存器的该第K部分中;

[0036] 当该第K部分不是这些指定寄存器的最后部分时,对未存储于该目的地寄存器中的该第一源向量寄存器的该第K部分中的至少一个位进行进位,以在该多个节拍中的第(K+1)节拍中处理;

[0037] 对于这些指定寄存器的第一部分,该一个或多个另外的位是从该第二源向量寄存器的第一部分抽取的;并且

[0038] 对于除了这些指定寄存器的该第一部分以外的每个部分,该一个或多个另外的位是从该第一源向量寄存器的第(K-1)部分进位的。

[0039] 在一些配置中,该计算机程序记录于非暂态计算机可读介质上。

[0040] 本技术将仅通过示例、参照如附图中所示出的其配置来进一步说明,其中:

[0041] 图1示意地示出根据本技术的各种配置的支持向量指令的处理的数据处理装置;

[0042] 图2示意地示出根据本技术的各种配置的向量指令的重叠执行的示例;

[0043] 图3示意地示出根据本技术的各种配置的在不同的处理器具体实施之间或在不同的指令执行情况之间的运行时间缩放连续的向量指令之间的重叠量的三个示例;

[0044] 图4示意地示出根据本技术的各种配置的用于指示多个向量指令的块的哪些节拍已完成的节拍状况信息的示例编码;

[0045] 图5示意地示出根据本技术的各种配置的在调试事件或异常发生时记录节拍状况信息的两个示例;

[0046] 图6示意地示出根据本技术的各种配置的在从调试事件或异常返回之后使用节拍状况信息以恢复处理的示例;

[0047] 图7示意地示出根据本技术的各种配置的数据处理装置;

[0048] 图8示意地示出根据本技术的各种配置的数据处理装置;

[0049] 图9示意地示出根据本技术的各种配置的向量抽取和合并指令的示例;

[0050] 图10示意地示出根据本技术的各种配置的向量抽取和合并指令的示例;

[0051] 图11示意地示出根据本技术的各种配置的向量抽取和合并指令的示例;

[0052] 图12示意地示出根据本技术的各种配置的向量抽取和合并指令的示例;

[0053] 图13示意地示出根据本技术的各种配置的向量抽取和合并指令的示例;

[0054] 图14示意地示出根据本技术的各种配置的向量抽取和合并指令的示例;

[0055] 图15示意地示出根据本技术的各种配置的向量抽取和合并指令的示例;

[0056] 图16示意地示出根据本技术的各种配置的向量抽取和合并指令的示例;

[0057] 图17示意地示出根据本技术的各种配置的向量抽取和合并指令的示例;

[0058] 图18示意地示出根据本技术的各种配置的由装置实行的一系列步骤;

[0059] 图19示意地示出根据本技术的各种配置的装置;并且

[0060] 图20示意地示出可根据一些示例配置使用的模拟器。

[0061] 根据给定指令集架构编写的软件可在具有不同硬件具体实施的一系列不同数据处理装置上执行。只要给定指令集在执行时给出该架构所预期的结果,则特定具体实施就自由地使用可实现符合此架构的任何方式来使其微结构设计变化。例如,对于一些应用来说,能源效率可能比性能更重要,且因此经提供用于执行来自指令集架构的指令的处理电路的微架构设计可经设计以即使在牺牲性能的情况下也尽可能消耗最少能源。其它应用可能将性能视为比能源效率更重要的标准,且因此可包含更复杂的硬件结构,其实现较大的指令通量,但其可能消耗更多功率。因此,可为所期望的是设计指令集架构,使得其支持横跨一系列不同能源或性能点的缩放。

[0062] 在一些配置中,提供一种装置,该装置包括:多个向量寄存器;和解码器电路,该解码器电路响应于向量抽取和合并指令来生成控制信号。该向量抽取和合并指令指定控制参数,且将第一源向量寄存器、第二源向量寄存器和目的地向量寄存器指定为该多个向量寄存器的指定寄存器。该装置还包括处理电路,该处理电路响应于这些控制信号来执行多个处理节拍。每个节拍包括对应于至少该第一源向量寄存器和该目的地向量寄存器的部分的组合处理。该处理电路被配置为设置指示该向量抽取和合并指令的哪些节拍已完成的节拍状况信息,并抑制由该节拍状况信息指示为已完成的该向量抽取和合并指令的已完成节拍。对应于这些指定寄存器中的每一者的第K部分的第K节拍的该组合处理包括:从该第一源向量寄存器的该第K部分抽取如由该控制参数指定的位,将所抽取的这些位与一个或多个另外的位级联,并将该级联的结果存储于该目的地寄存器的该第K部分中。该第K部分的该组合处理包括:当该第K部分不是这些指定寄存器的最后部分时,对未存储于该目的地寄存器中的该第一源向量寄存器的该第K部分中的至少一个位进行进位,以在该多个节拍中的第(K+1)节拍中处理。对于这些指定寄存器的第一部分,该一个或多个另外的位是从该第二源向量寄存器的第一部分抽取的,且对于除了这些指定寄存器的该第一部分以外的每个部分,该一个或多个另外的位是从该第一源向量寄存器的第(K-1)部分进位的。

[0063] 此布置实现支持向量指令的微架构,以更有效率地缩放至不同性能和能源点。通过提供跟踪两个或更多个向量指令的已完成节拍的节拍状况信息,这给予特定微架构具体实施的自由度,以使不同向量指令的执行所重叠的量变化,使得可行的是不同向量指令的相应节拍彼此并行地执行,同时仍跟踪每个部分执行指令的进度。一些微架构具体实施可选择完全不重叠相应向量指令的执行,使得一个向量指令的所有节拍在下一指令开始之前完成。其它微架构可使连续向量指令的执行交错,使得第二向量指令的节拍的第一子集是与来自第一向量指令的节拍的第二子集并行地执行。

[0064] 向量抽取和合并指令是由解码器电路解释的指令集架构的指令。指令集架构形成可由程序员或编译器使用的完整指令集,以指示处理电路执行操作。如所讨论,只要处理电路符合指令集架构,则微架构的实际具体实施(即,构成处理电路的电路和逻辑块的物理布置)就可随具体实施而变化。一些微架构具体实施可并行地处理向量的部分的全部,而其它具体实施可一次处理向量的一个或多个部分。一些向量指令可自身充分地适用于此弹性。例如,支持两个源向量的多个元素的逐元素相加的向量指令可分成各自对应于向量的元素的多个标量相加。然而,数据在不同元素之间或不同部分之间传播的指令(其可包括向量的多个元素)(即,不同部分彼此相依的指令)可能无法轻易地调适成微架构具体实施的此弹

性。

[0065] 向量抽取和合并指令是一个此类指令。在向量抽取和合并指令中,来自第一源向量寄存器的一个或多个位与来自第二源向量寄存器的一个或多个位级联。本发明人已了解,可通过提供处理电路来实施提供此微架构弹性的向量抽取和合并指令,该处理电路被布置成使用并行或交错的方式处理一个或多个节拍(其对应于每个指定向量寄存器的一个或多个部分)且在处理节拍之间对至少一个位进行进位(即,从一部分至另一部分)。因此,处理电路不将每个节拍视为真正独立于每个其它节拍。替代地,特定信息可从一个经处理节拍传播至另一经处理节拍。具体来说,向量抽取和合并指令将控制参数和多个向量寄存器指定为输入。该多个向量寄存器包含第一源向量寄存器、第二源向量寄存器和目的地向量寄存器。该控制参数指示在每个处理节拍期间从该第一源向量寄存器待抽取的位数目,且可在指令中经明确地指定为传递至解码器电路的参数,或可在指令中经隐含地指示为具有固定值。例如,指令集架构可定义一个或多个向量抽取和合并指令,其每一者隐含地定义固定控制参数。控制参数可为指示值,且因此可间接指定待抽取的该位数目。

[0066] 以此方式定义的组合处理导致来自第一节拍(第一部分)的位传播,其中第二源向量寄存器的一个或多个另外的位与从第一源向量寄存器抽取的一个或多个位(如由控制参数指定)级联。来自第一节拍(K=1)的第一源向量寄存器的位接着经进位(传播)至第二节拍(K=2),且在后续节拍中在处理后续节拍的时间与第一源向量寄存器的一个或多个位级联。接着,通过将第K节拍的一个或多个位进位至第(K+1)节拍来重复该过程。该进位是在当第K部分并非指定寄存器的该最后部分时生成。在一些配置中,指定向量寄存器的该最后部分不生成进位。在一些替代配置中,生成第一源向量寄存器的该最后部分的至少一个位的进位。将理解,节拍的排序可独立于向量寄存器内的位的排序。在一个配置中,第一节拍(K=1)可对应于向量寄存器的最低有效位集合,且该最后节拍可对应于向量寄存器的最高有效位集合。然而,在一些替代配置中,第一节拍(K=1)可对应于向量寄存器的最高有效位集合,且该最后节拍可对应于向量寄存器的最低有效位集合。

[0067] 以此方式,该装置提供处理电路,该处理电路实现微架构具体实施可针对其变化的向量抽取和合并指令,同时仍允许符合指令集架构,从而导致可基于功率限制和电路大小需求而调适的弹性具体实施。

[0068] 在一些配置中,该解码器电路响应于指定标量寄存器的该向量抽取和合并指令;该多个节拍包括当前执行的一个或多个节拍的子集,其中该当前执行的节拍的子集排除已完成节拍;并且该处理电路响应于这些控制信号来将至少一个进位数据项目存储于该标量寄存器中,该至少一个进位数据项目包括在该当前执行的一个或多个节拍的子集与该多个节拍中的一个或多个节拍的另外的子集之间待进位的一个或多个位。该当前执行的节拍的子集包括该多个节拍中的一个或多个节拍,且排除该多个节拍中的至少一个节拍的另外的子集。在此类配置中,该标量寄存器用以在该当前执行的节拍的子集与该一个或多个节拍中的一个或多个另外的子集之间对该至少一个进位数据项目进行进位。该标量寄存器可经明确地指定为多个标量寄存器的一者,例如,指定为该向量抽取和合并指令中的参数。替代地,该处理电路可包括经隐含地定义于该向量抽取和合并指令中的特定进位寄存器。

[0069] 该进位寄存器可用以将该进位数据传播至该当前执行的节拍的子集中,或传播离开该当前执行的节拍的一个子集。在一些配置中,针对该当前执行的一个或多个节拍的集

合的第一节拍,且在执行该向量抽取和合并指令之前该节拍状况信息指示该至少一个节拍待抑制时,该处理电路响应于这些控制信号来从该标量寄存器检索该一个或多个另外的位。这些一个或多个处理节拍的子集是以将一个或多个信息位从节拍的第一子集传播至节拍的下一子集的顺序来执行。在执行期间,该处理电路读取该控制信息以确定哪些节拍包括该当前执行的一个或多个节拍的子集的该第一节拍。当一个或多个处理节拍先前已执行时,该控制信息指示这些一个或多个节拍待抑制。因此,该处理电路能够推断进位数据在该标量寄存器中是可用的,并从该向量寄存器中的该进位数据抽取该一个或多个另外的位。

[0070] 包括在该进位数据中的数据可采用各种形式。在一些配置中,待进位的该一个或多个位包括该第一源向量寄存器的部分的所有位;并且从该标量寄存器检索该一个或多个另外的位包括从该标量寄存器检索位的最后子集。因此,无论是从该标量寄存器还是从该第二源向量寄存器进行抽取,该一个或多个另外的位的抽取皆遵循相同的模式,这导致较简单的具体实施,从而导致简化的具体实施。在一些配置中,待进位的该一个或多个位包括来自存储至该标量寄存器中的暂时的位位置的集合的该第一源向量寄存器的部分的M个位的最后集合;并且从该标量寄存器检索该一个或多个另外的位包括从该标量寄存器的该暂时的位位置的集合检索位。因此,较少位需要在该标量寄存器中进位。在一些配置中,该位的最后子集是最高有效位子集,其导致数据从第(K-1)部分的最高有效位传播至向量寄存器的第K部分。在替代具体实施中,数据可在相反方向上传播,且在此类配置中,该位的最后子集是最低有效位子集。

[0071] 在一些配置中,级联所抽取的这些位包括将所抽取的这些位存储于该目的地寄存器的该第K部分的连续的位位置的第一集合中,且将该一个或多个另外的位存储于该目的地寄存器的该第K部分的连续的位位置的第二集合中。在一些配置中,该位位置的第一子集与该位位置的第二子集的联集包括该目的地寄存器的该第K部分的所有位位置。在一些配置中,该连续的位位置的第一集合和该连续的位位置的第二集合是非重叠的位位置。因此,该目的地寄存器的第K部分中的所有位位置被定义为该一个或多个另外的位的一者或所抽取的这些位的一者。

[0072] 该连续的位位置的第一集合和该位位置的第二集合的排序可取决于具体实施。在一些配置中,该连续的位位置的第一集合是该目的地寄存器的该第K部分的位位置的最高有效集合,且该连续的位位置的第二集合是该目的地寄存器的该第K部分的位位置的最低有效集合。替代地,这些指定向量的处理的顺序可反转。因此,在一些配置中,该连续的位位置的第一集合是该目的地寄存器的该第K部分的位位置的最低有效集合,且该连续的位位置的第二集合是该目的地寄存器的该第K部分的位位置的最高有效集合。

[0073] 在一些配置中,所抽取的这些位是从该第一源向量寄存器的该第K部分的连续的位位置抽取的。这些连续的位位置是由该控制参数所指定,且可例如基于第一位位置和第二位位置、或基于第一位位置和待抽取的位数目而定义。

[0074] 在一些配置中,这些连续的位位置是该第一源向量寄存器的该第K部分的连续的位位置的最低有效集合。在此类配置中,该控制参数仅需要指定待抽取的连续的位位置数目。待抽取的连续的该位位置数目可经指定为立即值,或经包括在向量抽取和合并指令中指定的寄存器内。在替代配置中,这些连续的位位置是该第一源向量寄存器的该第K部分的连续的位位置的最高有效集合。在一些配置中,可仅支持可行的待抽取的连续的该位位置

数目的子集。例如,一些配置可仅支持长度为8位、16位、或24位的连续位位置。因此,在此类配置中,该控制参数可通过选择所支持长度的一者而间接指定待抽取的连续的该位位置数目。此类配置减少表示该控制参数所需的位数目。

[0075] 在一些配置中,这些指定寄存器中的每一者的每个部分是N位部分;该控制参数指示指定位数目的移位距离M;该一个或多个另外的位包括M个位;并且来自该第一源向量寄存器的该第K部分的所抽取的这些位包括N减M个位。因此,该向量抽取和合并指令将来自该第二源向量寄存器的该第一部分的M个位与该第一源向量寄存器的该第一部分的N减M个位组合,以形成该目的地寄存器的第一部分。此外,该向量抽取和合并指令将来自该第一源向量寄存器的第(K-1)部分的M个位与该第一源向量寄存器的第K部分的N减M个位组合。换句话说,该第一源向量寄存器的每个部分的M个位经移位以存储于该目的地向量寄存器的下一部分中。

[0076] 对于这些指定寄存器的该第一部分,可以各种方式选择该一个或多个另外的元素。在一些配置中,每个N位部分被划分成多个元素;该移位距离对应于元素的整数数目;并且对于这些指定寄存器的该第一部分,该一个或多个另外的位包括该第二源向量寄存器的该第一部分的最高有效元素子集。因此,该移位和合并指令采用与该第一源向量寄存器的位级联的该第二源向量寄存器的该最高有效子集,以生成所得的向量寄存器。

[0077] 替代地,在一些配置中,每个N位部分被划分成多个元素;该移位距离对应于元素的整数数目;并且对于这些指定寄存器的该第一部分,该一个或多个另外的位包括排除最低有效元素的该第二源向量寄存器的该第一部分的最低有效元素子集。存在一些使用情况,其中可为有利的是重复地施加该向量抽取和合并指令以依序地生成经移位位数目(或元素数目)的移位向量。例如,当实施有限脉冲响应滤波器时,可能需要依序地生成从该序列中的先前向量经移位单一元素的向量。该向量抽取和合并指令允许一系列移位向量通过采用初始向量(例如,该第二源向量寄存器)并生成经移位一个元素的一系列向量而生成。在此类情况下,可使用先前目的地寄存器作为第二源向量寄存器,而非保留第一源向量寄存器和第二源向量寄存器。在此情况下,待包括在该一个或多个另外的位中的必要位的部位已远离该最高有效位而经移位一个或多个位位置。因此,在该指定寄存器的该第一部分的情况下,通过将排除最低有效元素的最低有效元素子集选择为该一个或多个另外的位,该向量抽取和合并指令可针对该第二源向量寄存器包括前述向量抽取和合并指令的结果的情况来调适。在一些配置中,元素宽度可由该向量抽取和合并指令的宽度参数来控制。在一些配置中,控制参数可指示要抽取哪些位、和元素宽度两者。在此类配置中,在仅支持有限数目的元素宽度与待从其抽取的位的数目和位置的组合的情况下,减少编码参数所需的位数目。

[0078] 在一些配置中,目的地向量寄存器是第二源向量寄存器,而非为针对第一源向量寄存器、第二源向量寄存器和目的地向量寄存器的每一者分别指定向量寄存器。重新利用第二源向量寄存器作为目的地寄存器减少寄存器需求,并减少向量抽取和合并指令所需的编码空间。

[0079] 如所讨论,向量抽取和合并指令可使用能够在给定循环中执行多个处理节拍的一者或多者的硬件来弹性地实施。在一些配置中,该处理电路被配置为并行地处理该多个节拍中的至少两者。提供此处理电路的硬件可仅足以处理该至少两个节拍,且该处理电路可

被配置为处理相邻指令的节拍,其是与处理该多个节拍中的该至少两者并行。替代地,该处理电路可足以并行地处理该多个节拍的所有节拍。

[0080] 在一些配置中,该处理电路包括不足以用于并行地执行该给定向量指令的该多个节拍的全部的硬件。因此,该处理电路可在完成给定向量指令的节拍的第一子集之后执行第二子集。取决于处理器具体实施,第一子集和第二子集可包括单一节拍,或可包括多个节拍。

[0081] 在一些配置中,该处理电路被配置为并行地处理该给定向量指令的该多个节拍的全部。具有此硬件的处理电路仍可生成并使用如上文所指定的节拍状况信息,但节拍状况信息通常将指示不存在已完成节拍。因此,通过定义节拍状况信息,架构可支持一系列不同具体实施。

[0082] 在一些配置中,该解码器电路响应于在程序计数器顺序中相邻于该向量抽取和合并指令的存储器数据传输指令来生成数据传输控制信号,该存储器数据传输指令指定存储器地址和该多个向量寄存器的传输寄存器;该装置进一步包括数据控制电路,该数据控制电路响应于这些数据传输控制信号来执行多个存储器数据传输处理节拍,每个节拍包括执行至该传输寄存器的对应部分的数据传输,并设置指示该数据传输指令的哪些节拍已完成的节拍状况信息,并抑制由该节拍状况信息指示为已完成的该存储器数据传输指令的已完成节拍;并且该装置被配置为在该传输寄存器是这些指定寄存器中的一者时执行对应于该传输寄存器的部分的第一子集的该多个存储器数据传输处理节拍的第一子集,其是与该处理电路响应于该向量抽取和合并指令来执行对应于该传输寄存器的部分的第二子集的该多个处理节拍的第二子集并行。该节拍的第一子集和该节拍的第二拍子集可各自包括相同数目的节拍,或不同数目的节拍。例如,在一些配置中,该装置可具备足以针对多个部分(对应于多个数据传输处理节拍)执行存储器数据传输操作的硬件,但仅具有足以针对该向量抽取和合并指令执行单一处理节拍的硬件。替代地,该装置可具备针对这些部分的一半执行存储器数据传输操作的足够硬件,且具有足以针对向量长度的这些部分的一半执行针对该向量抽取和合并指令的处理节拍的硬件。在这些情形的每一者中,用于多个处理节拍的第一子集与多个处理节拍的第二子集之间的数据和硬件不存在重叠。因此,可通过提供能够使节拍的第一子集合和节拍的第二子集并行化的处理装置而实现较大的指令通量。

[0083] 在一些配置中,该控制参数在该向量抽取和合并指令中经指定为立即值。在一些替代配置中,该控制参数可指定为该控制参数经定义的寄存器。

[0084] 在一些配置中,这些指定寄存器的该第一部分是这些指定寄存器的最低有效部分,且这些指定寄存器的该最后部分是这些指定寄存器的最高有效部分。在替代配置中,这些指定寄存器的该第一部分是这些指定寄存器的最高有效部分,且这些指定寄存器的该最后部分是这些指定寄存器的最低有效部分。以此方式,处理装置可具备电路,该电路通过取决于特定具体实施选择将从第二源向量寄存器抽取的一个或多个另外的位从最低有效端或最高有效端移位至目的地寄存器中而执行向量抽取和合并指令。

[0085] 本文所描述的概念可体现于用于制造体现所描述的概念的装置的计算机可读代码中。例如,计算机可读代码可在半导体设计和制造工艺的一个或多个阶段中使用,该半导体设计和制造工艺包含电子设计自动化(EDA)阶段,以制造集成电路,其包括实现概念的装置。上述计算机可读代码可另外或替代地促成实现本文所述的概念的装置的定义、建模、模

拟、验证和/或测试。

[0086] 例如,用于制造实现本文所述的概念的装置的计算机可读代码可以定义代表这些概念的硬件描述语言(HDL)的代码实施。例如,代码可定义用于定义实现概念的装置的一个或多个逻辑电路的寄存器转移级(RTL)抽象概念。代码可定义代表一个或多个逻辑电路的HDL,其以Verilog、SystemVerilog、Chisel或VHDL(超高速集成电路硬件描述语言)以及例如FIRRTL的中间表示实现装置。计算机可读代码可使用系统级建模语言提供实现概念的定义,例如SystemC和SystemVerilog或可由计算机解释以促成概念的模拟、功能和/或正式验证和测试的概念的其它行为表示。

[0087] 另外或替代地,计算机可读代码可定义实现本文所描述的概念的集成电路组件的低级描述,例如一个或多个连线表或集成电路布局定义,包含例如GDSII的表示。集成电路组件的一个或多个连线表或其它计算机可读表示可通过将一个或多个逻辑合成过程应用于RTL表示以生成用于制造实现本发明的装置的定义来生成。替代地或另外,一个或多个逻辑合成过程可从计算机可读代码生成位流,该位流被加载至现场可编程门阵列(FPGA)中以配置FPGA以实现所描述的概念。FPGA可部署用于集成电路中的制造之前的验证和测试概念的目的,或FPGA可直接部署于产品中。

[0088] 计算机可读代码可包括用于制造装置的代码表示的混合,例如包含RTL表示、连线表表示、或用于半导体设计和制造工艺以制造实现本发明的装置的另一计算机可读定义的一者或多者的混合。替代地或另外,概念可定义在半导体设计和制造工艺中使用以制造装置的计算机可读定义与一旦制造就由所定义装置执行的计算机可读代码定义指令的组合。

[0089] 此类计算机可读代码可设置于任何已知暂时性计算机可读介质(例如,网络上的有线或无线传输代码)或非暂态计算机可读介质(例如,半导体、磁盘或光盘)中。使用计算机可读代码制造的集成电路可包括组件,例如中央处理单元、图形处理单元、神经处理单元、数字信号处理器或者单独或共同实现概念的其它组件的一者或多者。

[0090] 现将参考附图描述本发明的特定配置。

[0091] 图1示意地示出支持向量指令的处理的数据处理装置2的示例。将理解,这是易于解释的简化图,且实际上,装置可具有图1中为了简洁而未展示的许多元件。装置2包括用于响应于由指令解码器6解码的指令来实行数据处理的处理电路4。程序指令是从存储器系统8提取并由指令解码器予以解码以生成控制信号,这些控制信号控制处理电路4以按架构所定义的方式处理指令。例如,解码器6可解释经解码指令的操作码和这些指令的任何额外控制字段以生成控制信号,这些控制信号致使处理电路4激活适当的硬件单元以执行操作,例如算术运算、加载/存储操作、或逻辑运算。该装置具有一组寄存器10,其用于存储待由处理电路4处理的数据值和用于配置该处理电路的操作的控制信息。响应于算术或逻辑指令,处理电路4从寄存器10读取操作数,并将指令的结果写回至寄存器10。响应于加载/存储指令,经由该处理电路在寄存器10与存储器系统8之间传输数据值。存储器系统8可包含一个或多个缓存层级以及主存储器。

[0092] 寄存器10包含标量寄存器文件12,该标量寄存器文件包括若干标量寄存器,它们用于存储包括单一数据元素的标量值。指令解码器6和处理电路4所支持的一些指令是标量指令,这些标量指令处理从标量寄存器12读取的标量操作数,以生成写回至标量寄存器的标量结果。

[0093] 寄存器10还包含向量寄存器文件14,该向量寄存器文件包含各自用于存储包括多个数据元素的向量值的若干向量寄存器。响应于向量指令,指令解码器6控制处理电路4,以对从向量寄存器14中的一者读取的向量操作数的相应元素执行若干向量处理通道,以生成待写入至标量寄存器12的标量结果或待写入至向量寄存器14的另外的向量结果。一些向量指令可从一个或多个标量操作数生成向量结果,或者可对标量寄存器文件中的标量操作数执行额外标量运算,以及对从向量寄存器文件14读取的向量操作数执行向量处理通道。因此,一些指令可为混合的标量-向量指令,对于这些标量-向量指令,指令的一个或多个源寄存器和目的地寄存器中的至少一者是向量寄存器14,而该一个或多个源寄存器和该目的地寄存器中的另一者是标量寄存器12。向量指令还可包含致使在向量寄存器14与存储器系统8中的部位之间传输数据值的向量加载/存储指令。加载/存储指令可包含连续的向量加载/存储指令或分散/集中类型的向量加载/存储指令,对于这些连续的向量加载/存储指令,存储器中的部位对应于连续的地址范围,这些分散/集中类型的向量加载/存储指令指定若干离散地址并控制处理电路4,以从那些地址的每一者将数据加载至向量寄存器的相应元素中,或将数据从向量寄存器的相应元素存储至这些离散地址。

[0094] 处理电路4可支持具有一系列不同数据元素大小的向量的处理。例如,128位向量寄存器14可分割成十六个8位数据元素、八个16位数据元素、四个32位数据元素、或两个64位数据元素。寄存器库10内的控制寄存器可指定当前所用的数据元素大小,或者替代地,这可为待执行的给定向量指令的参数。

[0095] 寄存器10还包含用于控制处理电路4的处理的若干控制寄存器。例如,这些可包含:程序计数器寄存器16,该程序计数器寄存器用于存储指示对应于正处理的当前执行点的指令的地址的程序计数器地址;链路寄存器18,该链路寄存器用于存储在处置函数调用之后待将处理导向至其的返回地址;堆叠指针寄存器20,该堆叠指针寄存器指示在存储器系统8内的堆叠数据结构的部位;和节拍状况寄存器22,该节拍状况寄存器用于存储节拍状况信息,其将在下文更详细地描述。将理解,这些仅是可存储的控制信息类型中的一些,且实际上,架构的给定指令集可存储如由该架构所定义的许多其它控制参数。例如,控制寄存器可指定向量寄存器的整体宽度,或可指定用于向量处理的给定情况的当前数据元素大小。

[0096] 处理电路4可包含用于处理不同级别指令的若干相异硬件块。例如,与存储器系统8交互的加载/存储指令可由专用的加载/存储单元处理,而算术或逻辑指令可由算术逻辑单元(ALU)处理。ALU本身可进一步分割成乘法累加单元(MAC)和另外的单元,该乘法累加单元用于执行涉及乘法的运算,该另外的单元用于处理其它种类的ALU运算。还可提供浮点单元,其用于处置浮点指令。与向量指令相比,不涉及任何向量处理的纯粹的标量指令还可由分开的硬件块处置,或重复使用相同的硬件块。

[0097] 在一些应用(例如数字信号处理(DSP))中,可有数目大略相等的ALU和加载/存储指令,且因此一些大块(例如MAC)可保持空闲持续显著时间量。此无效率在向量架构上可恶化,因为执行资源是随向量通道的数目缩放以实现较高性能。在较小处理器(例如单一周期/指令发送(single issue)、循序(in-order)的核心)上,完全横向扩展的向量管道的面积附加负担可为禁止的。一种最小化面积冲击同时更好地使用可用执行资源的方法是使指令的执行重叠,如图2所示者。在此示例中,三个向量指令包含加载指令VLDR、乘法指令VMUL

和移位指令VSHR,且即使所有这些指令之间存在数据相依性,它们仍可同时执行。这是因为VMUL的元件1仅相依于Q1的元件1,而非Q1寄存器的整体,所以执行VMUL可在完成执行VLDR之前开始。通过允许指令重叠,昂贵的块(如乘法器)可有更多时间保持活动。

[0098] 因此,可为所期望的是启用微架构具体实施以使向量指令的执行重叠。然而,如果架构假设有固定量的指令重叠,则虽然这在微架构具体实施实际上匹配架构所假设的重叠指令量时可提供高效率,但如果缩放至使用不同重叠或完全不重叠的不同微架构则会导致问题。

[0099] 替代地,架构可支持如图3的示例所示的一系列不同重叠。向量指令的执行是划分成称为“节拍”的部分,其中每个节拍对应于具有预定大小的部分向量的处理。节拍是向量指令的原子部分,其不是被完全执行,便是完全不执行,且无法被部分地执行。一个节拍中所处理的向量部分的大小是由架构所定义,并可为向量的任意份额。在图3的示例中,节拍被定义为处理对应于向量宽度的四分之一,使得每一向量指令有四个节拍。清楚地,这仅是一个示例,且其它架构可使用不同的节拍数(例如,二或八)。对应于一个节拍的向量部分的大小可为相同于、大于或小于经处理的向量的数据元素大小。因此,即使元素大小随具体实施而变化或在不同指令之间的运行时间变化,节拍仍是向量处理的某一固定宽度。如果一个节拍中所处理的向量部分包含多个数据元素,则在相应元素之间的边界处可停用进位信号以确保独立地处理各元素。如果一个节拍中所处理的向量部分对应于元素的仅一部分,且硬件不足以并行地计算若干节拍,则一个处理节拍期间所生成的进位输出可作为进位输入而输入至接续的处理节拍,使得两个节拍的结果共同形成数据元素。

[0100] 如图3所示,处理电路4的不同的微架构具体实施在抽象架构时钟的一个“滴答(tick)”中可执行不同的节拍数。此处,“滴答”对应于架构状态前进的单位(例如,在简单架构上,各滴答可对应于更新所有与执行指令相关联的架构状态的情况,包含更新程序计数器以指向下一指令)。所属领域的一般技术人员将理解,已知的微架构技术(例如管道化)可意指单一滴答可需要多个时钟循环以在硬件层级下执行,且实际上硬件层级下的单一时钟循环可处理多个指令的多个部分。然而,此微架构技术对于软件是不可见的,因为滴答在架构层级下是原子的。为了简洁起见,在本公开的进一步描述期间忽略微架构。

[0101] 如图3的下部示例所示,一些具体实施可通过提供用于在一个滴答内并行地处理所有节拍的足够的硬件资源而将向量指令的所有四个节拍调度在相同滴答中。这可适于较高性能的具体实施。在此情况下,架构层级下不需要指令之间的任何重叠,因为整个指令可在一个滴答中完成。

[0102] 另一方面,更具面积效率的具体实施可提供每一滴答仅可处理两个节拍的较窄的处理单元,且如图3的中间示例所示,指令执行可与与第一指令的第三或第四节拍并行地实行的第二向量指令的第一节拍和第二节拍重叠,其中那些指令是在处理电路内于不同执行单元上执行(例如,在图3中,第一指令是使用加载/存储单元执行的加载指令,并且第二指令是使用MAC执行的乘法累加指令)。

[0103] 又有更具能源/面积效率的具体实施可提供较窄的硬件单元,且一次仅可处理单一节拍,且在此情况下,每一滴答可处理一个节拍,其中指令执行如图3的顶部示例所示般重叠并交错一个节拍(这是与以上图2所示的示例相同)。

[0104] 将理解,图3所示的重叠仅是一些示例,且其它具体实施也是可行的。例如,处理电

路4的一些具体实施可支持多个指令在相同滴答中并行地双发,使得有较大的指令流通量。在此情况下,在一个循环中共同开始的两个或更多个向量指令可具有与在下一循环中开始的两个或更多个向量指令重叠的一些节拍。

[0105] 除了随具体实施而变化重叠量以缩放至不同的性能点以外,向量指令之间的重叠量还可在程序内的向量指令的不同执行情况之间的运行时间改变。因此,处理电路4可具备如图1所示的节拍控制电路30,其用于控制相对于先前指令执行给定指令的时序。这给予微架构在某些更难以实施的边角情况下或依据指令可用的资源选择不重叠指令的自由度。例如,如果有需要相同资源的给定类型(例如,乘法累加)的背对背指令且所有可用的MAC或ALU资源均已由另一指令使用,则可没有足够的自由资源开始执行下一指令,且因此,比起重叠,第二指令的发出可等待至完成第一者为止。

[0106] 虽然允许一系列不同执行向量指令可允许横跨一系列性能点更有效率地使用硬件资源,但其对于异常、或调试事件、或触发当前执行线程的暂停的其它事件的处置可导致一些复杂性。例如,在图2所示的示例中,如果在第四滴答上发生异常,则寄存器文件会含有来自若干指令的部分更新。一种处置此的方式会是将部分更新视为在如果发生异常时可复原的推测状态,但这可增加所需的硬件量,因为其可能必须缓冲用于将数据向外存储至存储器系统8的存储请求直到它们被拨出为止,且必须在硬件中提供额外寄存器以用于跟踪推测状态。另一方法会是完全停用在向量指令中途所采用的异常,并延迟采用该异常直到最早的未完成指令已完成为止,但增加异常处置时延可为非所期望的,且在异常是精确错误的情况下此行为可能破坏与该错误相关联的架构保证。

[0107] 替代地,如图4所示,节拍状况寄存器22可用以记录节拍状况值,该节拍状况值跟踪哪些相邻指令群组的节拍在异常、调试事件、或导致当前线程的暂停的其它事件的时间点已完成。通过将执行的重叠本质暴露至架构,这可帮助减少微架构复杂性并增加功率和面积效率。

[0108] 在图4的示例中,节拍状况信息跟踪三个向量指令A、B、C的群组的已完成节拍,其中指令A对应于最早的未完成向量指令,指令B是在指令A之后的下一向量指令,并且指令C是在指令B之后的下一向量指令。符号Ax是指指令A的第x节拍,其中对于4个节拍向量具体实施来说,x是介于1与4之间,例如A2是指令A的第二节拍。虽然图4展示使用节拍状况信息跟踪三个指令的示例,但在允许更大数目的指令在给定点下部分完成的其它示例中,节拍状况信息可跟踪更大数目的指令。例如,如果支持双发,则可为所期望的是指示多于3个指令的节拍进度。节拍状况字段的各值经分配至已完成节拍的给定组合。例如,节拍状况值0011指示指令A的第一节拍和第二节拍以及指令B的第一节拍完成。节拍状况信息的具体编码值至相应指令群组的具体节拍集合的具体映射是任意的,且可变化。在此示例中,节拍状况值0000指示不存在未完成指令,且因此没有未完成指令的已完成节拍。这可在例如当处理器已执行标量指令时发生。

[0109] 图5展示在暂停当前执行线程的时间点记录的节拍状况信息的一些示例。在图5的顶部示例中,使用每一滴答一个节拍来执行向量指令,且在第四滴答上发生调试事件或异常。因此,在此点处,指令A的前三个节拍、指令B的前两个节拍、和指令C的第一节拍已完成,但节拍A4、B3、C2、D1仍待执行。因此,节拍状况信息将具有值0111,其根据图4的示例指示节拍A1、A2、A3、B1、B2和C1已完成。

[0110] 类似地,在图5的示例的底部中,正执行的指令是使得指令B和C无法重叠(例如,因为它们需要使用相同硬件单元),且因此这次在调试事件或异常的时间当下,指令C和D尚未开始。这次发生在滴答四的异常将触发节拍状况信息0110的记录,该节拍状况信息指示节拍A1、A2、A3、B1和B2已完成,但C1则否。

[0111] 类似地,使用图3的每一滴答两个节拍的示例,如果异常发生在滴答2上,则将仅有节拍A1和A2已完成,且节拍状况值将是0010。应注意,虽然节拍状况信息的值0001和0010指示在异常的时间当下仅有一个指令A部分完成,但节拍状况信息仍指示多个指令群组的哪些节拍已完成,因为其标识下两个指令B、C的节拍皆尚未完成。

[0112] 使用图3的每一滴答四个节拍的示例,无论异常是发生在何时,节拍状况值将是0000,因为在异常的时间当下将不存在部分完成的指令,这是由于各指令会在一个滴答内完成。

[0113] 当调试事件或异常发生时,将返回地址设置成程序计数器16的当前值,其表示最早的未完成指令的地址。因此,在图5的示例两者中,返回地址将是设置成指令A的地址。返回地址可存储在各种地方,包含相对于堆叠指针寄存器的值的堆叠上的部位处,或在返回地址寄存器中。

[0114] 如图6所示,这使处理器能够响应于从事件返回请求(例如,在从调试模式或异常处置器返回时)来从基于返回地址和节拍状况寄存器22中的节拍状况信息所确定的点恢复处理。在调试事件的情况下,可由调试器作出从事件返回请求,或者在异常事件的情况下,可由异常处置器作出从事件返回请求。在从事件返回请求之后,提取待处理的指令从由返回地址所指示的地址恢复,该地址在此情况下对应于指令A。接下来,则是指令B、C和D(此示例对应于图5的顶部示例)。然而,对于在该返回之后的前几个循环,由节拍状况信息指示为已完成的任何节拍受到抑制。处理器可通过完全防止对应的处理操作被执行(例如,抑制加载或存储数据的请求、或停用ALU或MAC)来抑制这些节拍。替代地,该操作仍可在ALU操作的情况下执行,但处理器可能抑制操作结果的写入(即,抑制目的地向量寄存器的部分的更新),使得其不影响寄存器状态。一旦达到第四滴答,则管道就已达到先前发生调试事件或异常的点,且处理正常地继续。因此,对于在异常返回之后的前几个循环,处理器可不执行任何有用的工作,且基本上仅重新提取在发生原先异常或调试事件时的进行中的多个指令。然而,由于对于一些应用来说,异常返回时延经常不重要,故这可为减少在采用异常的时间当下的延迟的良好权衡,且这还帮助减少在异常发生时需要存储的架构状态量,因为其不必推测性地存储未完成指令的结果。此方法还实现异常是由向量指令的节拍引起的精确错误的处置。

[0115] 在一些情况下,指示多个指令群组的已完成节拍的节拍状况信息可响应于调试事件或异常发生来设置。然而,在一些具体实施中,可能更容易的是,无论是否已发生异常,每次一有指令完成时便更新节拍状况寄存器,使得如果异常发生在随后的滴答中,则节拍状况寄存器22已指示指令群组的已完成节拍。

[0116] 虽然图4展示节拍状况信息的一个示例编码,但另一可行性是将节拍状况信息提供为包括位数目的位图,这些位各自对应于指令A、B、C等的群组的一者的一个节拍,其中如果对应的节拍已完成,则将每个位设置成一,且如果对应的节拍未完成,则设置成零(或反之亦然)。然而,实际上,由于如果较早的节拍尚未完成,则给定指令的后续节拍无法完成,

因此不需要为每一节拍提供位,且可更有效率的是将较小位字段的某些编码分配至已完成节拍的特定组合,如图4的示例。

[0117] 图7示意地示出根据本技术的各种配置布置的装置30的细节。具体来说,装置30具备解码器电路38、处理电路40和一组寄存器32。寄存器32包括一个或多个标量寄存器34和一个或多个向量寄存器36。解码器电路被布置成接收指令(例如,基于由程序员和编译器所生成的程序代码),且基于指令集架构而解释指令。具体来说,解码器电路被布置成解释向量抽取和合并指令,该向量抽取和合并指令指定第一源向量寄存器44、第二源向量寄存器46、目的地寄存器54和控制参数43。在接收到该向量抽取和合并指令时,解码器电路生成控制信号以致使处理电路40执行向量抽取和合并处理。处理电路40响应于控制信号而通过执行多个处理节拍的一个或多个节拍48来执行向量抽取和合并处理。每个处理节拍对应于至少第一源向量寄存器44和目的地向量寄存器54的每一者的部分。处理电路40被布置成执行对应于第一源向量寄存器44的一个或多个部分48、第二源向量寄存器的一个或多个部分49的一个或多个处理节拍,以生成待存储于目的地向量寄存器50中的一个或多个部分50。处理电路40被布置成针对多个处理节拍的第K处理节拍而从第一源向量寄存器的第K部分48抽取一个或多个位,并将那些位与一个或多个另外的位级联。在第K节拍是多个节拍中的第一节拍的情况下,该一个或多个另外的位是从第二源向量寄存器的第一部分(第K部分,K=1)49抽取的。在第K节拍是除了第一节拍(K>1)以外的节拍的情况下,该一个或多个另外的位是从对应于第一源向量寄存器44的第(K-1)部分的第(K-1)节拍进位的进位位52。此外,处理电路被布置成在第K节拍不是多个节拍中的最后节拍的情况下将一个或多个位输出为待使用在第(K+1)处理节拍中的进位数据。

[0118] 图8示意地示出根据本技术的一些配置布置的处理装置60的细节。具体来说,处理装置60具备寄存器62、解码器电路68、处理电路70和数据控制电路72。寄存器62包括多个标量寄存器64和多个向量寄存器66。解码器电路68被布置成响应于形成指令集架构的部分的指令来生成控制信号。控制信号经传递(路由)至处理电路70和数据控制电路72。处理电路70被布置成响应于向量抽取和合并指令来执行多个处理节拍。处理电路的细节与图7所提及的处理电路40的细节相同。数据控制电路72响应于数据控制信号(它们是通过解码器电路68响应于数据传输指令来生成)来执行多个存储器传输处理节拍。针对给定滴答,装置60被布置成执行多个节拍,该多个节拍包括由数据控制电路72所执行的多个存储器传输处理节拍的第一子集、和响应于由处理电路70所执行的向量抽取和合并指令的多个组合处理节拍的第二子集。装置60被布置成执行多个节拍的第一子集和多个节拍的第二子集,同时参考相同向量寄存器72的非重叠部分。

[0119] 图9示意地示出根据本技术的一些配置的向量抽取和合并指令的细节。向量抽取和合并指令指定第一源向量寄存器、第二源向量寄存器、目的地向量寄存器和控制参数M。在所示出的示例中,处理电路执行两个处理节拍,各自对应于第一源向量寄存器、第二源向量寄存器和目的地寄存器的N位部分。第一源向量寄存器包括第一N位部分82。第一N位部分82包括最高有效M个位84和最低有效N-M个位86。处理电路被布置成针对对应于第一源向量寄存器的第一部分82、第二源向量寄存器的第一部分88和目的地向量寄存器的第一部分102的第一处理节拍来抽取第一源向量寄存器的第一部分82的N-M个位86,并将所抽取的N-M个位与M个位(一个或多个另外的位)90级联,这些M个位是从第二源向量寄存器的第一部

分88抽取的。特定地,将从第一源向量寄存器的第一部分82抽取的N-M个位86存储为目的地向量寄存器的第一部分102的最高有效N-M个位98。将从第二源向量寄存器的第一部分88抽取的M个位90存储为目的地向量寄存器的第一部分102的最低有效M个位100。处理电路进一步被配置为将第一源向量寄存器的第一部分82的最高有效M个位84进位作为进位位96。进位位可为在并行执行的处理节拍之间进位的进位位或是输出至标量寄存器的进位位,该标量寄存器被布置成在非并行执行的处理节拍之间对位进行进位。在第二处理节拍中,将从第一源向量寄存器的第一部分82进位的M个位96存储为目的地寄存器的第二部分的最低有效M个位94。在第二处理节拍期间,处理电路被布置成抽取第一源向量寄存器的第二N位部分80的最低有效N-M个位95,并将第一源向量寄存器的第二部分80的N-M个位95存储为目的地向量寄存器的第二部分104的最高有效N-M个位92。以此方式,处理电路支持横跨多个节拍的向量抽取和合并指令。在此示例中,控制参数指示在部分(一个或多个另外的位)之间进位的M个位84的数目。在其它示例中,控制参数可指示从第一源向量寄存器的第一部分86抽取并存储于目的地向量寄存器的第一部分中的位数目。

[0120] 图10至图12示意地示出根据本技术的各种配置的从第二源向量寄存器的第一部分所抽取的位。向量抽取和合并指令的具体使用情况是生成未对准至32位边界的向量。具体来说,一些装置被布置成加载对准至32位边界的数据。因此,相对直接的是生成经移位32位的数据值的向量。然而,仅使用加载指令生成未与32位边界对准的数据可能是不可行的,或者可能招致性能损失,使得使用对准的加载可能是优选的。生成未与32位边界对准的数据的一个方法需要执行移位。

[0121] 图10示意地示出存储于指定寄存器中的数据是16位数据的情况。所示出的第一源向量寄存器分成四个节拍,各自包括四个字节(32位)。存储于第一源向量寄存器和第二源向量寄存器中的数据对应于相同数据集的不同部分。存储于第二源向量寄存器中的数据已从加载至第一源向量寄存器中的数据偏移32个位。对于16位数据,根据前述使用情况,所期望的是生成经移位16个位的向量。在此情况中,从第二源向量寄存器抽取的一个或多个另外的位是第二源向量寄存器的第一部分的字节2和3(位16至31)。从第二源向量寄存器的所示出部分抽取这些位与存储于第一源向量寄存器中的经移位数据的组合导致在目的地向量寄存器中生成未对准至32位边界的数据。

[0122] 图11示意地示出将需要被抽取以便针对8位数据执行此移位的第二源向量寄存器的部分。具体来说,为了生成与32位边界未对准24个位的一组数据,在第一处理节拍中抽取第二源向量寄存器的字节1、2和3作为一个或多个另外的位。为了生成与32位边界未对准16个位的一组数据,在第一处理节拍中抽取第二源向量寄存器的字节2和3作为一个或多个另外的位。为了生成与32位边界未对准8个位的一组数据,在第一处理节拍中抽取第二向量寄存器的字节3作为一个或多个另外的位。以此方式,可行的是生成具有未对准至32位边界的数据元素的一系列向量。

[0123] 图12示意地示出在目的地数据向量是第二源数据向量的情况下将需要被抽取以便针对8位数据执行此移位的第二源向量寄存器的部分。在所示出的示例中,施加三个向量抽取和合并指令的序列。向量抽取和合并指令的每一者将通过它们将第一源向量寄存器移位的不同位数目指定为控制参数。如图10的示例中,存储于第二源向量寄存器中的数据已从加载至第一源向量寄存器中的数据偏移32个位。在所示出的示例中,从第二源向量寄存

器抽取的一个或多个另外的位包括排除最低有效字节的第二源向量寄存器的第一部分的最低有效字节集合。在第一向量抽取和合并指令中,24个位(3个字节)的移位被定义为控制参数。因此,从第二源向量寄存器抽取的字节是字节3、2和1。这些在多个处理节拍期间是通过处理电路来级联,以生成与32位边界未对准24个位的值的向量,作为针对第一向量抽取和合并指令的目的地向量寄存器的内容。在第二向量抽取和合并指令中,16个位(2个字节)的移位被定义为控制参数,且第一向量抽取和合并指令的目的地向量寄存器是用作第二源向量寄存器。因此,从第二指令的第二源向量寄存器抽取的字节是字节3和2。这些在多个处理节拍期间是通过处理电路来级联,以生成与32位边界未对准16个位的值的向量,作为针对第二向量抽取和合并指令的目的地向量寄存器的内容。在第三向量抽取和合并指令中,8个位(1个字节)的移位被定义为控制参数,且第二向量抽取和合并指令的目的地向量寄存器是用作第二源向量寄存器。因此,从第二源向量寄存器抽取的字节是字节3。此字节在多个处理节拍期间是通过处理电路来级联,以生成与32位边界未对准8个位的值的向量,作为针对第三向量抽取和合并指令的目的地向量寄存器的内容。

[0124] 图13至图17示意地示出由处理电路响应于向量抽取和合并指令来实行的操作序列。出于说明性目的,已针对向量抽取和合并指令欲生成未对准至32位边界的向量的使用情况来选择向量寄存器的元素。对于所属领域的一般技术人员来说将显而易见的是,此使用情况示例纯粹是出于说明性目的而选择,且本文所述的技术不需要第一源向量寄存器与第二源向量寄存器的内容之间存在任何关系。具体来说,将显而易见的是,对于本文所述的一般向量抽取和合并指令来说,存储于第一源向量寄存器中的向量可为任何从存储器加载或例如因一个或多个其它操作而生成的任何第一向量。类似地,存储于第二源向量寄存器中的第二源向量可为任何第二向量,并且在一些使用情况中,程序员可选择第一向量和第二向量,使得存在于第一源向量寄存器和第二源向量寄存器中的元素之间存在一些重叠。在其它使用情况中,程序员可选择第一源向量和第二源向量,使得存在于第一源向量寄存器和第二源向量寄存器中的元素之间不存在重叠。

[0125] 图13示意地示出由处理电路响应于向量抽取和合并指令来实行的操作序列,该向量抽取和合并指令指定第一源向量寄存器110、第二源向量寄存器112、目的地寄存器114、标量寄存器和控制信息。第一源向量寄存器110、第二源向量寄存器112和目的地寄存器114的每一者经布置为在多个处理节拍中待处理的多个部分。在所示出的示例中,处理电路被布置成针对给定滴答执行单一处理节拍。这些部分的每一者包括两个元素,且控制信息指定对应于单一元素的移位待执行。仅出于示范性目的,第一源向量寄存器和第二源向量寄存器是128位向量寄存器,且经示出为含有一组编号数据项目。具体来说,第一源向量寄存器含有数据项目9下至数据项目2,且第二源向量寄存器含有数据项目7向下至数据项目0。因此,第一源向量寄存器和第二源向量寄存器含有从存储器中的地址加载的对准至32位边界的16位数据项目。在第一处理节拍中,处理电路抽取第一源向量寄存器的第一部分110(D)的最低有效元素(数据项目2)。第一源向量寄存器的第一部分110(D)的所抽取最低有效元素与第二源向量寄存器的第一部分112(D)的最高有效元素(数据项目1)级联,且将级联的结果存储为目的地向量寄存器的第一部分114(D)。在第一处理节拍期间,抽取第一源向量寄存器的第一部分110(D)的最高有效元素(数据项目3)作为进位数据116,并存储为标量寄存器中的最高有效元素。在第二处理节拍期间,处理电路抽取第一源向量寄存器的第二

部分110(C)的最低有效元素(数据项目4)。第一源向量寄存器的第二部分110(C)的所抽取最低有效元素与存储于标量寄存器的最高有效元素(数据项目3)中的进位数据116级联,且将级联的结果存储于目的地向量寄存器的第二部分114(C)中。在第二处理节拍期间,处理电路还抽取第一源向量寄存器的第二部分110(C)的最高有效元素(数据项目5)作为待存储为标量寄存器中的最高有效元素的进位数据118。在第三处理节拍期间,处理电路抽取第一源向量寄存器的第三部分110(B)的最低有效元素(数据项目6)。第一源向量寄存器的第三部分110(B)的所抽取最低有效元素与存储于标量寄存器的最高有效元素(数据项目5)中的进位数据118级联,且将级联的结果存储于目的地向量寄存器的第三部分114(B)中。在第三处理节拍期间,处理电路还抽取第一源向量寄存器的第三部分110(B)的最高有效元素(数据项目7)作为待存储为标量寄存器中的最高有效元素的进位数据120。在第四处理节拍期间,处理电路抽取第一源向量寄存器的第四部分110(A)的最低有效元素(数据项目8)。第一源向量寄存器的第四部分110(C)的所抽取最低有效元素与存储于标量寄存器的最高有效元素(数据项目7)中的进位数据120级联,且将级联的结果存储于目的地向量寄存器的第四(最后)部分114(A)中。在一些替代配置中,在第四处理节拍期间,处理电路还抽取第一源向量寄存器的第四部分110(A)的最高有效元素作为待存储为标量寄存器中的最高有效元素的进位数据。此进位数据在执行向量抽取和合并指令之后维持存储于标量寄存器中。标量寄存器的未使用元素(如图13所示的最低有效元素)中的值是任意的。在一些示例中,此元素可设置成伪值,例如零。在其它示例中,其可设置成来自第一源向量寄存器的当前部分的相邻元素的值。

[0126] 图14示意地示出由处理电路响应于向量抽取和合并指令来实行的操作序列,该向量抽取和合并指令指定第一源向量寄存器140、第二源向量寄存器142、目的地寄存器144、标量寄存器和控制信息。如图13中,第一源向量寄存器和第二源向量寄存器的每一者含有从存储器区域抽取的对准至32位边界的数据项目。相较于图13,存储于第一源向量寄存器和第二源向量寄存器的元素中的数据项目的每一者是8位数据项目。第一源向量寄存器140、第二源向量寄存器142和目的地寄存器144的每一者经布置为在多个处理节拍中待处理的多个部分。在所示出的示例中,处理电路被布置成针对给定滴答执行单一处理节拍。这些部分的每一者包括四个元素,且控制信息指定对应于两个元素的移位待执行。在第一处理节拍中,处理电路抽取第一源向量寄存器的第一部分140(D)的两个最低有效元素(数据项目5和4)。第一源向量寄存器的第一部分140(D)的所抽取两个最低有效元素与第二源向量寄存器的第一部分142(D)的两个最高有效元素(数据项目3和2)级联,且将级联的结果存储为目的地向量寄存器的第一部分144(D)。在第一处理节拍期间,抽取第一源向量寄存器的第一部分140(D)(数据项目7下至数据项目4)作为存储于标量寄存器中的进位数据146。在第二处理节拍期间,处理电路抽取第一源向量寄存器的第二部分140(C)的两个最低有效元素(数据项目9和8)。第一源向量寄存器的第二部分140(C)的所抽取两个最低有效元素与存储于标量寄存器的进位数据146的两个最高有效元素(数据项目7和6)级联,且将级联的结果存储于目的地向量寄存器的第二部分144(C)中。在第二处理节拍期间,处理电路也抽取第一源向量寄存器的第二部分140(C)(数据项目11下至数据项目8)作为待存储于标量寄存器中的进位数据148。在第三处理节拍期间,处理电路抽取第一源向量寄存器的第三部分140(B)的两个最低有效元素(数据项目13和12)。第一源向量寄存器的第三部分140(B)的所

抽取两个最低有效元素与存储于标量寄存器中的进位数据148的两个最高有效元素(项目11和10)中的级联,且将级联的结果存储于目的地向量寄存器的第三部分144(B)中。在第三处理节拍期间,处理电路还抽取第一源向量寄存器的第三部分140(B)(项目15下至项目12)作为待存储于标量寄存器中的进位数据150。在第四处理节拍期间,处理电路抽取第一源向量寄存器的第四部分140(A)的两个最低有效元素(数据项目17和16)。第一源向量寄存器的第四部分140(A)的所抽取两个最低有效元素与存储于标量寄存器中的进位数据150的两个最高有效元素(数据项目15和14)级联,且将级联的结果存储于目的地向量寄存器的第四(最后)部分144(A)中。在一些替代配置中,在第四处理节拍期间,处理电路还抽取第一源向量寄存器的第四部分140(A)作为待存储于标量寄存器中的进位数据。此进位数据在执行向量抽取和合并指令之后维持存储于标量寄存器中。

[0127] 图15示意地示出根据替代具体实施的由处理电路响应于向量抽取和合并指令来实行的操作序列。图15与图14的不同之处在于,对于第一处理节拍、第二处理节拍和第三处理节拍的每一者,从第一源向量寄存器160的对应部分抽取的数据(待存储为标量寄存器中的进位数据)是该对应部分的两个最高有效元素,并经存储为标量寄存器的两个最低有效元素。具体来说,不同于关于图14所述者的操作如下:在第一处理节拍中,处理电路抽取第一源向量寄存器的第一部分160(D)的两个最高有效元素(数据项目7和6),以存储为标量寄存器的两个最低有效元素中的进位数据166。在第二处理节拍中,一个或多个另外的数据位是从标量寄存器的两个最低有效元素抽取的,且处理电路抽取第一源向量寄存器的第二部分160(C)的两个最高有效元素(数据项目11和10),以存储为标量寄存器的两个最低有效元素中的进位数据168。在第三处理节拍中,一个或多个另外的数据位是从标量寄存器的两个最低有效元素抽取的,且处理电路抽取第一源向量寄存器的第三部分160(B)的两个最高有效元素(数据项目15和14),以存储为标量寄存器的两个最低有效元素中的进位数据170。在第四处理节拍中,一个或多个另外的数据位是从标量寄存器的两个最低有效元素抽取的。将理解,标量寄存器中的进位数据的位置是任意的,且虽然图14和15展示两个可能性,但其它配置也是可行的。

[0128] 图16示意地示出由处理电路响应于向量抽取和合并指令来实行的操作序列,该向量抽取和合并指令指定第一源向量寄存器180、第二源向量寄存器182、目的地寄存器184、标量寄存器和控制信息。第一源向量寄存器180、第二源向量寄存器182和目的地寄存器184的每一者经布置为在多个处理节拍中待处理的多个部分。图16与图15和图14的不同之处在于,处理电路具备能够针对给定滴答执行多个处理节拍的两个节拍的硬件。换句话说,这些节拍的两者是并行地执行。第一源向量寄存器180和第二源向量寄存器182的部分的每一者包括四个8位元素,且控制信息指定对应于两个元素的移位待执行。响应于第一滴答,处理电路执行对应于第一源向量寄存器180的两个最低有效部分180(C)、180(D)的第一处理节拍和第二处理节拍。处理电路被布置成从第二源向量寄存器的最低有效部分182(D)抽取两个最高有效元素(数据项目3和2)作为一个或多个另外的位。一个或多个另外的位是与第一源向量寄存器的最低有效部分180(D)的两个最低有效元素(数据项目5和4)级联。将级联的结果存储至目的地向量寄存器的最低有效部分184(D)。第一源向量寄存器的最低有效部分180(D)的两个最高有效元素(数据项目7和6)经进位以在第二节拍中使用。因为第二节拍是与第一节拍并行地执行(在相同的滴答中),第一源向量寄存器的最低有效部分180(D)的两

个最高有效元素(数据项目7和6)是在不需要标量寄存器的情况下进位。因此,在相同的滴答中,作为第二处理节拍的部分,第一源向量寄存器的最低有效部分180(D)的两个最高有效元素(数据项目7和6)经进位作为与第一源向量寄存器的第二部分180(C)的两个最低有效元素(数据项目9和8)待级联的一个或多个另外的位。将级联的结果存储至目的地向量寄存器的第二部分184(C)。处理电路还被布置成将来自第一源向量寄存器的第二部分180(C)的两个最高有效元素(数据项目11和10)存储至标量寄存器188的两个最低有效元素,以被进位以用于下一滴答期间的处理。处理电路还被布置成响应于向量抽取和合并指令来设置状况信息,该状况信息指示针对待实行的第一处理节拍和第二处理节拍而已完成处理。

[0129] 在第二处理节拍期间,处理电路可从状况信息确定第一处理节拍和第二处理节拍的处理完成。因此,处理电路开始从对应于第一源向量寄存器的第三部分180(B)的第三节拍的处理。处理电路从第一源向量寄存器的第三部分180(B)抽取两个最低有效元素(数据项目13和12),并将这些元素与一个或多个另外的位级联。因为处理电路可确定正在处理的节拍不包括第一节拍(最低有效部分),因此一个或多个另外的位是从标量寄存器188抽取。具体来说,一个或多个另外的位包括标量寄存器188的两个最低有效元素(数据项目11和10),它们被抽取并与第一源向量寄存器的第三部分180(B)的两个最低有效元素(数据项目13和12)级联,且将级联的结果存储于目的地寄存器的第三部分184(B)中。处理电路还被布置成抽取第一源向量寄存器的第三部分180(B)的两个最高有效元素(数据项目15和14)以进位至第四节拍。因为处理电路能够在给定滴答执行两个处理节拍,因此节拍3和4是并行地执行,且经进位数据不需要存储于标量寄存器188中。而是,第一源向量寄存器的第三部分180(B)的两个最高有效元素(数据项目15和14)经进位作为在第四节拍中待使用的一个或多个另外的位。在第四节拍期间,第一源向量寄存器的第四(最高有效)部分180(A)的两个最低有效元素(数据项目17和16)被抽取,并与来自第一源向量寄存器的第三部分的经进位的一个或多个另外的位级联。将级联的结果存储于目的地向量寄存器的第四部分(最高有效部分)184(A)。

[0130] 在一些替代配置中,在第四处理节拍期间,处理电路还抽取第一源向量寄存器的第四部分180(A)作为待存储于标量寄存器188中的进位数据。此进位数据在执行(可能)待用作另外的指令的部分的向量抽取和合并指令之后维持存储于标量寄存器188中。

[0131] 图17示意地示出替代配置,其中操作序列是由处理电路响应于向量抽取和合并指令来实行,该向量抽取和合并指令指定第一源向量寄存器240、第二源向量寄存器242、目的地寄存器244、标量寄存器和控制信息。图17与图14至图16的不同之处在于,该抽取和合并指令已反转。具体来说,向量抽取和合并指令是从指定寄存器的最高有效部分实行,而非从源向量寄存器的最低有效部分实行。在所示出的示例中,处理电路被布置成针对给定滴答执行单一处理节拍。这些部分的每一者包括四个元素,且控制信息指定对应于一个元素的移位待执行。在第一处理节拍(在此情况下,对应于指定寄存器的最高有效部分)中,处理电路抽取第一源向量寄存器的第一部分(最高有效部分)240(A)的三个最高有效元素(数据项目15下至数据项目13)。第一源向量寄存器的第一部分240(A)的所抽取三个最高有效元素与第二源向量寄存器的第一部分(最高有效部分)242(A)的最低有效元素(数据项目16)级联,且将级联的结果存储为目的地向量寄存器的第一部分244(A)。在第一处理节拍期间,抽取第一源向量寄存器的第一部分240(A)(数据项目15下至数据项目12)作为进位数据246并

存储于标量寄存器中。在第二处理节拍期间,处理电路抽取第一源向量寄存器的第二部分240(B)的三个最高有效元素(数据项目11下至数据项目9)。第一源向量寄存器的第二部分240(B)的所抽取三个最高有效元素与存储于标量寄存器的进位数据246的最低有效元素(数据项目12)级联,且将级联的结果存储于目的地向量寄存器的第二部分244(B)中。在第二处理节拍期间,处理电路还对第一源向量寄存器的第二部分240(B)(数据项目11下至数据项目8)进行进位作为待存储于标量寄存器中的进位数据248。在第三处理节拍期间,处理电路抽取第一源向量寄存器的第三部分240(C)的三个最高有效元素(数据项目7下至数据项目5)。第一源向量寄存器的第三部分240(C)的所抽取三个最高有效元素与存储于标量寄存器中的进位数据248的最低有效元素(数据项目8)级联,且将级联的结果存储于目的地向量寄存器的第三部分244(C)中。在第三处理节拍期间,处理电路还抽取第一源向量寄存器的第三部分240(C)(数据项目7下至数据项目4)作为待存储于标量寄存器中的进位数据250。在第四处理节拍中,处理电路抽取第一源向量寄存器的第四部分(最低有效部分)210(D)的三个最高有效元素(数据项目3下至数据项目1)。第一源向量寄存器的第四部分210(D)的所抽取三个最高有效元素与存储于标量寄存器中的进位数据250的最低有效元素(数据项目4)级联,且将级联的结果存储于目的地向量寄存器的第四(最低有效)部分244(D)中。在一些替代配置中,在第四处理节拍期间,处理电路还抽取第一源向量寄存器的第四部分240(D)作为待存储于标量寄存器中的进位数据。此进位数据在执行向量抽取和合并指令之后维持存储于标量寄存器中。如先前图所示,在标量寄存器内待进位的数据元素的位置、和在标量寄存器中的未使用元素的值是任意的。例如,其它配置的各种组合是可行的,例如,存储元素以在标量寄存器的最高有效元素中进位,以及将未使用元素设置成零。

[0132] 图18示意地示出由处理电路响应于向量抽取和合并指令来实行的步骤序列。流程开始于步骤S170,其中确定指定第一源向量寄存器、第二源向量寄存器、目的地向量寄存器和控制参数的向量抽取和合并指令是否已由解码器电路接收。如果否,则流程保持在步骤S170。在步骤S170,如果确定解码器电路已接收向量抽取和合并指令,则解码器电路基于向量抽取和合并指令生成控制信号。接着,流程进行至步骤S172,其中基于控制信号,将值K基于状况信息而设置。如果状况信息指示尚未进行处理节拍,则将K设置成指示第一处理节拍。另一方面,如果状况信息指示多个节拍中的第一个或多个节拍已完成,则将K设置成指示多个节拍中的第一未完成节拍。接着,流程进行至步骤S174,其中处理电路从第一源向量寄存器的第K部分抽取由控制参数指定的位。接着,流程进行至步骤S176,其中确定K是否指示该部分是第一部分。如果是,则流程进行至步骤S178,其中处理电路从第二源向量寄存器的第一部分抽取一个或多个另外的位(如由控制参数所指示)。接着,流程进行至步骤S182。另一方面,如果在步骤S176确定K指示第K部分不是第一部分,则流程进行至步骤S180,其中获得一个或多个另外的位作为从第一源向量寄存器的第(K-1)部分进位的一个或多个另外的位。例如,如果处理电路具备足够硬件以执行每一滴答多于1个节拍,则该进位在处理电路内可为内部进位。替代地,进位数据可从标量寄存器抽取,其中一个或多个另外的位已存储为向量抽取和合并指令的先前节拍的部分。接着,流程进行至步骤S182。在步骤S182,将所抽取的一个或多个位与一个或多个另外的位级联。接着,流程进行至步骤S184,其中将级联的结果存储于目的地寄存器的第K部分中。接着,流程进行至步骤S186,其中确定该第K部分是否是第一源向量寄存器的最后部分。如果是,则流程返回至步骤S170。如果在步骤

S186,确定该第K部分不是最后部分,则流程进行至步骤S188,其中对尚未存储于目的地寄存器中的第一源向量寄存器的第K部分中的至少一个位进行进位,以在第(K+1)节拍中处理。例如,如果处理电路具备足够硬件以执行每一滴答多个(数个)处理节拍,则该进位在处理电路内可为内部进位。替代地,该进位可通过将第一源向量寄存器的第K部分中的至少一个位存储至在向量抽取和合并指令中指定的标量寄存器来执行。接着,流程进行至步骤S190,其中K经递增,且流程返回至步骤S174。

[0133] 尽管图18的步骤序列已通过依序地递增K来描述,但在提供足以执行每一滴答多个处理节拍的硬件的情况下,对应于在相同滴答内执行的每个节拍(K的每个值)的步骤是并行地执行。例如,如果节拍K和K+1是并行地执行,则步骤S174将包括从第一源向量寄存器的第K部分抽取由控制参数指定的位,其是与针对第一源向量寄存器的第(K+1)部分抽取由控制参数指定的位并行。K和第(K+1)节拍的每一者的一个或多个另外的位将接着并行地抽取。可能地,如果K指示第K部分是第一部分,则第K部分的一个或多个另外的位将从第二源向量寄存器抽取,其是与第(K+1)部分的一个或多个另外的位从第一源向量寄存器的第K部分抽取并行。级联步骤S182将针对第K和第(K+1)部分并行地执行,且针对第K和第(K+1)部分的存储步骤S184将并行地执行。在步骤S186关于K是否对应于最后部分的确定将会基于正受处理的K的最高部分(最高有效部分)而作出,且如果基于此确定而流程将继续至步骤S188,则该进位将会是从第(K+1)部分抽取以用于后续滴答中的处理。所属领域的一般技术人员应理解,取决于硬件提供的细节,可并行地执行任何数目的处理节拍。

[0134] 图19示意地示出根据本技术的各种配置的包括用于制造数据处理装置的计算机可读代码的非暂态计算机可读介质。基于存储在非暂态计算机可读介质1000上的计算机可读代码1002进行制造。计算机可读代码可在半导体设计和制造工艺的一个或多个阶段中使用,该半导体设计和制造工艺包含电子设计自动化(EDA)阶段,以制造集成电路,其包括实现概念的装置。制造工艺涉及将计算机可读代码1002直接施加至一个或多个可编程硬件单元,例如现场可编程门阵列(FPGA),以配置FPGA实现上文所描述的配置,或促进装置的制造实施为一个或多个集成电路,或以其它方式实现上文所述的配置。举示例来说,所制造设计1004包括装置30,该装置具有寄存器32、解码器电路38和处理电路40,如关于图7所述。然而,所制造设计可对应于能够如关于图9至图18所述般地实施向量抽取和合并指令的在图1、图7和图8中所阐述的电路的任一者。

[0135] 图20示出可使用的模拟器具体实施。虽然先前所述的示例以用于操作支持所关注技术的特定处理硬件的装置和方法来实施本发明,但还可能根据本文所述的示例提供指令执行环境,其是通过使用计算机程序来实施。此类计算机程序常称为模拟器,因为它们提供硬件架构的基于软件的具体实施。模拟器计算机程序的种类包含仿真器、虚拟机、模型和二进制转换器(包含动态二进制转换器)。一般来说,模拟器具体实施可在可选地运行主机操作系统510、支持模拟器程序505的主机处理器515上运行。在一些布置中,在硬件与所提供的指令执行环境和/或相同的主机处理器上提供的多个相异指令执行环境之间可有多层模拟。历史上,已需要强大的处理器来提供模拟器具体实施,其以合理速度执行,但此种方法在某些情况下可为有正当理由的,例如当因为兼容性或再使用原因此需要执行另一处理器原生的代码时。例如,模拟器具体实施可提供具有不为主机处理器硬件所支持的额外功能性的指令执行环境,或提供一般与不同的硬件架构相关联的指令执行环境。模拟的综述是

在“一些高效架构模拟技术(Some Efficient Architecture Simulation Techniques)”(Robert Bedichek,Winter 1990USENIX Conference,第53至63页)中给出。

[0136] 在先前已参照特定硬件架构或特征描述实施的情况下,在模拟具体实施中,等效功能性可通过合适的软件架构或特征提供。例如,可在模拟具体实施中将特定电路提供作为计算机程序逻辑。类似地,存储器硬件(例如寄存器或缓存)可在模拟具体实施中提供作为软件数据结构。在先前描述的示例中提及的硬件元素的一者或多者存在于主机硬件上的布置中,一些模拟具体实施可(在适当处)利用主机硬件。

[0137] 模拟器程序505可存储在计算机可读存储介质(其可为非暂态介质)上,并提供虚拟硬件接口(指令执行环境)给目标代码500(其可包含应用程序、操作系统和超管理器),该虚拟硬件接口与通过模拟器程序505建模的硬件架构的硬件接口相同。因此,目标代码500的程序指令可在指令执行环境内使用模拟器程序505执行,使得实际上不具有上文所讨论的装置30的硬件特征的主机计算机515可仿真这些特征。模拟器程序可包含:寄存器逻辑部件532,其用以仿真寄存器32的行为;解码器电路逻辑部件538,其用以仿真解码器电路38的行为;和处理逻辑部件540,其用以仿真处理电路40的行为。此外,模拟器程序可包含逻辑,以实施能够如关于图9至图18所述般地实施向量抽取和合并指令的在图1、图7和图8中所阐述的电路的任一者。因此,本文所述的技术在图20的示例中可通过模拟器程序505以软件执行。

[0138] 整体上简单地说,提供一种装置、方法和介质。该装置包括解码器电路,其用以响应于向量抽取和合并指令来生成控制信号,该向量抽取和合并指令指定控制参数、第一向量寄存器、第二向量寄存器和目的地向量寄存器。该装置包括处理电路,其响应于这些控制信号来执行多个处理节拍,每个节拍包括对应于至少第一向量寄存器和目的地向量寄存器的部分的处理。针对第K节拍,该处理包括:从该第一向量寄存器的第K部分抽取由该控制参数指定的位,将这些位与另外的位级联,并将结果存储于该目的地寄存器的该第K部分中。对于第一部分,这些另外的位是从该第二向量寄存器的第一部分抽取的,否则是从该第一向量寄存器的第(K-1)部分抽取的。

[0139] 在本申请中,用语“被配置为……”是用以意指装置的元件具有能够实行经定义的操作的配置。在此上下文中,“配置”意指硬件或软件的互连的布置或方式。例如,该装置可具有专用硬件,其提供经定义的操作,或者处理器或其它处理设备可经编程以执行该功能。“被配置为”并不意味着装置元件需要以任何方式改变以提供经定义的操作。

[0140] 虽然本文中已参照附图详细描述说明性配置,但应明白,本发明不限于这些精确配置,且所属领域的一般技术人员可对其实行各种变化、添加和修改,而不脱离如随附权利要求书所定义的本发明的范围和精神。例如,可用独立权利要求的特征在不脱离本发明的范围的情况下作出与附属权利要求的特征的各种组合。

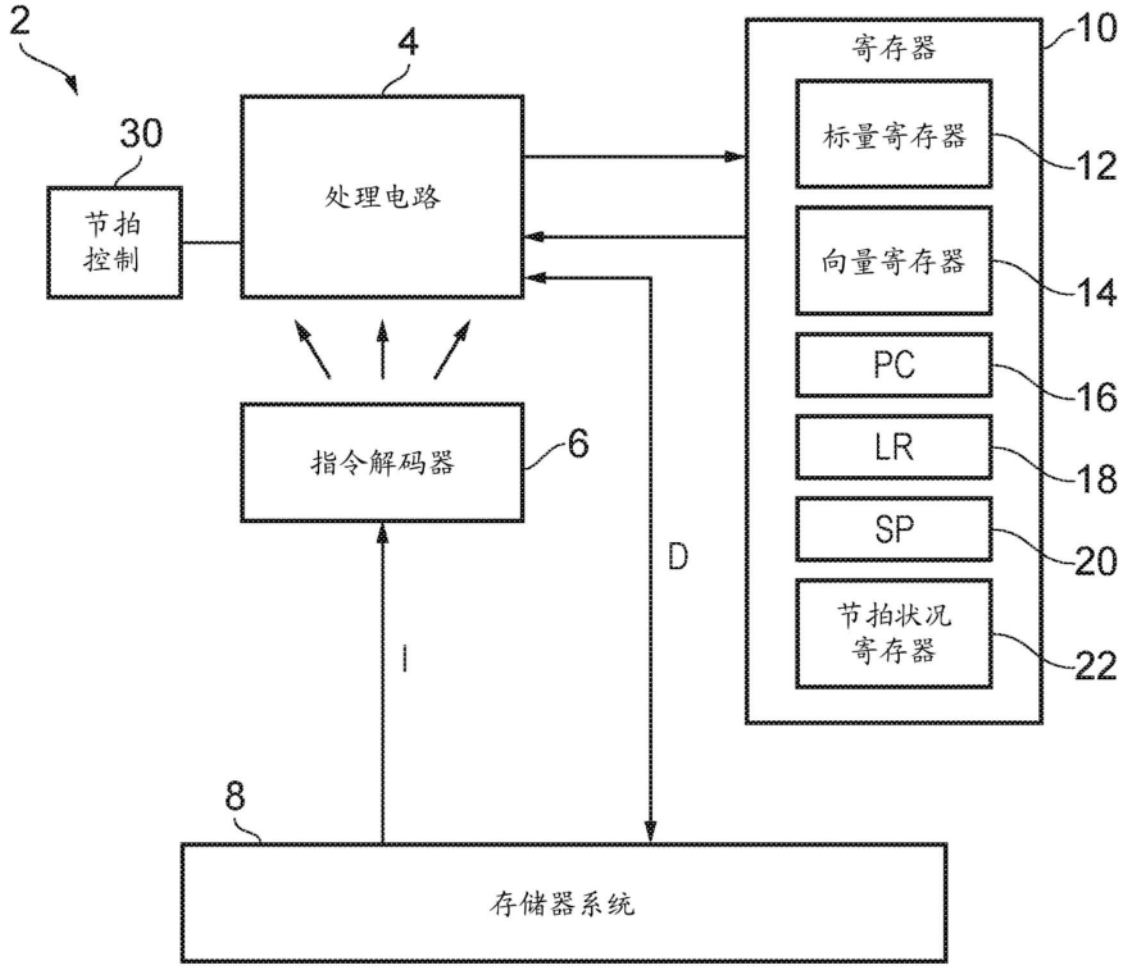


图1

```
VLDR  Q1, [R0], #16
VMUL  Q0, Q1, Q2
VSHR  Q0, Q0, #1
```

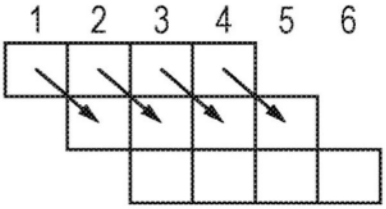


图2

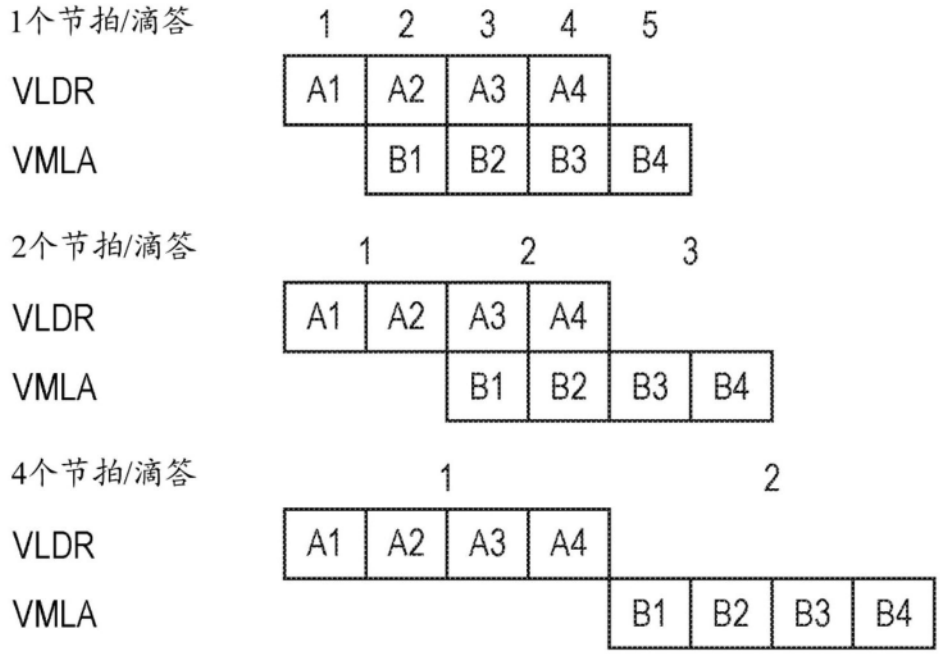


图3

22

节拍状况信息	已完成节拍
0000	无效
0001	A1
0010	A1 A2
0011	A1 A2 B1
0100	A1 A2 A3
0101	A1 A2 A3 B1
0110	A1 A2 A3 B1 B2
0111	A1 A2 A3 B1 B2 C1
1XXX	经保留

Ax = 最早的未完成指令的第x节拍

Bx = 在A之后的下一向量指令的第x节拍

Cx = 在B之后的下一向量指令的第x节拍

图4

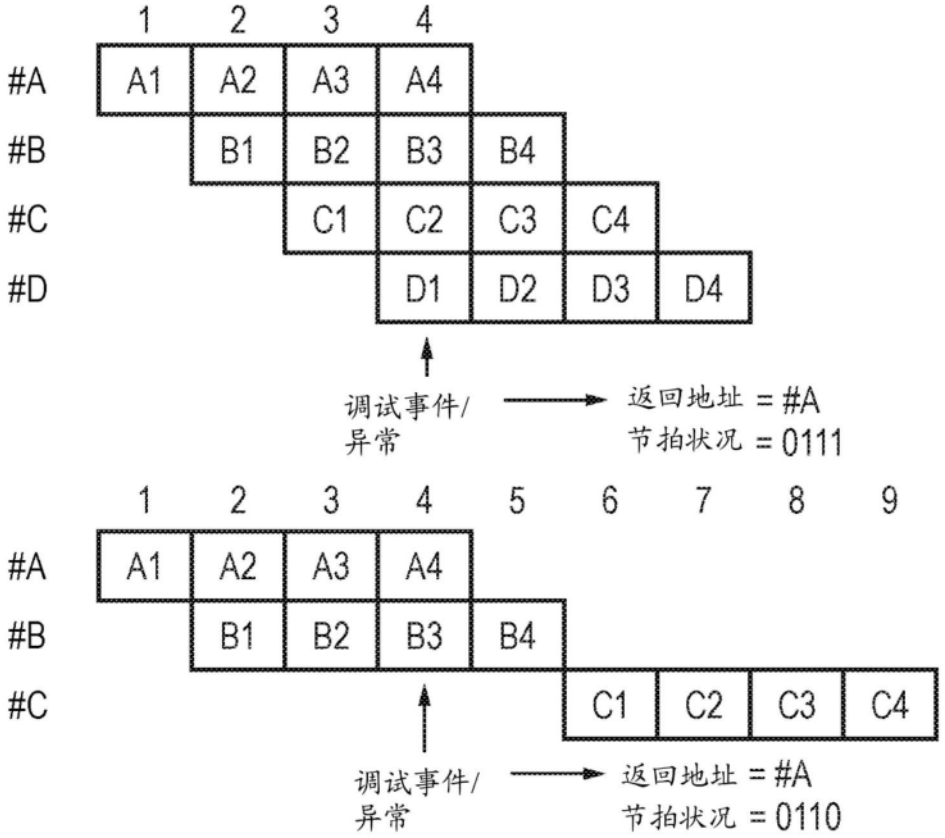

1 2 3 4
#A A1 A2 A3 A4
#B B1 B2 B3 B4
#C C1 C2 C3 C4
#D D1 D2 D3 D4
调试事件/
异常
返回地址 = #A
节拍状况 = 0111
1 2 3 4 5 6 7 8 9
#A A1 A2 A3 A4
#B B1 B2 B3 B4
#C C1 C2 C3 C4
调试事件/
异常
返回地址 = #A
节拍状况 = 0110

图5

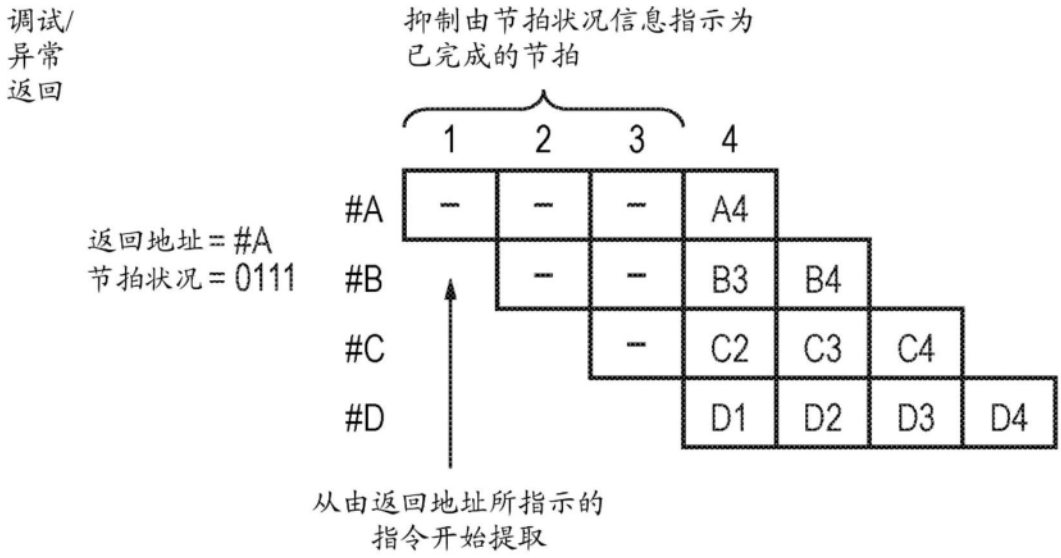

调试/
异常
返回
抑制由节拍状况信息指示为
已完成的节拍
1 2 3 4
#A – – – A4
#B – – B3 B4
#C – C2 C3 C4
#D D1 D2 D3 D4
返回地址 = #A
节拍状况 = 0111
从由返回地址所指示的
指令开始提取

图6

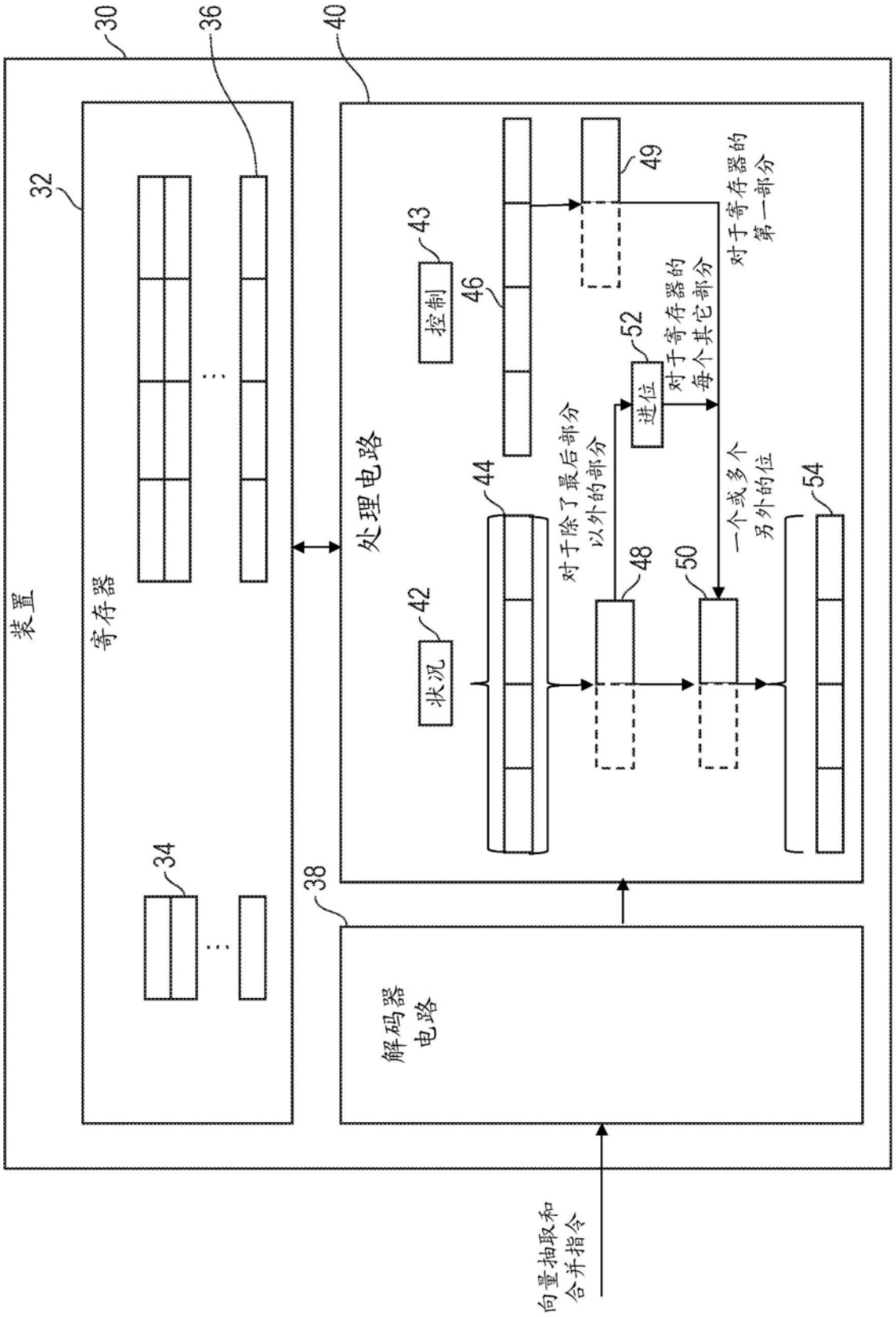

30
36
40
32
43
49
控制
46
52
进位
对于寄存器的
每个其它部分
对于寄存器的
第一部分
处理电路
44
对于除了最后部分
以外的部分
48
50
一个或多个
另外的位
54
42
状况
寄存器
装置
34
38
解码器
电路
向量抽取和
合并指令

图7

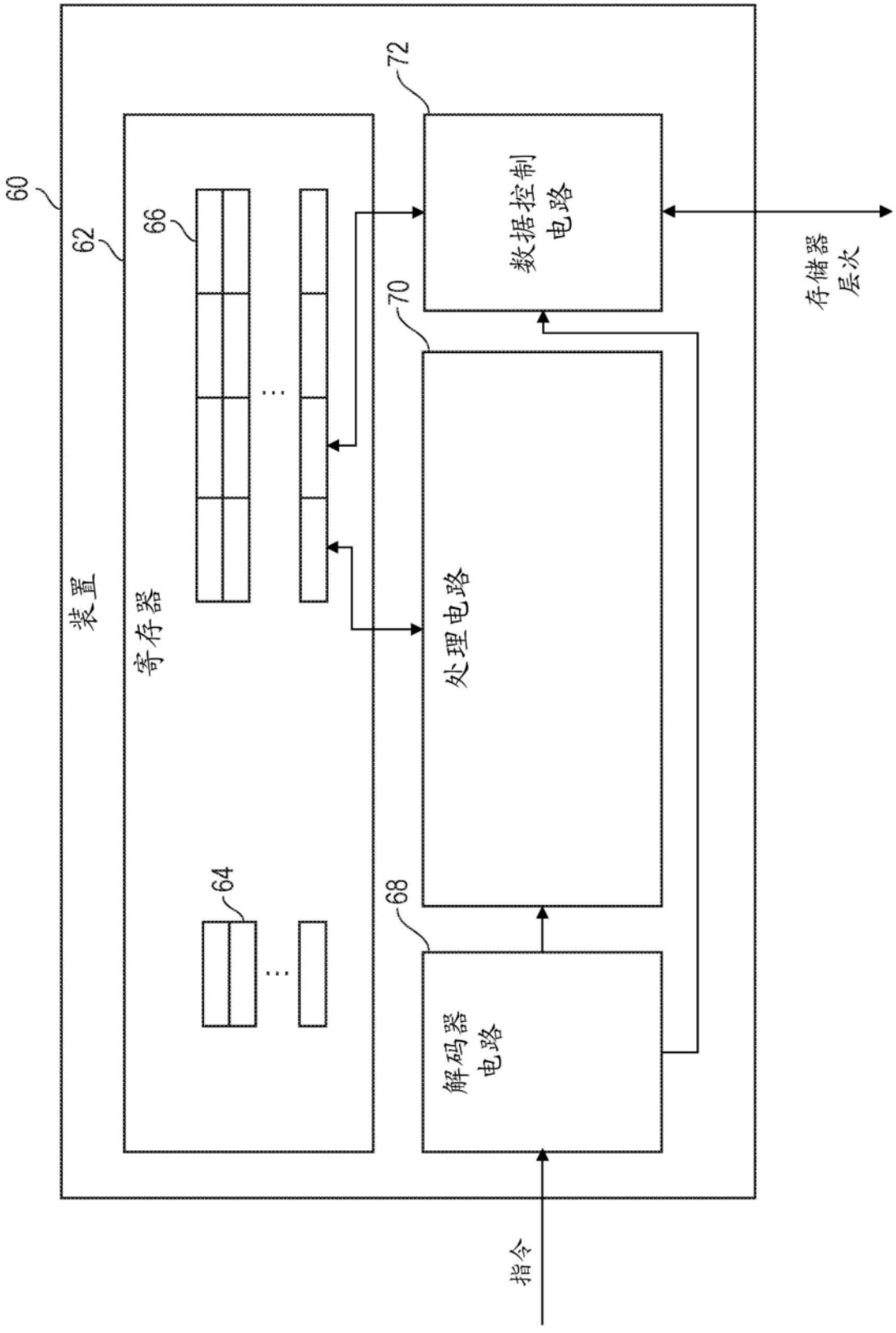


图8

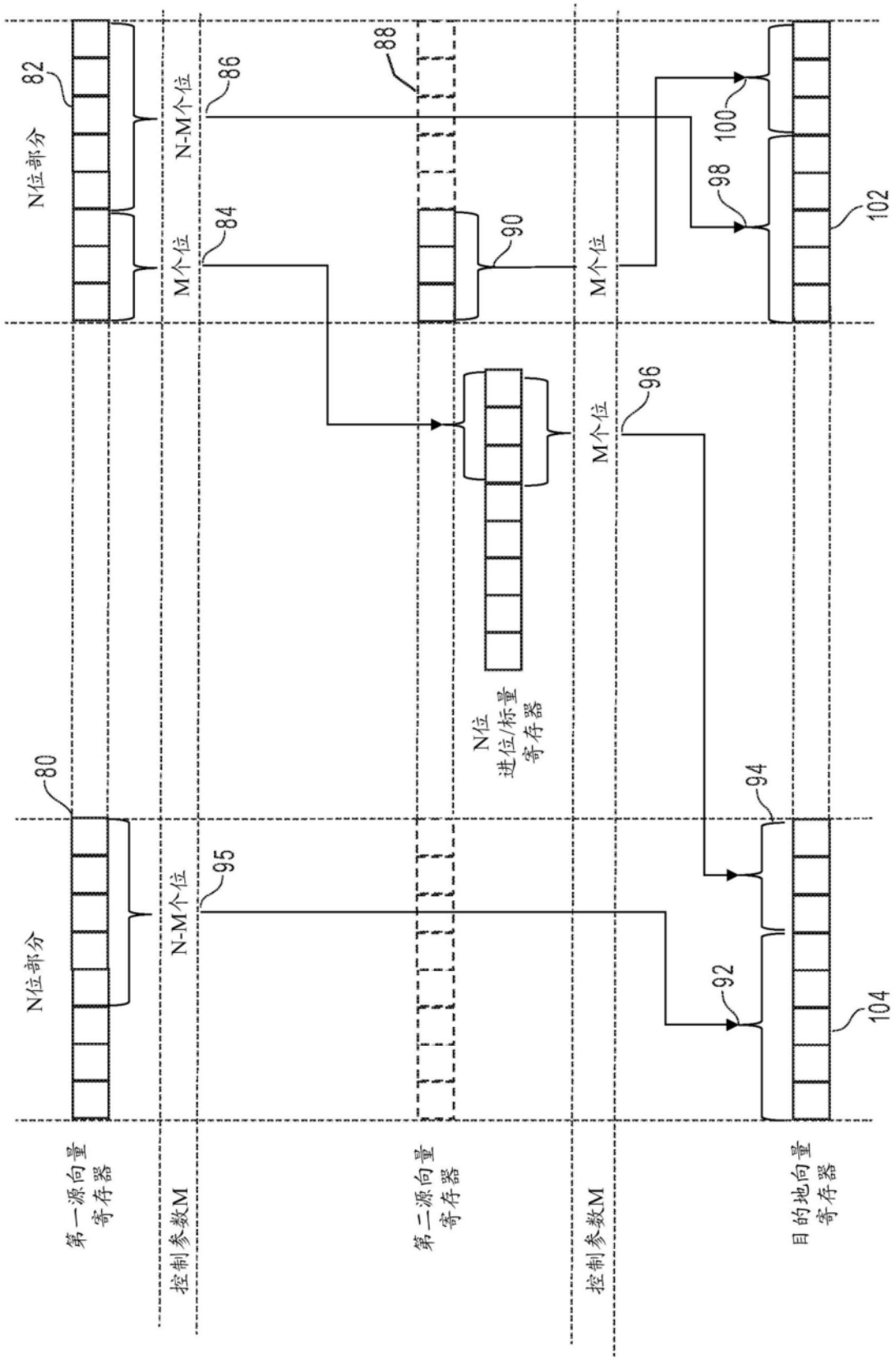

82
N位部分
86
N-M个位
88
84
M个位
90
M个位
98
100
102
80
N位部分
95
N-M个位
N位
进位/标量
寄存器
96
M个位
94
92
104
第一源向量
寄存器
控制参数M
第二源向量
寄存器
控制参数M
目的地向量
寄存器

图9

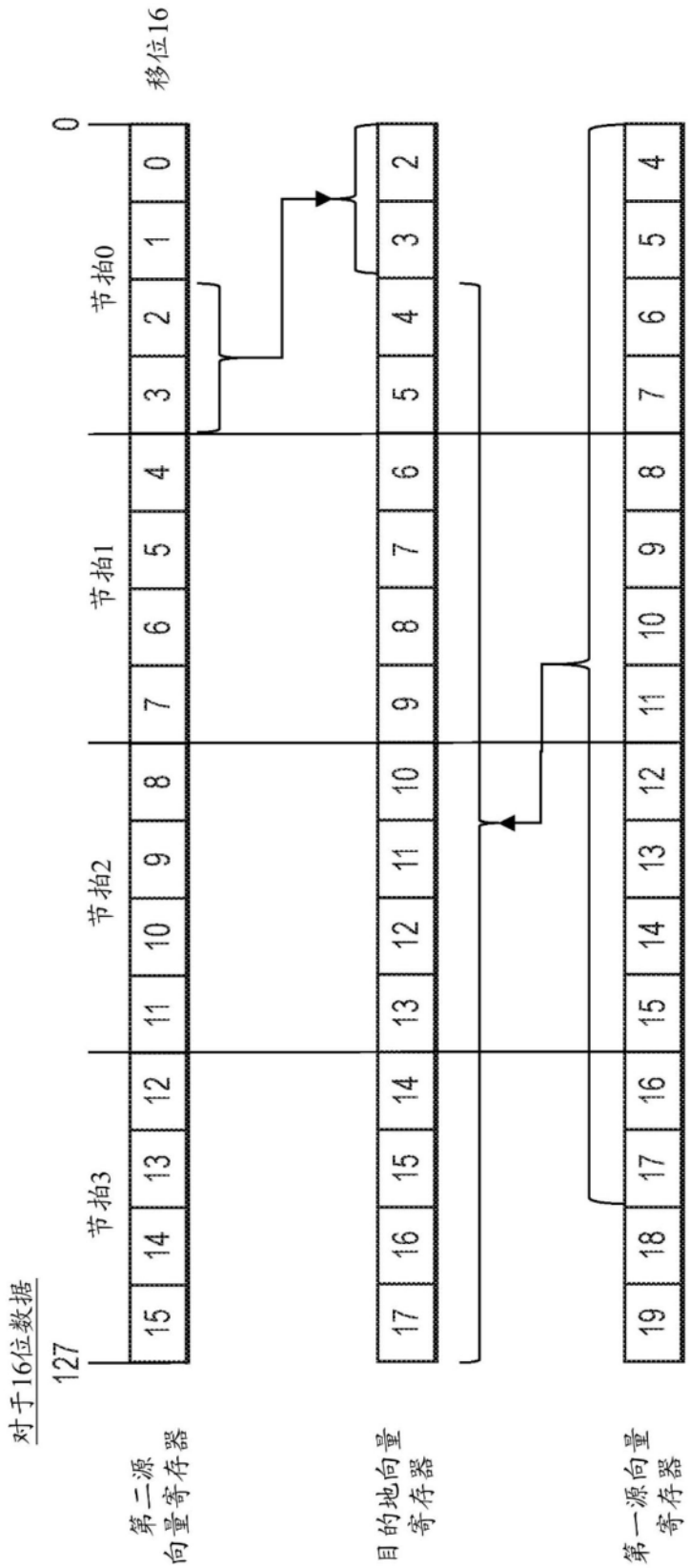

对于16位数据
127
0
移位16
节拍3
节拍2
节拍1
节拍0
15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2
19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4
第二源向量寄存器
目的地向量寄存器
第一源向量寄存器

图10

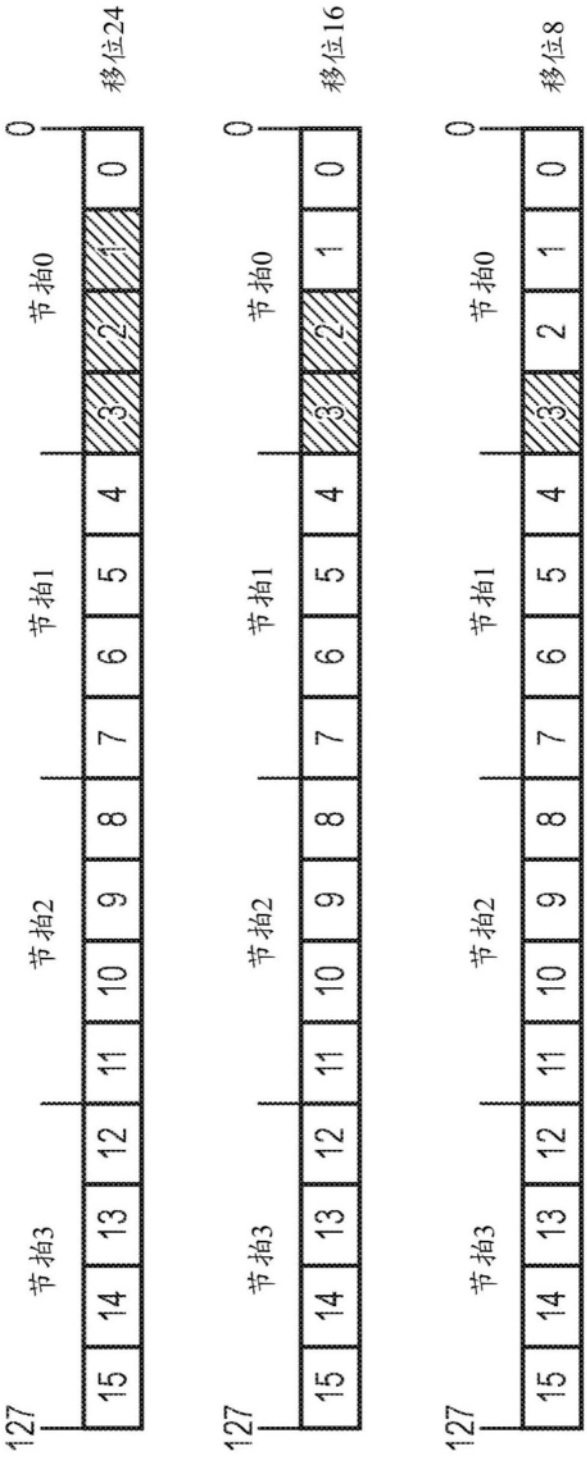


图11

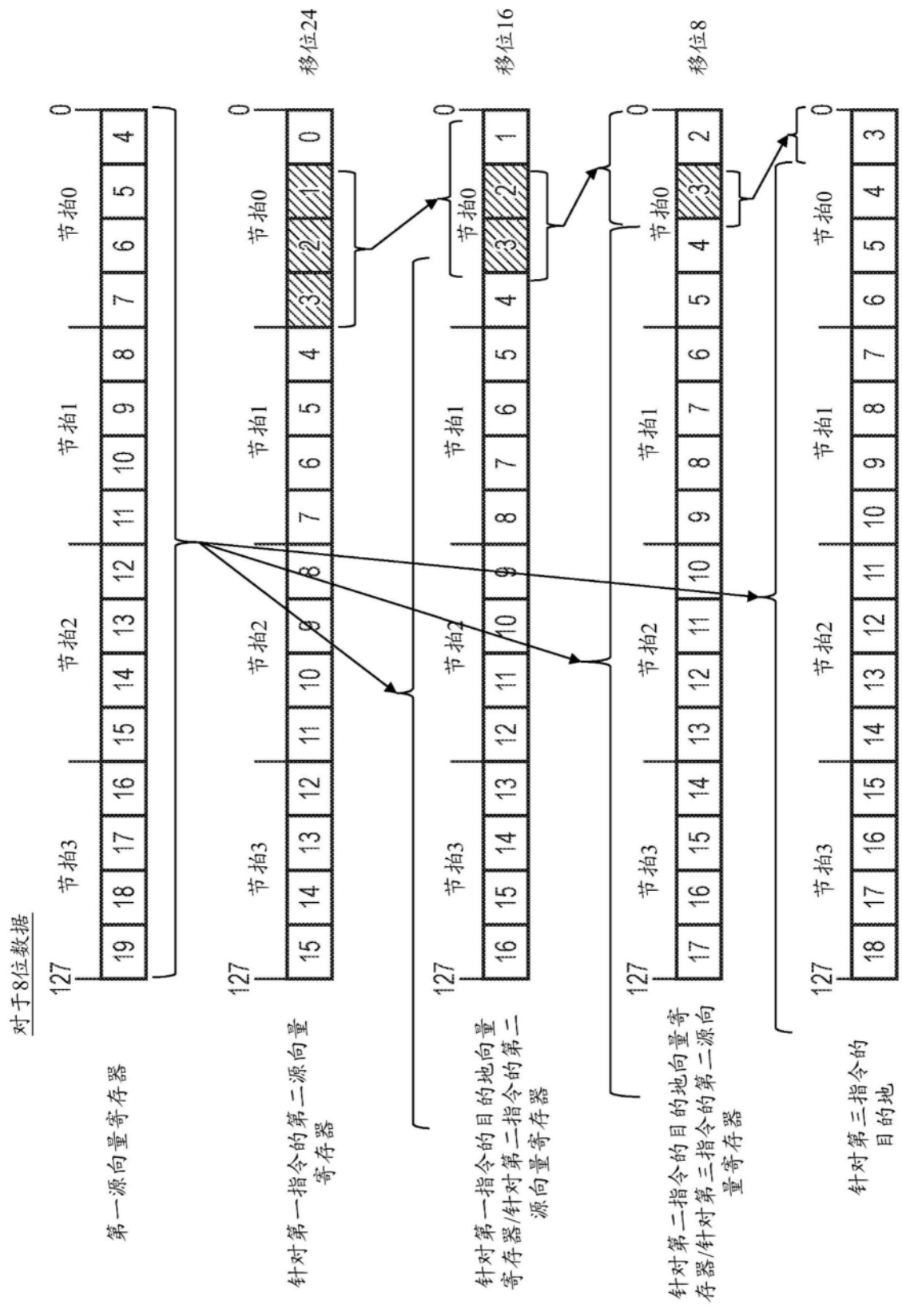

对于8位数据
第一源向量寄存器
针对第一指令的第二源向量寄存器
针对第一指令的目的地向量寄存器/针对第二指令的第二源向量寄存器
针对第二指令的目的地向量寄存器/针对第三指令的第二源向量寄存器
针对第三指令的目的地
移位24
移位16
移位8
节拍0
节拍1
节拍2
节拍3
127
0

图12

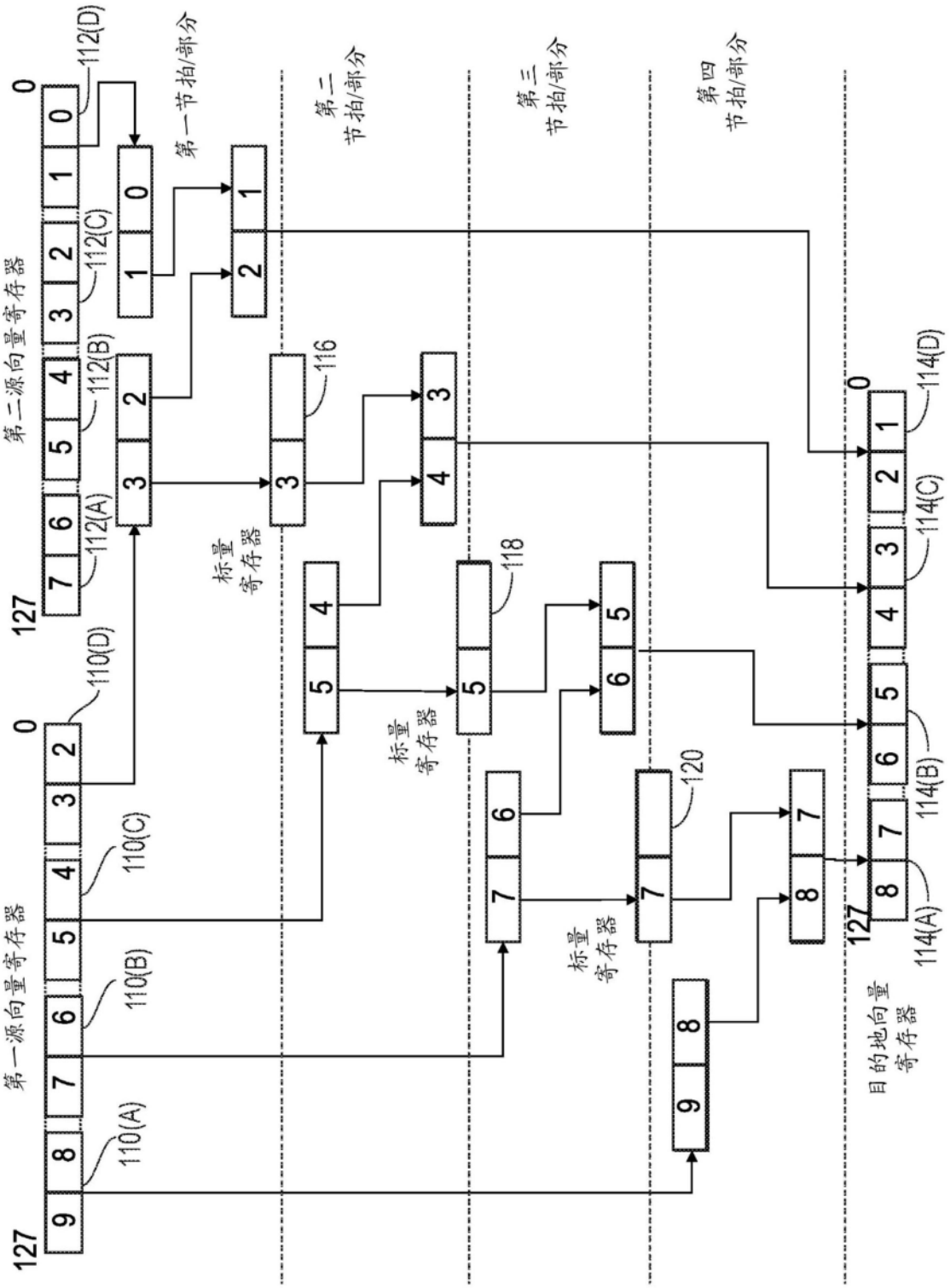

第一源向量寄存器
第二源向量寄存器
目的地向量寄存器
标量寄存器
标量寄存器
标量寄存器
第一节拍/部分
第二节拍/部分
第三节拍/部分
第四节拍/部分
110(A)
110(B)
110(C)
110(D)
112(A)
112(B)
112(C)
112(D)
114(A)
114(B)
114(C)
114(D)
116
118
120
0
127

图13

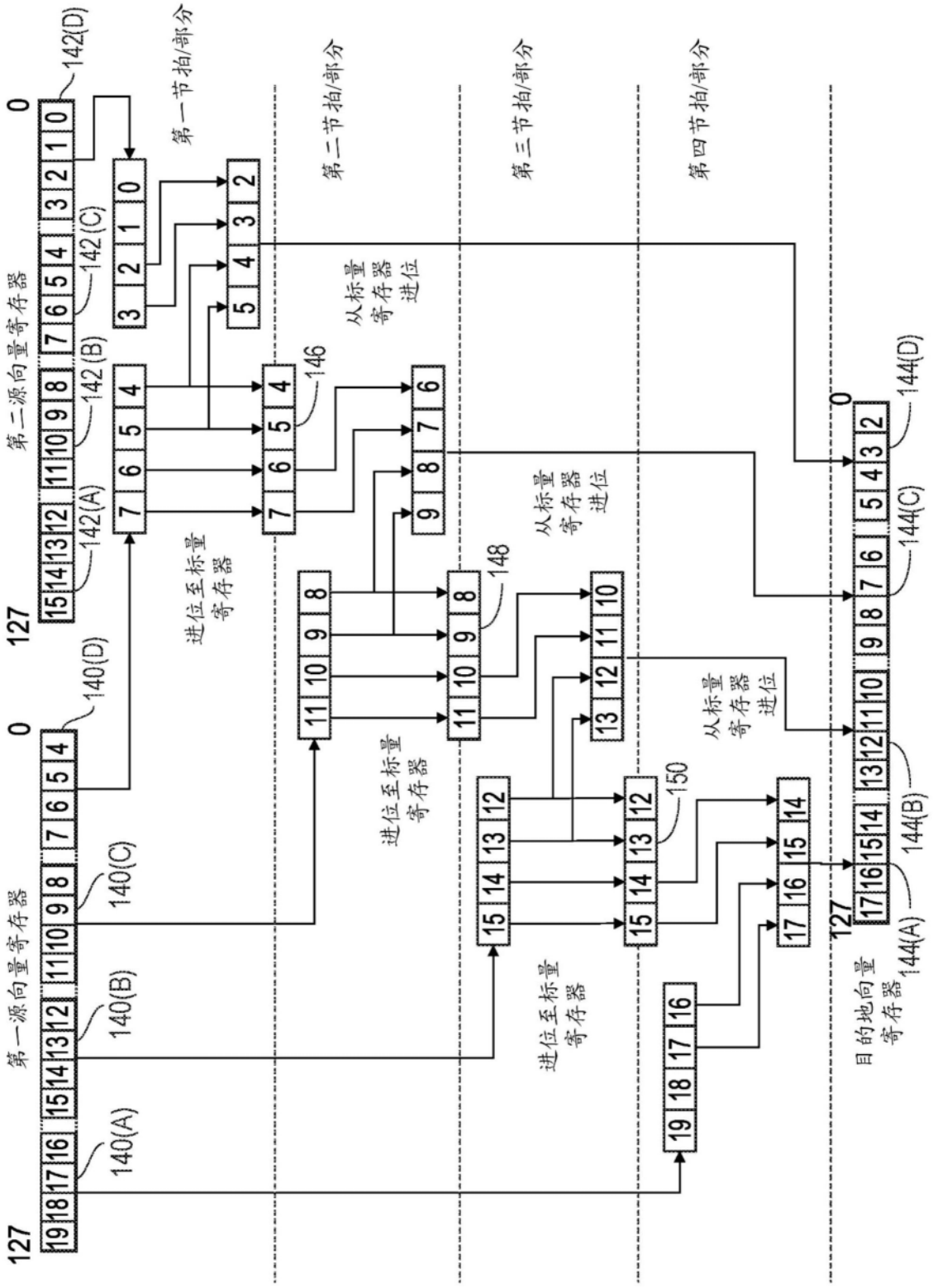

第一源向量寄存器
第二源向量寄存器
目的地向量寄存器
第一节拍/部分
第二节拍/部分
第三节拍/部分
第四节拍/部分
进位至标量寄存器
从标量寄存器进位
140(A)
140(B)
140(C)
140(D)
142(A)
142(B)
142(C)
142(D)
144(A)
144(B)
144(C)
144(D)
146
148
150
0
127

图14

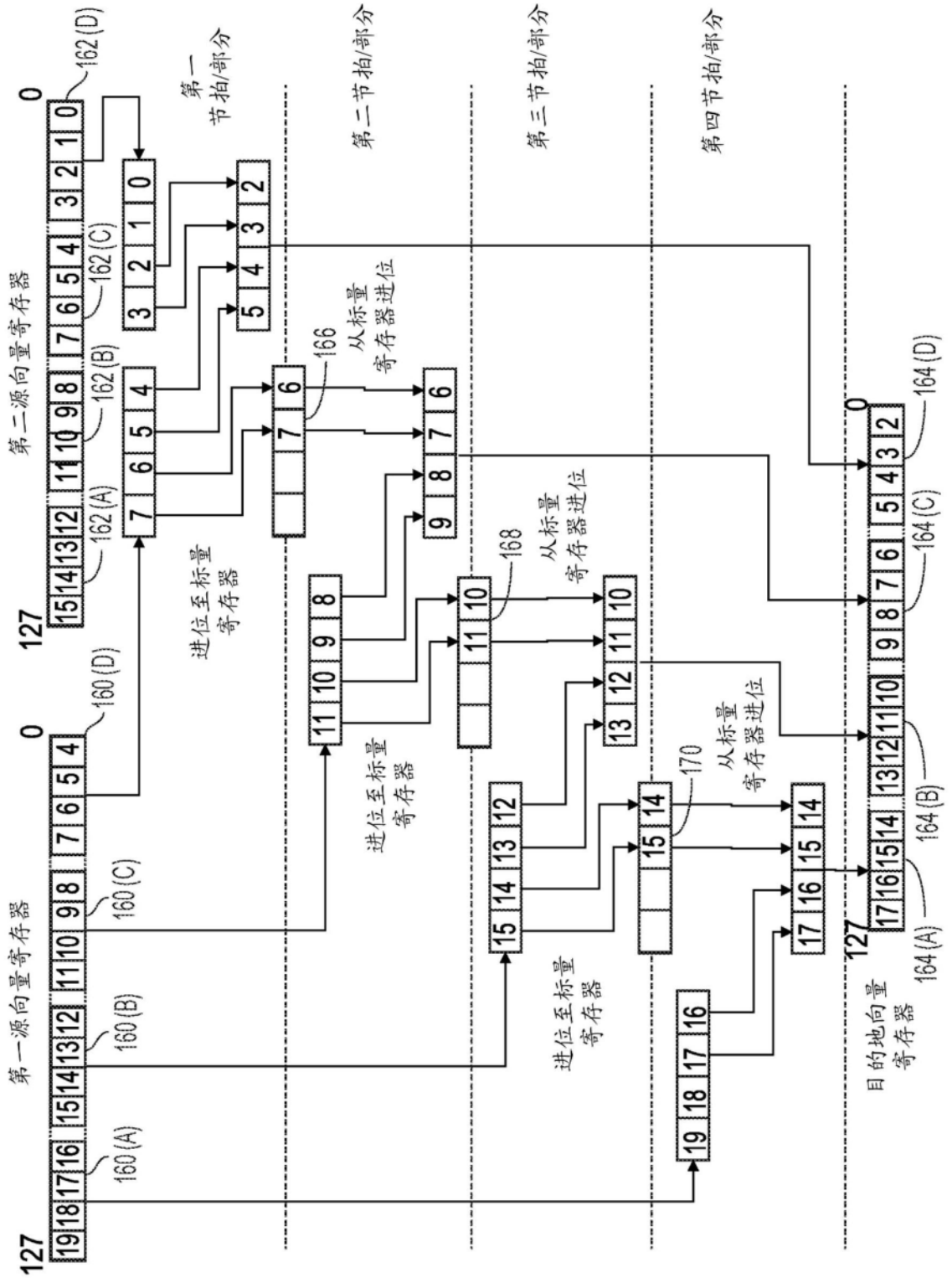

第一源向量寄存器
第二源向量寄存器
目的地向量寄存器
第一节拍/部分
第二节拍/部分
第三节拍/部分
第四节拍/部分
进位至标量寄存器
从标量寄存器进位
160 (A)
160 (B)
160 (C)
160 (D)
162 (A)
162 (B)
162 (C)
162 (D)
164 (A)
164 (B)
164 (C)
164 (D)
166
168
170
0
127

图15

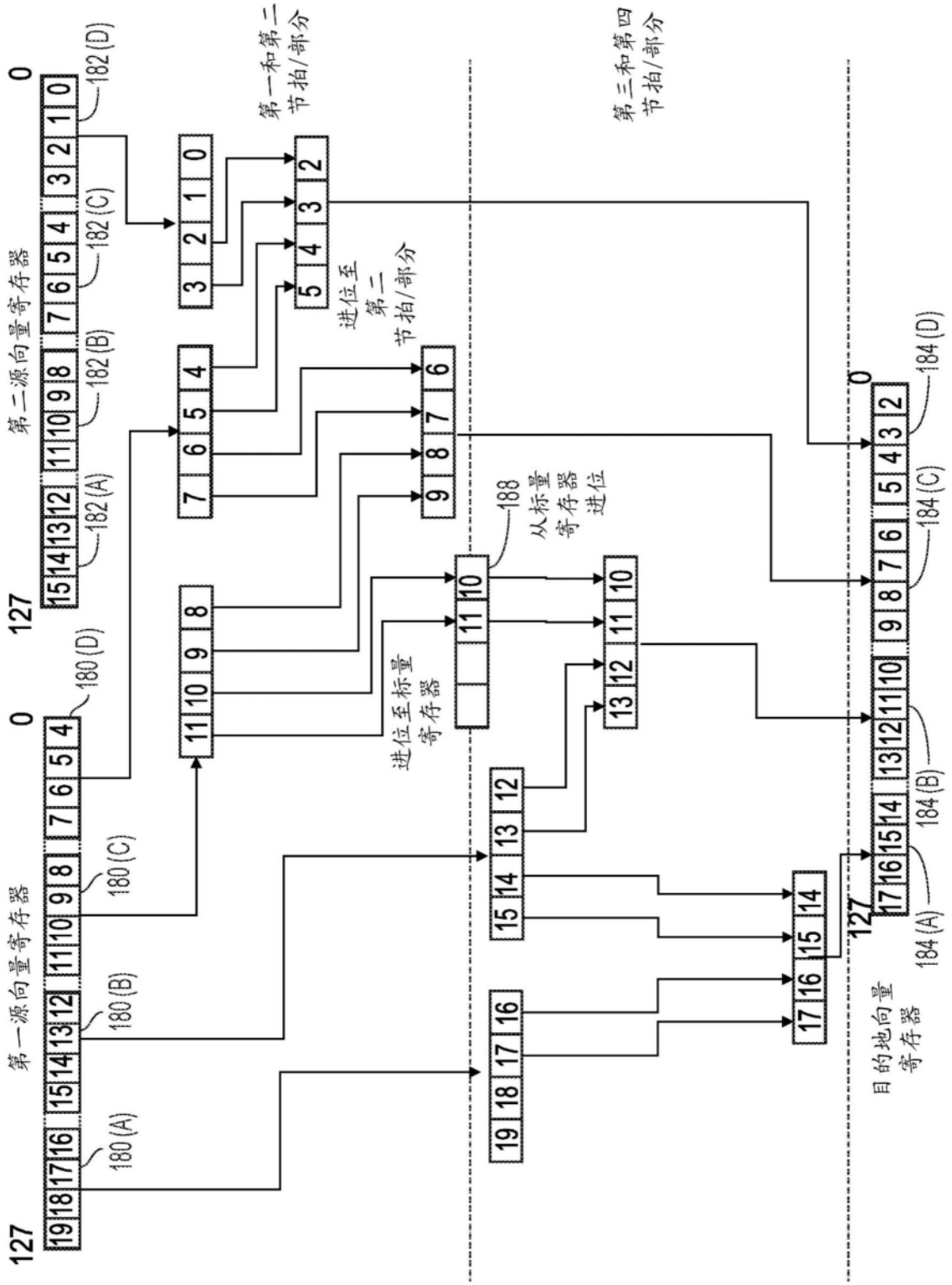

第一源向量寄存器
第二源向量寄存器
第一和第二节拍/部分
第三和第四节拍/部分
进位至第二节拍/部分
进位至标量寄存器
从标量寄存器进位
目的地向量寄存器
180 (A)
180 (B)
180 (C)
180 (D)
182 (A)
182 (B)
182 (C)
182 (D)
184 (A)
184 (B)
184 (C)
184 (D)
188
0
127

图16

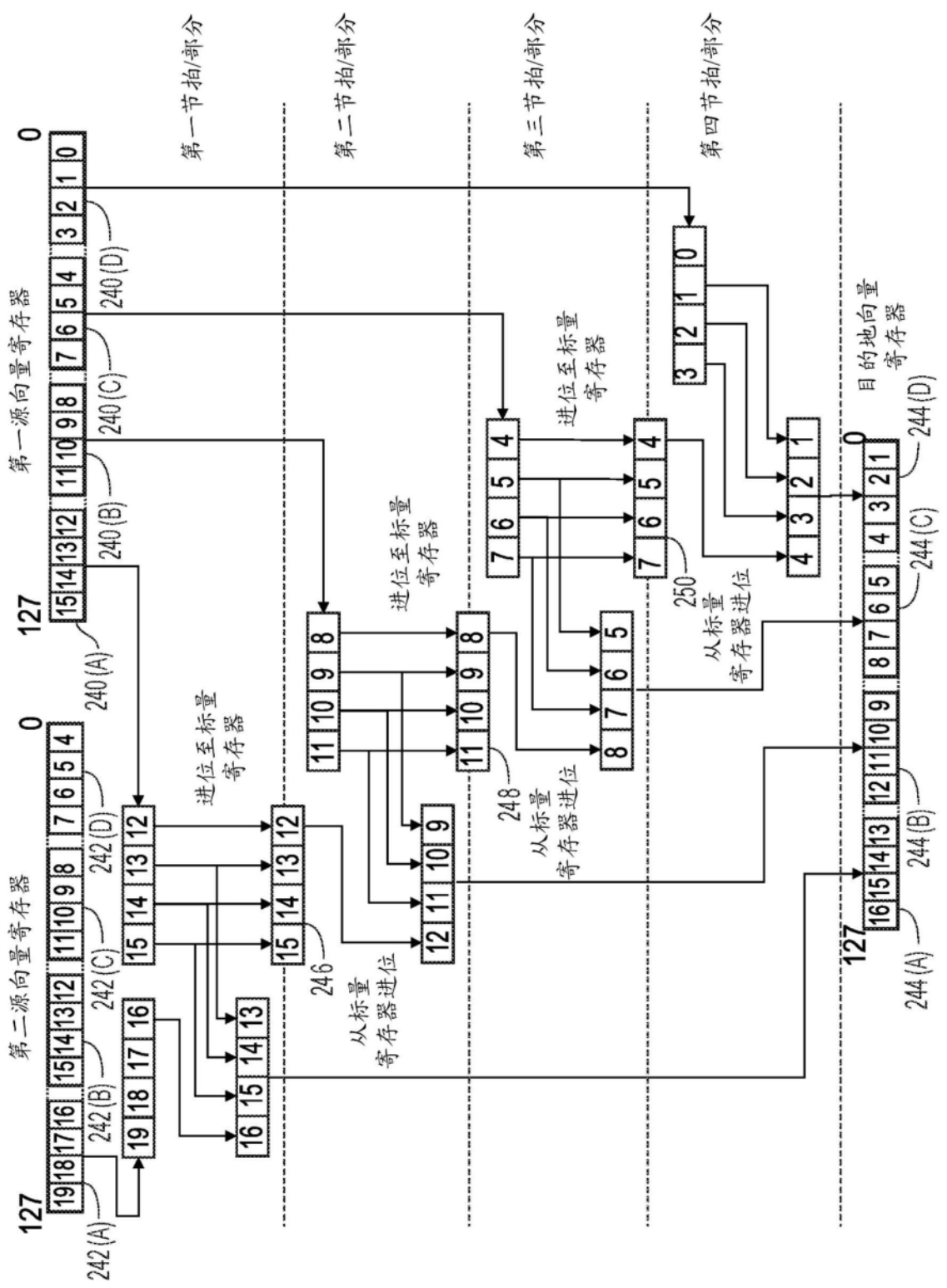

第一节拍/部分
第二节拍/部分
第三节拍/部分
第四节拍/部分
第一源向量寄存器
第二源向量寄存器
目的地向量寄存器
进位至标量寄存器
从标量寄存器进位
240(A)
240(B)
240(C)
240(D)
242(A)
242(B)
242(C)
242(D)
244(A)
244(B)
244(C)
244(D)
246
248
250
0
127

图17

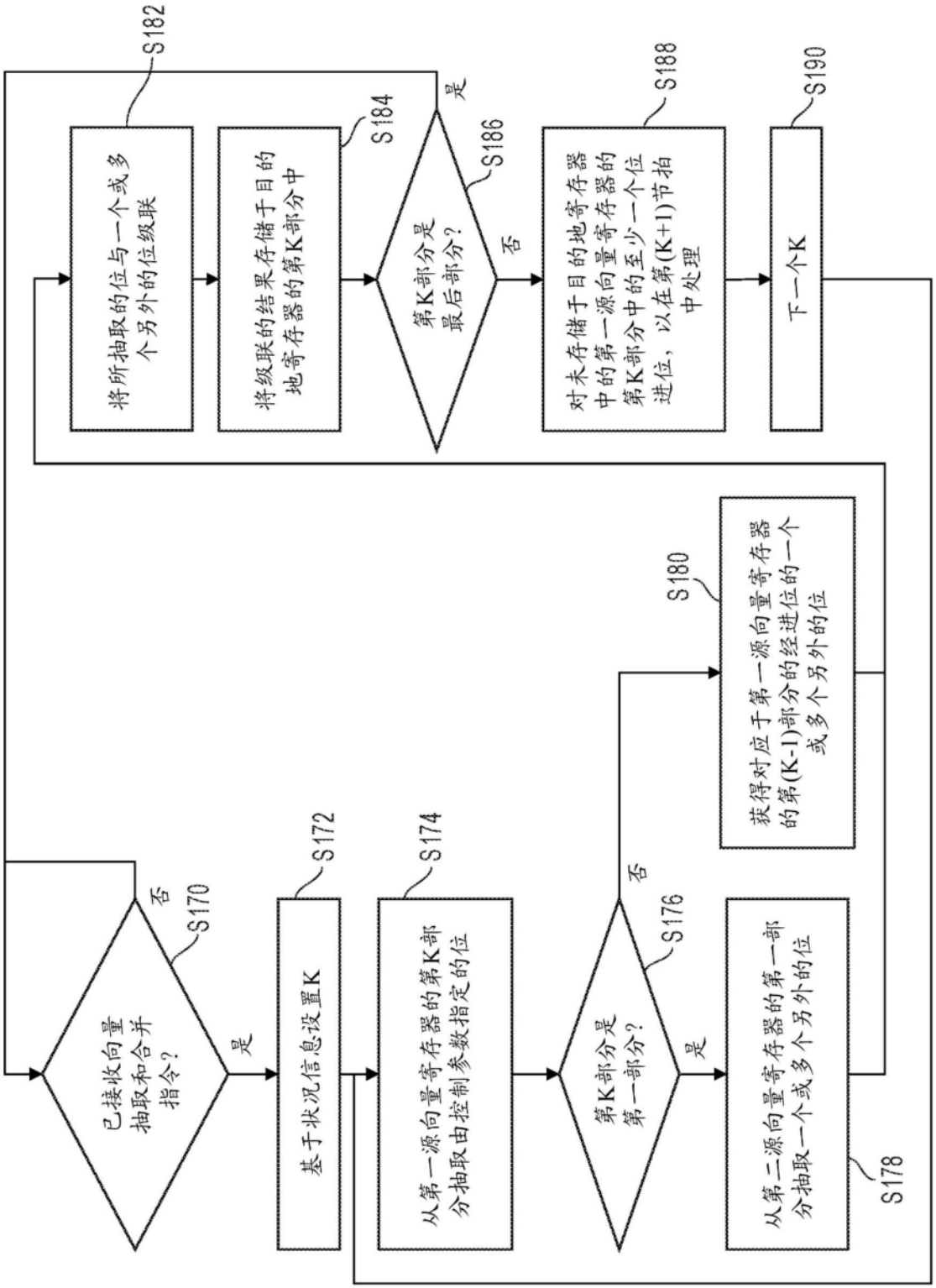

已接收向量抽取和合并指令?
S170
否
是
基于状况信息设置K
S172
从第一源向量寄存器的第K部分抽取由控制参数指定的位
S174
第K部分是第一部分?
S176
否
是
从第二源向量寄存器的第一部分抽取一个或多个另外的位
S178
获得对应于第一源向量寄存器的第(K-1)部分的经进位的一个或多个另外的位
S180
将所抽取的位与一个或多个另外的位级联
S182
将级联的结果存储于目的地寄存器的第K部分中
S184
第K部分是最后部分?
S186
是
否
对未存储于目的地寄存器中的第一源向量寄存器的第K部分中的至少一个位进位,以在第(K+1)节拍中处理
S188
下一个K
S190

图18

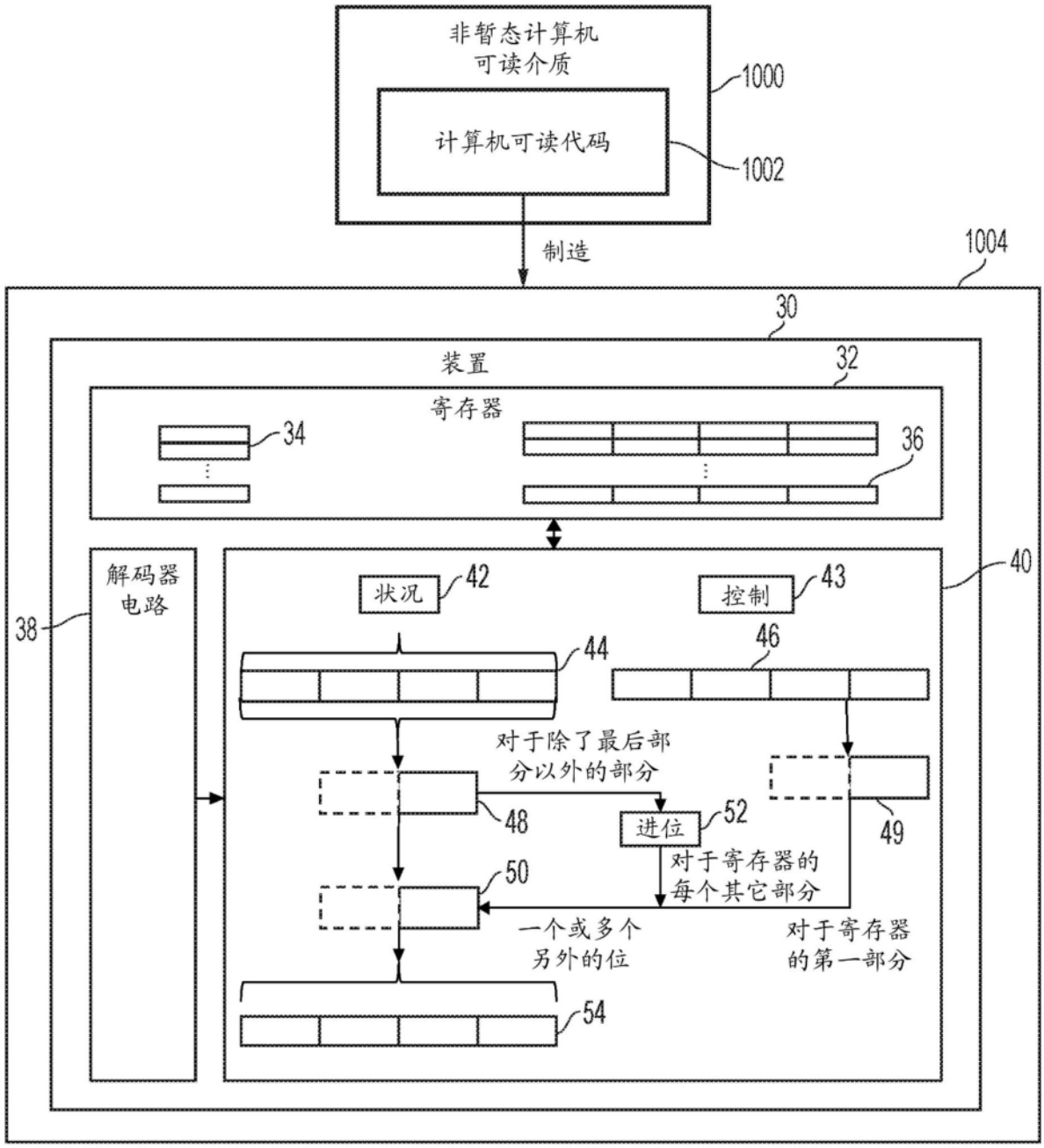

非暂态计算机
可读介质
1000
计算机可读代码
1002
制造
1004
30
装置
32
寄存器
34
36
解码器
电路
38
状况
42
控制
43
40
44
46
对于除了最后部
分以外的部分
48
进位
52
49
对于寄存器的
每个其它部分
50
一个或多个
另外的位
对于寄存器
的第一部分
54

图19

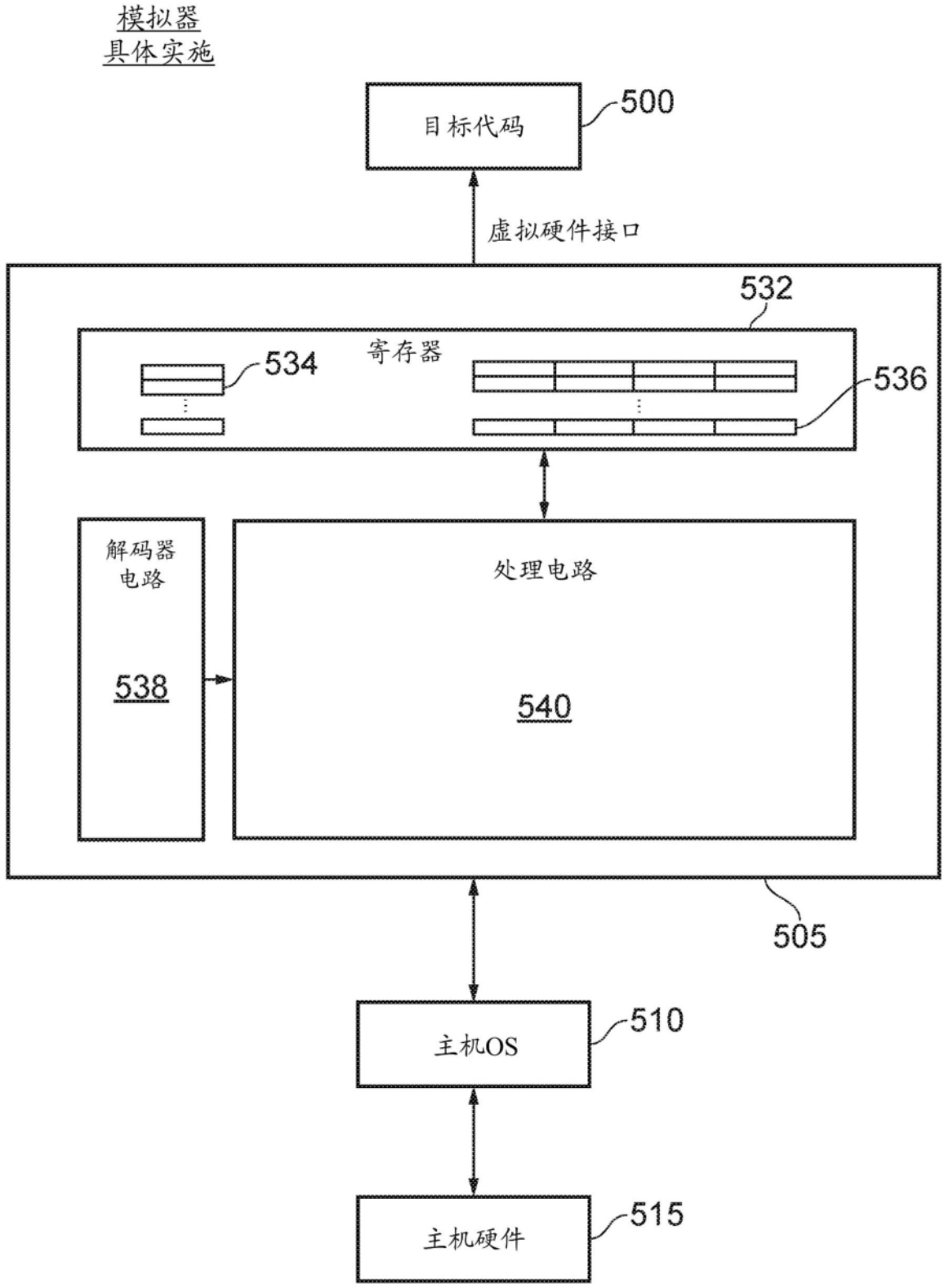

模拟器
具体实施
目标代码
500
虚拟硬件接口
532
寄存器
534
536
解码器
电路
538
处理电路
540
505
主机OS
510
主机硬件
515

图20