

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3636062号  
(P3636062)

(45) 発行日 平成17年4月6日(2005.4.6)

(24) 登録日 平成17年1月14日(2005.1.14)

(51) Int.Cl.<sup>7</sup>

F I

H O 4 N 7/30

H O 4 N 7/133

Z

H O 4 N 7/08

H O 4 N 7/08

Z

H O 4 N 7/081

請求項の数 13 (全 20 頁)

(21) 出願番号 特願2000-341976 (P2000-341976)  
 (22) 出願日 平成12年11月9日(2000.11.9)  
 (65) 公開番号 特開2002-152742 (P2002-152742A)  
 (43) 公開日 平成14年5月24日(2002.5.24)  
 審査請求日 平成13年10月22日(2001.10.22)

(73) 特許権者 000004237  
 日本電気株式会社  
 東京都港区芝五丁目7番1号  
 (74) 代理人 100097157  
 弁理士 桂木 雄二  
 (72) 発明者 古田 勇次  
 東京都港区芝五丁目7番1号 日本電気株  
 式会社内

審査官 清水 祐樹

最終頁に続く

(54) 【発明の名称】 ビデオデータを含むデータストリームの処理回路およびその制御方法

(57) 【特許請求の範囲】

【請求項1】

ビデオデータと非ビデオデータとを含むデータストリームを入力して処理する回路であって、

入力された前記データストリームを前記ビデオデータと前記非ビデオデータとに分割する分割手段と、

前記ビデオデータを順次格納する第1記憶手段と、

前記第1記憶手段に書き込まれた前記ビデオデータのデータ長と前記非ビデオデータとを前記データストリームが入力された順序で格納する第2記憶手段と、

前記第1記憶手段から読み出された前記ビデオデータに対して電子透かし挿入処理を行う画像処理手段と、 10

前記第2記憶手段から前記ビデオデータのデータ長および前記非ビデオデータを格納された順序に従って順次読み出し、前記ビデオデータのデータ長を読み出したときに前記画像処理手段により電子透かし挿入処理されたビデオデータを結合させることで、電子透かし挿入処理後のビデオデータと前記非ビデオデータとが元の順序で結合したデータストリームを出力するデータ結合手段と、

を有することを特徴とするビデオデータを含むデータストリームの処理回路。

【請求項2】

前記第1記憶手段に書き込まれる前記ビデオデータのデータ長をカウントし、前記第2記憶手段のデータ残量を参照してデータが残留していない時に、前記第1記憶手段に書き 20

込まれた前記ビデオデータのデータ長を前記第2記憶手段に格納するメモリ制御手段をさらに有することを特徴とする請求項1に記載の処理回路。

【請求項3】

前記データストリームはMPEG(Moving Picture Experts Group)データストリームであり、前記非ビデオデータは音声データであることを特徴とする請求項1または2に記載の処理回路。

【請求項4】

入力されたMPEGデータを処理してMPEGデータを出力するMPEGデータストリーム処理回路であって、

入力されたMPEGデータからビデオエレメンタリーデータと非ビデオエレメンタリーデータとを検出する検出手段と、

前記検出手段の検出結果に従って、前記ビデオエレメンタリーデータをビット単位に分割し格納するバレルシフトと、

前記検出手段の検出結果に従って、前記非ビデオエレメンタリーデータを第1格納形態で、前記ビデオエレメンタリーデータのデータ長を第2格納形態で、前記入力されたMPEGデータと同じ順序で格納するメモリと、

前記バレルシフトの出力に対して電子透かし挿入処理を行う画像処理手段と、

前記画像処理手段により電子透かし挿入処理されたビデオエレメンタリーデータを所定データ単位からなるデータとして出力するビットバッカー手段と、

前記メモリから前記第1格納形態および第2格納形態のデータを格納された順序に従って読み出し、前記第2格納形態のデータを読み出したときに前記ビットバッカー手段から電子透かし挿入処理されたビデオエレメンタリーデータを結合させることで、元の順序のMPEGデータを出力するデータ結合手段と、

前記検出手段の検出結果、前記画像処理手段の状態信号、および、前記データ結合手段の結合ステータス信号に基づいて、前記バレルシフトのデータ入出力、前記画像処理手段の電子透かし挿入処理動作、および、前記メモリのデータ入出力を制御する制御手段と、を有することを特徴とするMPEGデータストリーム処理回路。

【請求項5】

前記制御手段は、前記検出手段の検出結果からビデオデータストリームが1バイト以上出力されたことを知ると、前記メモリのデータ残量を参照し、前記メモリに格納データが無い場合には前記ビデオエレメンタリーデータのバイト数を前記第2格納形態で前記メモリに格納することを特徴とする請求項4に記載のMPEGデータストリーム処理回路。

【請求項6】

前記画像処理手段は、

前記バレルシフトの出力に対して可変長復号を行う可変長復号手段と、

前記可変長復号手段の出力に対して電子透かしを挿入する電子透かし挿入手段と、

前記電子透かし挿入手段の出力を可変長符号化して前記電子透かし挿入処理されたビデオエレメンタリーデータを出力する可変長符号化手段と、

を含むことを特徴とする請求項4または5に記載のMPEGデータストリーム処理回路。

【請求項7】

前記制御手段は先行出力長格納手段と端数長格納手段とを有し、

前記制御手段は、前記バレルシフト内に残ったビデオエレメンタリーデータの最後尾のビット列が前記可変長復号手段によって復号できない場合、当該最後尾ビット列を前記バレルシフトに保持したまま前記ビットバッカー手段へ先行出力し、前記バレルシフト内に格納されているデータのデータ長を前記先行出力長格納手段に格納し、

さらに、当該先行出力後に最初に新たなビデオエレメンタリーデータが前記バレルシフトに入力すると、前記新たなビデオエレメンタリーデータの先頭ビット列が前記バレルシフトに残留した前記最後尾ビット列と組み合わせて前記可変長復号手段によって復号できる場合には、前記最後尾ビット列を削除し、さらに前記可変長復号手段によって復号でき

10

20

30

40

50

るビット長から前記先行出力長格納手段のデータ長を減算した結果を端数長として前記端数長格納手段に格納し、前記先行出力長格納手段に格納したデータ長から当該削除ビット長を減算して更新し、続いて、前記端数長格納手段の端数長と同数のビット列を前記バレルシフタから前記ビットパッカー手段へ出力し、前記端数長格納手段の端数長をリセットする、

ことを特徴とする請求項 6 に記載の M P E G データストリーム処理回路。

【請求項 8】

ビデオデータと非ビデオデータとを含むデータストリームを入力して処理する回路の制御方法において、

入力された前記データストリームを前記ビデオデータと前記非ビデオデータとに分割するステップと、 10

前記ビデオデータを第 1 記憶部に順次格納するステップと、

前記第 1 記憶手段に書き込まれた前記ビデオデータのデータ長と前記非ビデオデータとを前記データストリームが入力された順序で第 2 記憶部に格納するステップと、

前記第 1 記憶手段から読み出された前記ビデオデータに対して電子透かし挿入処理を行うステップと、

前記第 2 記憶手段から前記ビデオデータのデータ長および前記非ビデオデータを格納された順序に従って順次読み出すステップと、

前記ビデオデータのデータ長を読み出したときに前記電子透かし挿入処理されたビデオデータを結合させ、電子透かし挿入処理後のビデオデータと前記非ビデオデータとが元の順序で結合したデータストリームを出力するステップと、 20

を有することを特徴とするデータストリーム処理回路の制御方法。

【請求項 9】

前記第 2 記憶部のデータ残量を参照し、格納データが無い場合は、前記第 1 記憶部に書き込まれた前記ビデオデータのデータ長を前記第 2 記憶部に書き込むステップをさらに有することを特徴とする請求項 8 に記載の制御方法。

【請求項 10】

前記データストリームは M P E G (Moving Picture Experts Group) データストリームであり、前記非ビデオデータは音声データであることを特徴とする請求項 8 または 9 に記載の制御方法。 30

【請求項 11】

請求項 7 に記載の M P E G データストリーム処理回路の制御方法であって、

入力された M P E G データからビデオエレメンタリーデータと非ビデオエレメンタリーデータとを検出するステップと、

前記検出結果に従って、前記ビデオエレメンタリーデータをビット単位に分割して前記バレルシフタに格納するステップと、

前記検出結果に従って、前記非ビデオエレメンタリーデータを第 1 格納形態で、前記ビデオエレメンタリーデータのデータ長を第 2 格納形態で、前記入力された M P E G データと同じ順序で前記メモリに格納するステップと、

前記バレルシフタの出力に対して電子透かし挿入処理を行うステップと、 40

前記メモリから前記第 1 格納形態および第 2 格納形態のデータを格納された順序に従って読み出すステップと、

前記第 2 格納形態のデータを読み出したときに前記電子透かし挿入処理されたビデオエレメンタリーデータを結合させることで、元の順序の M P E G データを出力するステップと、

前記メモリが Full 状態で、かつ、前記データ結合手段が入力待ち状態で、かつ、前記画像処理手段にデータがなく、かつ、前記バレルシフタにデータが残留しており当該データが復号できない場合に、前記バレルシフタ内残留データ数を前記先行出力長格納部に格納するとともに前記バレルシフタ内のデータを残留させたまま前記バレルシフタから出力するステップと、 50

を有するMPEGデータストリーム処理回路の制御方法。

【請求項12】

請求項7に記載のMPEGデータストリーム処理回路の制御方法であって、  
入力されたMPEGデータからビデオエレメンタリーデータと非ビデオエレメンタリーデータとを検出するステップと、

前記検出結果に従って、前記ビデオエレメンタリーデータをビット単位に分割して前記バレルシフタに格納するステップと、

前記検出結果に従って、前記非ビデオエレメンタリーデータを第1格納形態で、前記ビデオエレメンタリーデータのデータ長を第2格納形態で、前記入力されたMPEGデータと同じ順序で前記メモリに格納するステップと、

前記バレルシフタの出力に対して電子透かし挿入処理を行うステップと、

前記メモリから前記第1格納形態および第2格納形態のデータを格納された順序に従って読み出すステップと、

前記第2格納形態のデータを読み出したときに前記電子透かし挿入処理されたビデオエレメンタリーデータを結合させることで、元の順序のMPEGデータを出力するステップと、

MPEGデータストリームが一定時間入力されない事を検出した場合には、前記バレルシフタに残留しているデータがあればこの残留データを出力するステップ

を有するMPEGデータストリーム処理回路の制御方法。

【請求項13】

請求項7に記載のMPEGデータストリーム処理回路の制御方法であって、  
入力されたMPEGデータからビデオエレメンタリーデータと非ビデオエレメンタリーデータとを検出するステップと、

前記検出結果に従って、前記ビデオエレメンタリーデータをビット単位に分割して前記バレルシフタに格納するステップと、

前記検出結果に従って、前記非ビデオエレメンタリーデータを第1格納形態で、前記ビデオエレメンタリーデータのデータ長を第2格納形態で、前記入力されたMPEGデータと同じ順序で前記メモリに格納するステップと、

前記バレルシフタの出力に対して電子透かし挿入処理を行うステップと、

前記メモリから前記第1格納形態および第2格納形態のデータを格納された順序に従って読み出すステップと、

前記第2格納形態のデータを読み出したときに前記電子透かし挿入処理されたビデオエレメンタリーデータを結合させることで、元の順序のMPEGデータを出力するステップと、

MPEGデータストリームの1区切りのデータの入力完了通知が外部から入力された場合には、前記バレルシフタに残留しているデータがあればこの残留データを出力するステップと、

を有するMPEGデータストリーム処理回路の制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、MPEG(Moving Picture Experts Group)符号化された、TS(Transport Stream)やPS(Program Stream)のようなシステムストリームに対して、そのVideoデータなどに電子透かし(Watermark)を挿入する等のデータ処理をして、元のシステムストリームの形状に復元し出力するMPEGデータ処理回路とその制御方法に関する。

【0002】

【従来の技術】

動画ビデオ画像及び音声信号を、伝送或いは記憶のために圧縮するための標準として、MPEG(Moving Picture Experts Group)規格(MPEG1およびMPEG2規格)がある。圧縮されたMPEGデータストリームは、音声データおよびビデオデータの再構成に必

10

20

30

40

50

要な種々のパラメータを含む。MPEGデータストリームは、2つのデータストリームすなわち音声データストリームおよびビデオデータストリームに容易に分割することができる。

【0003】

MPEG技術に関連して、MPEG符号化されたTS(Transport Stream)やPS(Program Stream)のようなシステムストリームに対して、そのデータの一部を改竄するデータ処理をして、元のシステムストリームの形状に復元し出力する機能(処理)が求められる。

【0004】

良く知られた例では、データの著作権保護等の目的で用いられる電子透かし(Watermark)の挿入処理がある。電子透かしは、ビデオデータを元の画像との相違が極めて少ないように、目視では確認できない程度に意図的に変更し、何らかの情報を埋め込む技術である。以下では、ビデオデータに対する電子透かし挿入を例にとり、MPEGデータの一部を改竄するデータ処理について説明する。

【0005】

従来より、NTSCやPAL方式のビデオ信号状態の映像に電子透かしを刷り込みMPEG符号化(Encode)する手法或いは、MPEG符号化されたビデオエレメンタリーストリーム(Video Elementary Stream、以下VESとも記す)に対して、電子透かしを挿入処理して、その後MPEGシステムストリーム(TS/PS)化する技術が各種提案されてきた。

【0006】

しかし、ビデオ信号状態の映像に電子透かしを刷り込む方法では、MPEG符号化されたストリームに対して、一旦、ビデオ信号に復号して電子透かしを刷り込み、再びMPEGエンコードを行う必要があった。

【0007】

また、MPEG符号化されたVESに対して電子透かしを刷り込む方法では、全ストリームを一旦、ビデオデータ部と非ビデオデータ部に分離して、大容量記憶媒体(ハードディスク等)に格納し、VESに電子透かしを挿入し、それを大容量記憶媒体に格納しなおした後に大容量記憶媒体から、電子透かしを挿入したVESと先に格納した非ビデオデータ部を読み出し両者を結合する処理が行われてきた。

【0008】

VESに電子透かしを挿入する技術については、例えば特開平2000-244881号公報;「電子透かしデータ挿入システム」にはMPEGデータ中のESCAPEコードに続くDCT(離散コサイン変換; Discrete Cosine Transform)係数を検出した場合にこのDCT係数の位置および電子透かしデータ挿入に必要な情報を抽出しこれらを基に前記DCT係数を電子透かしデータが挿入されたDCT係数に変換して出力MPEGデータとする装置が開示されている。

【0009】

これらの手法では、2工程以上の作業が必要で、リアルタイム処理はできない。また、大容量の記憶装置が必要であることなどの問題点があった。

【0010】

特開平11-341450号公報;「電子透かし埋め込み装置および電子透かし抽出装置」には、TS(Transport Stream)をデコードすることなしに電子透かしを埋め込むことが可能な電子透かし埋め込み装置が抽出装置と併せて提案されている。この埋め込み装置では、TSに符号化されたMPEG2データから、予め定められた32ビットの開始または終了コードを検出し、この32ビットコードの位置を基準に計数して所定位置に電子透かしを埋め込んでいる。

【0011】

この特開平11-341450号公報に開示の技術においては、MPEG2標準による符号化画像情報のブロック層の1つのDCT係数中にPESHまたはTSHが存在するMPEGストリームに対応するために大量のメモリを所有する必要がある。MPEGの仕様では、1つのDCT係数を構成するビットがすべてそろわない限り、係数長を判断することができな

10

20

30

40

50

い事になり、引き続く係数のデコードも継続できない。従って、DCT係数を構成するビットをすべてそろえる必要がある。この1つのDCT係数内にPESHやTSHが存在した場合は、このヘッダを一次的に保管しておかない限りDCT係数の全ビットをそろえることができない事になる。従って、MP EGストリームに対応するために大量のメモリを備える必要が生じることになり、一般に回路規模は大になってしまう。

#### 【0012】

本発明は、MP EGデータ処理に際してビデオ信号への変換が不要で電子透かしの挿入と検出を同時にリアルタイムで行える装置等（例えば上記特開平11-341450号公報における装置）に適用可能な回路とその制御方法と併せて提案するものである。特に本発明では、非ビデオデータをごく小規模なメモリで構成されたFIFOバッファや、フリップフロップ回路(Flip-flop)で構成された小さなFIFOバッファを使用して実現可能にし大容量記憶媒体を必要としない規模の小さい構成を提案している。従って、本発明によれば電子透かしの挿入と検出を同時にリアルタイムで行える装置に適用可能な回路を1チップのLSIとして実現でき得る。

10

#### 【0013】

##### 【発明が解決しようとする課題】

すなわち、本発明の目的は、大容量記憶媒体を必要とすることなしに、ごく小規模なメモリで構成されたFIFOバッファ、或いはフリップフロップで構成された小さなFIFOバッファを使用してMP EGデータに対して電子透かしの挿入や検出等がリアルタイムで行える装置に適用する事が可能で、電子透かし挿入に用いた場合にも挿入量が、大容量記憶媒体を利用した場合と比べても遜色ない小規模なMP EGデータ処理回路を提供することにある。

20

#### 【0014】

なお、本発明回路は小規模なメモリを使用した構成であるにもかかわらず、電子透かし挿入に使用した場合には電子透かしの挿入量は、大容量記憶媒体を利用した場合と比べても、ほとんど遜色ない性能が得られる。本発明は、電子透かしの挿入に限らず電子透かしの検出にも応用できる他、MP EGデータストリームのデータ置換処理にひろく用い得る。

#### 【0015】

##### 【課題を解決するための手段】

課題解決のため、本発明によれば、ビデオデータと非ビデオデータとを含むデータストリームを入力して処理する回路は、入力された前記データストリームを前記ビデオデータと前記非ビデオデータとに分割する分割手段と、前記ビデオデータを順次格納する第1記憶手段と、前記第1記憶手段に書き込まれた前記ビデオデータのデータ長と前記非ビデオデータとを前記データストリームが入力された順序で格納する第2記憶手段と、前記第1記憶手段から読み出された前記ビデオデータに対して電子透かし挿入処理を行う画像処理手段と、前記第2記憶手段から前記ビデオデータのデータ長および前記非ビデオデータを格納された順序に従って順次読み出し、前記ビデオデータのデータ長を読み出したときに前記画像処理手段により電子透かし挿入処理されたビデオデータを結合させることで、電子透かし挿入処理後のビデオデータと前記非ビデオデータとが元の順序で結合したデータストリームを出力するデータ結合手段と、を有することを特徴とする。

30

40

#### 【0016】

また、本発明の一実施形態によれば、入力されたMP EGデータを処理してMP EGデータを出力するMP EGデータストリーム処理回路は、入力されたMP EGデータからビデオエレメンタリーデータと非ビデオエレメンタリーデータとを検出する検出手段と、前記検出手段の検出結果に従って、前記ビデオエレメンタリーデータをビット単位に分割し格納するバレルシフタと、前記検出手段の検出結果に従って、前記非ビデオエレメンタリーデータを第1格納形態で、前記ビデオエレメンタリーデータのデータ長を第2格納形態で、前記入力されたMP EGデータと同じ順序で格納するメモリと、前記バレルシフタの出力に対して電子透かし挿入処理を行う画像処理手段と、前記画像処理手段により電子透かし挿入処理されたビデオエレメンタリーデータを所定データ単位からなるデータとして

50

出力するビットパッカー手段と、前記メモリから前記第1格納形態および第2格納形態のデータを格納された順序に従って読み出し、前記第2格納形態のデータを読み出したときに前記ビットパッカー手段から電子透かし挿入処理されたビデオエレメンタリーデータを結合させることで、元の順序のMPEGデータを出力するデータ結合手段と、前記検出手段の検出結果、前記画像処理手段の状態信号、および、前記データ結合手段の結合ステータス信号に基づいて、前記パレルシフタのデータ入出力、前記画像処理手段の電子透かし挿入処理動作、および、前記メモリのデータ入出力を制御する制御手段と、を有することを特徴とする。

【0017】

上記構成において、前記制御手段が、ビデオデータストリームが1バイト以上出力された場合に前記メモリのデータ残量を参照し前記メモリに格納データが無い場合には前記ビデオエレメンタリーデータのバイト数を前記第2格納形態で前記メモリに格納するようにしても良い。また、前記画像処理手段が可変長デコード、電子透かし挿入部および可変長エンコードを有してもよい。さらに、前記可変長デコードの出力に電子透かし検出部が接続されていてよい。これにより、入力されたMPEGデータストリームの所定位置への電子透かし挿入および/または電子透かし検出を行うことができる。

【0018】

また、前記パレルシフタ内にも保持したままパレルシフタより先行出力されたパレルシフタ内残留データ数を格納するための先行出力長格納部と、先行出力後に最初にパレルシフタに入力されたデータに対応して出力されるデータ数から前記先行出力長格納部の格納値を引いた差を格納するための端数長格納部とを付加した構成を更に備える構成も採りうる。

【0019】

また、本発明方法によるMPEGデータ処理回路制御は、入力された前記データストリームを前記ビデオデータと前記非ビデオデータとに分割するステップと、前記ビデオデータを第1記憶部に順次格納するステップと、前記第1記憶手段に書き込まれた前記ビデオデータのデータ長と前記非ビデオデータとを前記データストリームが入力された順序で第2記憶部に格納するステップと、前記第1記憶手段から読み出された前記ビデオデータに対して電子透かし挿入処理を行うステップと、前記第2記憶手段から前記ビデオデータのデータ長および前記非ビデオデータを格納された順序に従って順次読み出すステップと、前記ビデオデータのデータ長を読み出したときに前記電子透かし挿入処理されたビデオデータを結合させ、電子透かし挿入処理後のビデオデータと前記非ビデオデータとが元の順序で結合したデータストリームを出力するステップと、を有することを特徴とする。

【0020】

上記制御において、前記第2記憶手段のデータ残量を参照し、格納データが無い場合は、電子透かし挿入処理すべきデータの入力を待たずに、前記第2記憶手段にデータを書き込むようにしても良い。

【0021】

また本発明方法では、前述した先行出力長格納手段および端数長格納手段をも備えたMPEGデータ処理回路において、所定データ処理のための各ステップに加えて、前記メモリがFull状態で、かつ、前記データ結合手段が入力待ち状態で、かつ、前記画像処理手段にデータがなく、かつ、前記パレルシフタにデータが残留しており当該データがデコードできない場合を検出した場合には、前記パレルシフタ内残留データ数を前記先行出力長格納手段に格納するとともにパレルシフタ内のデータを残留させたままパレルシフタから出力するように制御する。MPEGデータストリームが一定時間入力されない事を検出した場合には前記パレルシフタに残留しているデータがあればこの残留データを出力するように制御するステップを含むようにしたり、MPEGデータストリームの1区切りのデータの入力完了通知が外部から入力された場合には前記パレルシフタに残留しているデータがあればこの残留データを出力するように制御するステップを含む制御を行っても良い。

【0022】

10

20

30

40

50

**【発明の実施の形態】**

本発明によれば、MPEGデータ処理回路において、入力されるMPEGシステムストリームを一時的に、処理が必要なブロック（例えばビデオエレメンタリーデータ部）と、処理を行わないブロック（例えば非ビデオエレメンタリーデータ部）に分割して、第一記憶部（パレルシフタ）に処理すべきデータを順次格納し、第二記憶部（FIFOバッファ）には前記第1メモリに格納したデータ数あるいは処理を行わないデータを、ブロック種別に応じて所定の格納形態で順次格納し管理して、処理が必要なブロックのデータに必要とするデータ処理を行った後で最後に結合しMPEGシステムストリームとして出力する。

**【0023】**

本発明回路は、V-E S検出部と、非ビデオエレメンタリーデータ部を格納するメモリと、ビデオエレメンタリーデータ部をビット単位に分割し格納するパレルシフタと、パレルシフタに順に接続された可変長デコーダ、データ置換部、可変長エンコーダ、ビットパッカー部と、前記ビットパッカー部及び前記メモリの出力を結合して元の順序で出力するデータ結合部と、制御部及びメモリ制御部とにより構成できる。

**【0024】**

上記回路に、パレルシフタ内にも保持したままパレルシフタより先行出力されたパレルシフタ内残留データ数を格納するための先行出力長格納部と、先行出力後に最初にパレルシフタに入力されたデータに対応して出力されるデータ数から前記先行出力長格納部の格納値を引いた差を格納するための端数長格納部とを更に備えるようにすることもできる。

**【0025】**

なお、本発明においては、入力システムストリームデータのデータ数と、出力システムストリームデータのデータ数が一致するシステムを想定している。すなわち、例えば電子透かし挿入の過程でDCT係数の符号長が異なる等しても良いが、最終的にはMPEGストリーム全体のバイト数は一致するものとする。以下、実施例を挙げ図面を参照して本発明を説明する。

**【0026】**

〔実施例の構成〕図1は、本発明のMPEGデータ処理回路の一実施例である電子透かし挿入回路の概略構成を示すブロック図である。

**【0027】**

図1を参照すると、実施例回路は、V-E S (Video Elementary Stream) 検出部10、パレルシフタ20、可変長デコーダ(VLD; Variable Length Decoder) 30、そしてデータ置換部としての電子透かし挿入部40、更に電子透かし検出部40'、可変長エンコーダ(VLC; Variable Length enCoder) 50、ビットパッカー(Bit Packer)60、メモリ90、メモリ制御部80、データ結合部70、制御部100、先行出力長格納部103及び、端数長格納部104を具備している。

**【0028】**

すなわち、図示MPEGデータ処理回路は、入力されたMPEGデータを判定してシステムストリームデータ11とシステムストリームデータ11中のビデオエレメンタリーデータの出力状態を示すビデオストリームステータス信号12を出力するV-E S検出部10と、前記V-E S検出部10からの非ビデオエレメンタリーデータ部を格納する第二の記憶部としてのメモリ90と、前記V-E S検出部10からのシステムストリームデータ11をビット単位に分割しビデオエレメンタリーデータを格納する第一の記憶部としてのパレルシフタ20と、前記パレルシフタ20からの出力に接続されており分割されたデータをDCT係数にデコードする可変長デコーダ(VLD) 30と、この可変長デコーダ30の出力に接続されて電子透かし挿入を行うためのデータ置換部としての電子透かし挿入部40と、この電子透かし挿入部40の出力に接続されていてDCT係数を再びエンコードする可変長エンコーダ(VLC) 50および電子透かし検出器40'と、前記可変長エンコーダ50の出力に接続されておりビット列を8ビット単位にパッキングするビットパッカー60と、このビットパッカー60及び前記メモリ90からのそれぞれの出力を結合して元の順序のMPEGデータを復元して出力するデータ結合部70と、前記V-E S検出部10からの制御信号および前記可変長デコーダ30からの

10

20

30

40

50



信号並びに前記データ結合部70からの信号に基づいて前記バレルシフタ20と前記データ置換部40のデータ入出力を制御する制御部100 と、前記V - E S 検出部10からの制御信号12に基づき前記メモリ90のデータ入出力を制御するとともに前記制御部100 に制御信号を出力するメモリ制御部80と、制御情報を格納する先行出力長格納部103 及び、端数長格納部104 により構成されている。

【0029】

なお、図中で破線で示している電子透かし検出器40' は可変長デコーダ30からDCT係数を抽出するもので、電子透かし挿入機能のみ使用する場合には必要ない。

【0030】

実施例回路の構成各部の主要なものについて更に説明する。V - E S 検出部10は、例えば、特願2000-161356 号；「MPEGビデオエレメンタリーストリーム抽出装置及び、それに用いるエレメンタリーストリーム抽出方法」の明細書に記載の方法を用いて、PSやTSを自動的に判定し、システムストリームデータ11とシステムストリームデータ11中のVESの出力状態を示すVESステータス信号12を出力する。このV - E S 検出部10は、入力されたシステムストリームデータ1 を数段のFlip-Flop を用いて一定時間遅れて、システムストリームデータ11として出力する。この間に入力システムストリームデータ1 を解析して、前述のVESステータス信号12を生成する。

【0031】

バレルシフタ20（第一記憶部）は、例えば、64ビットのバレルシフタである。バレルシフタ20は、システムストリームデータ11中のビデオエレメンタリーデータのみをビット単位に分割し取込み格納し、制御部100 の管理下で可変長デコーダ30に出力する。

【0032】

可変長デコーダ（VLD）30の主な機能は、MPEGビデオデータストリームについて構文解析を行ない、すべてのパラメータおよびビデオデータを抽出し、後続する電子透かし挿入部40と電子透かし検出部40' に出力することである。また可変長エンコーダ50にも必要情報を提供する。

【0033】

メモリ90（第二記憶部）は、前記V - E S 検出部10からの非ビデオエレメンタリーデータ部のデータとビデオエレメンタリーデータ部に関する情報（非格納データ長）とをブロック種別に対応付けて入力された順に格納するもので、9Bit 幅の多段構成で、FIFO(Fast In Fast Out)バッファの様に動作し、メモリ内に書き込まれた順番で、データの読み出しが行われる。メモリ90のFIFOとしての段数は、本実施例では、4段～32段を想定しているが、多ければ多いほど電子透かし挿入数を増加させることができる。

【0034】

ここで、図2のメモリ格納フォーマットを表す説明図を用いて、メモリ90内のデータ格納方法を説明する。メモリ90の格納形態は、ブロック種別に応じて第一のメモリ格納形態200 と第二のメモリ格納形態201 の2種類に大別される。メモリ格納形態200 と、メモリ格納形態201 とは、Bit8により区別される。

【0035】

第一メモリ格納形態200 では、Bit8に“0”がセットされ、V - E S 検出部10からのVESステータス信号12が、VESでないことを示している時の入力データ1バイト分がBit7～Bit0に格納される。

【0036】

第二メモリ格納形態201 は、Bit8に“1”がセットされ、V - E S 検出部10からのVESステータス信号12が、VESであることを示す場合に、連続してバレルシフタ20に書き込まれたデータのバイト数がBit7～Bit0を使って格納される。

【0037】

〔実施例の動作の説明〕最初に、図1を用いて実施例回路の動作を説明する。なお、以下の説明では、実施例の入力システムストリームデータ1 や、システムストリームデータ11 や、出力システムストリームデータ71は8Bit 幅であるものとする。

10

20

30

40

50

## 【 0 0 3 8 】

V-ES検出部10は、前述したように特願2000-161356 号の記載で代表される回路であり、P SやT Sを自動的に判定し、システムストリームデータ11とシステムストリームデータ11中のV E Sの出力状態を示すV E Sステータス信号12を出力する。その際、入力システムストリームデータ1 を一定時間遅延させてシステムストリームデータ11として出力し、この間にシステムストリームデータ1 を解析してV E Sステータス信号12を生成する。

## 【 0 0 3 9 】

制御部100 は、V E Sステータス信号12が次にバレルシフタ20に入力されるデータがV E Sであることを示している場合には、バレルシフタ制御信号101 により、バレルシフタにデータの inputs を通知・指示する。

10

## 【 0 0 4 0 】

この通知に従って、例えば6 4ビットのバレルシフタ20は、8 ビット幅のシステムストリームデータ11を入力する。なお、バレルシフタ20内部にデータが詰まっていて、それ以上入力できない状態の場合は、適宜手段（図示省略）により、バレルシフタから、V - E S検出部10にその旨が通知され、データの inputs を一時的に停止するようになっている。

## 【 0 0 4 1 】

バレルシフタ20は、バレルシフタ制御信号101 の指示に従い蓄積したデータを1bit単位の任意の長さで可変長デコーダ30に出力する。これが可変長符号21（符号語）に相当する。

## 【 0 0 4 2 】

可変長デコーダ30では、入力された可変長符号21に基づきデコードを行い、対応するD C T係数31を出力する。このデコードは、ISO-13818/JT-H262 規格に記載のD C T係数表0及び1に従う。D C T係数31は、ラン(Run) とレベル(Level) を伝達する。

20

## 【 0 0 4 3 】

ここで、後で可変長エンコードを行うのに必要な情報は、可変長デコーダ30から図示されない適宜手段により可変長エンコーダ50に伝達されるものとする。これらの情報には、現在の符号がDC係数（直流成分）なのか、あるいはAC係数（交流成分）なのかを示したり、EOB(End of Block) を示したり、可変長エンコード時にD C T係数表の0を使うのかあるいは1を使用するのか等が含まれている。

## 【 0 0 4 4 】

なお、電子透かし挿入部40で改竄後のビット長を調整するために、図示されない信号により、可変長符号21のビット長が伝達される構成も考えられる。先の特開平11-341450 号公報の開示技術では、ビットの変化が起こった場合は、スライスの最後のデータ（一般的にはスタッフィングビット、同公報ではZ S Bと記載されている）で整合性を保っており、このような方法でも対応可能である。この例は、スライス単位でビット長をあわせているが、その他にも、ブロック単位や、マクロブロック単位等でD C T係数の符号長の変化を±0にできればよい。

30

## 【 0 0 4 5 】

電子透かし挿入部40では、現在入力されているデータが、どのようなデータであるかを示す電子透かし挿入制御信号102 が制御部100 から入力され、これに従い必要に応じて電子透かし挿入処理を行う。電子透かし挿入制御信号102 には、電子透かし挿入部40に入力される符号がどのスライスの何番目のマクロブロックであるかや、マクロブロック内のどのブロックに属しているかや、ブロック内のどの位置の符号か等の情報が含まれている。

40

## 【 0 0 4 6 】

可変長エンコーダ50では、可変長デコーダ30の逆の動作つまり電子透かし入りD C T係数41から、電子透かし入り可変長符号51を生成する。なお、このとき図示されない手段により、可変長符号長もビットパッカー60に伝達される。ビットパッカー60では、可変長符号51を8 Bit 単位でパックして、電子透かし入りV E S 61をデータ結合部70へと出力する。

## 【 0 0 4 7 】

ここで留意すべき点は、バレルシフタ20に入力されるデータは、V E Sであって、可変長デコーダ(VLD) によりD C T係数にデコードできるものばかりではなく、Sequence Heade

50

r 層や、Slice Header層などのデータも含まれているということである。

【 0 0 4 8 】

このことに対応するために、別途、DCT係数以外のデータをビットパッカー60に伝送する手段が存在するものとする（図1では、明示されていない）。具体的な方法としては、バレルシフタ20から、ビットパッカー60に専用のデータラインを設ける方法をとってもよい。或いは、可変長デコーダ30と、電子透かし挿入部40と、可変長エンコーダ50を改良して、その内部をDCT係数以外のデータがその属性情報とともに、流れるようにしてもよい。

【 0 0 4 9 】

続いてデータ結合部70の動作を説明する。データ結合部70は、必ず最初にメモリ90からデータを入力し、その情報に基づき動作する。すなわち、メモリ格納形態200のデータが入力された場合は、データ結合部70はBit7~0をシステムストリーム71として出力する。第一メモリ格納形態200のデータが入力される間は、この動作を繰り返す。

【 0 0 5 0 】

次に、第二メモリ格納形態201のデータが入力されると、データ結合部70はBit7~0の内容をデータ結合部70内部に保持する。そして、保持したデータのバイト数に相当する数のデータを電子透かし入りVES61から入力する。相当数の入力が完了すると再び、メモリ出力91からデータを入力し、メモリ格納形態に応じて（Bit8の値に従って）上述したいずれかの動作を同様に繰り返す。

【 0 0 5 1 】

次に、メモリ90と、メモリ制御部80の動作を説明する。V-E S検出部10からのVESステータス信号12が、現在データがVESでないことを示している場合は、メモリ制御部80で生成されるメモリ制御信号81にてメモリ90に指示がなされ、メモリ90のBit8には0を、Bit7~0については、システムストリームデータ11から1バイト分のデータを書き込む。すなわち、第一メモリ格納形態200での書き込みが行われる（但し、後述するように直前のデータがVESの場合には第二メモリ格納形態201での所定書き込みの後に実行される）。メモリ90はFIFO構成のため、逐次、メモリ出力データ91として、データ結合部70に伝達される。

【 0 0 5 2 】

一方、VESステータス信号12が、現データがVESであることを示している場合は、メモリ制御部80にてそのバイト数をメモリ制御部80内部のカウンタ（明示なし）でカウントする。そして、次にVESでないデータが入力された時点で、メモリ制御信号81にて、メモリ90に指示が出され、先ず、Bit8には1をそしてBit7~Bit0については上述のカウント値を書き込む（第二メモリ格納形態201）。ここでカウント値も、メモリ制御信号81にて伝達される。その後、入力されたVESでないデータを第一メモリ格納形態201で書き込む。なお、この過程で1クロック間データを入力できない期間が発生するため、メモリ制御部80は、図示されない信号によりV-E S検出部10に対して1クロック間のデータ出力停止を通知する。

【 0 0 5 3 】

なお、VESが連続して255Byte入力された場合は、第二メモリ格納形態201にて、一旦255Byte分のデータ入力があったことをメモリに書き込んだ後、カウンタをクリアする。その後、再びカウントを継続する。このようにして、256Byte以上のデータについては、複数回に分けて記録する。以上が、メモリ制御部80及び、メモリ90の基本動作である。

【 0 0 5 4 】

しかし、上述した制御のみでは、動作上、1点問題がある。基本動作では、第二メモリ格納形態201での書き込みは、「VESであることを示している場合は、メモリ制御部80でそのバイト数をカウントし、次に、VESでないデータが入力された時にメモリ90に書き込む」ため、データ結合部70でデータを結合する場合に不都合が発生する。

【 0 0 5 5 】

10

20

30

40

50

つまり、データ結合部70が電子透かし入りV E S 61を入力するのは、その前に、メモリ出力データ91から、第二メモリ格納形態201 のデータを入力した後となる。しかるに、メモリ90に第二メモリ格納形態201 が書き込まれるのは、次に、V E Sでないデータが入力された時であるから、V E Sが入力され続けるとデータの転送は中断してしまうことになる。

【 0 0 5 6 】

この不都合に対処するため、本発明では、V E Sであることを示している場合に、メモリ制御部80でそのバイト数をカウントして、カウント値が1 以上の場合には、メモリ90のデータ残量を参照するようにし、データ残量が0 の場合は、V E Sでないデータが入力されるのを待たずに、メモリ90に第二メモリ格納形態201 のデータを書き込むように制御している。

10

【 0 0 5 7 】

これにより、V E Sが入力され続けた場合でもデータ結合部70はメモリ90に書き込まれたメモリ格納形態201 のデータに対応してパレルシフタ70からのV E Sを出力しデータ転送の中断が発生しない。

【 0 0 5 8 】

実施例回路では、以上のような制御に加えて先行出力長格納部103 と、端数長格納部104を用いて端数データを先行して仮出力する制御を行う。先ず、こうした制御が必要となる場合について図3 の例を用いて解説する。

【 0 0 5 9 】

20

図3 は、M P E Gデータストリームの構成の一例を表す説明図で、図示例ではビデオデータ220 に引き続き、非ビデオデータ230 、ビデオデータ240 が入力された場合を示している。ビデオデータ220 とビデオデータ240 は、V E Sを示しているものとする。また、非ビデオデータ230 は、音声データ(Audio Data)であるかもしれないし、T Sのビデオパケット中のT Sヘッダや、Adaptation Fieldかもしれないし、P S時のパックヘッダ等である場合もある。なお、図3 の250 ~ 251 は、JT-H262 のD C T係数表1 から抜粋した対応関係(テーブル)である。

【 0 0 6 0 】

この例では、ビデオデータ220 の最後のデータが、テーブル211 で示される1100 1111bであったとする。また、ビデオデータ240 の先頭データが、テーブル241 で示される0010 0 110bであったとする。

30

【 0 0 6 1 】

以下、図1 を参照して、図3 のデータが入力された場合について処理過程を順を追って解説する。最初に、ビデオデータ220 が入力される。ビデオデータ220 は、V - E S検出部10により、V E Sと判定され、パレルシフタ20に入力される。

【 0 0 6 2 】

メモリ制御部80にてパレルシフタ20に入力されたバイト数が管理され、既述した如くに、逐次、メモリ90に書き込まれる。これらのデータは、データ結合部70にて結合されもとのストリーム形態に戻されシステムストリーム出力データ71として出力される。

【 0 0 6 3 】

40

ビデオデータ220 が順調に入力され最後の1 バイト221 が入力される。このとき、パレルシフタには1100 1111bなるデータが存在することになる。このとき、テーブル250 により1100b が、Run 0 / Level 2 とデコードされ、可変長デコーダ30に渡される。

【 0 0 6 4 】

引き続きデコードを試みるが、データ1111b についてはデコードできる符号がないため、同データが残留する。従って、ビットパッカー60には、データ1100b が残留し、データ結合部70には、データが1 バイト分は入力されないままである。

【 0 0 6 5 】

この状態で、V - E S検出部10には、先のビデオデータ220 に引き続き非ビデオデータ230 が入力される。対応してV - E S検出部10は、これらのデータをV E Sではないと判断

50

する。そのため、非ビデオデータ230 は第一メモリ格納形態200 に従って格納され、データ結合部70へと伝送される。しかし、データ結合部70では、先に入力されたビデオデータ220 の最後の1バイトを待ちつづけているため、システムが停止する。

【0066】

この場合には、メモリ90からはデータが読み出されず、メモリ90は非ビデオデータ230 でいっぱいになる。ここで、先行出力長格納部103 と、端数長格納部104 を用いた制御を行う。なお、同様な制御は「入力データが定常的に入力されない場合」に対応しても行われるがこれについては後で詳述する。

【0067】

実施例では、上記した条件でのシステム停止状態、つまり、メモリ90がFull状態で、かつ、データ結合部が電子透かし入りVES61の入力待ち状態で、かつ、可変長デコーダ30及び、電子透かし挿入部40及び、可変長エンコーダ50にデータがなく、かつ、パレルシフタ20にデータが残留していて、かつ、パレルシフタ内のデータがDCT係数にデコードできない場合を検出する。

【0068】

この検出に応じて、制御部100 では、パレルシフタ内残留データ数（この場合は4）を先行出力長格納部103 に格納して、パレルシフタ内にデータを残留したまま、データ1111bをパレルシフタ20から出力する。これによりビットパッカー60では8bit分のデータが蓄積され1Byteのデータとして、データ結合部70に引き渡され出力される。

【0069】

こうして、データ結合部70は、再びメモリ90からのデータを入力するようになり、非ビデオデータ230 は、システムストリーム出力データ71として出力される。

【0070】

引き続きビデオデータ240 が入力される。V-E S検出部10では、このデータがビデオエレメンタリーであると判断する。従って、パレルシフタ20にデータが入力される。ビデオデータ240 の先頭データ241 は、既述したように0010 0110bであるとする。

【0071】

最初の1バイトが入力されると、先の残量データとあわせて、1111 0010 0110bとなる。パレルシフタ内のデータ数は、(bit単位で)12である。

【0072】

上記1バイトが入力されたことに対応する状態として、本来は次の3通りのケースが考えられる。すなわち、(1) 先行出力長格納部103 の値 <テーブルから得られたDCT符号のビット長、(2) 先行出力長格納部103 の値 >テーブルから得られたDCT符号のビット長、そして、(3) 先行出力長格納部103 の値 =テーブルから得られたDCT符号のビット長となる各状態である。

【0073】

図3に示した例では、「(1) 先行出力長格納部103 の値 <テーブルから得られたDCT符号のビット長」の状態に相当する。前述具体例データである1111 0010 0110bに対応しては、テーブル251 からRun 1 / Level 3とデコードされ、そのデータ長は、8Bitである。

【0074】

このときには、次段回路(DCT係数を用いて何らかの演算を行う回路、例えば、電子透かし検出器)にRun 1 / Level 3 を供給する。

【0075】

このとき、同時に、先行出力長格納部103 に相当するデータ(1111b)を破棄する。つまり、パレルシフタ内のデータ数は、12から、先行出力長格納部103 の格納値; 4を差し引いた8となる。

【0076】

また、このとき同時に、テーブル251 から得られたデータ数; 8から、先行出力長格納部103 の保持値; 4を差し引いた、値; 4を端数長格納部104 に格納する。先行出力長格納

10

20

30

40

50

部103 の保持値は、4 から 4 を引き 0 となる。

【 0 0 7 7 】

続いて次のクロックで、端数長格納部104 を参照して格納値が 4 であることに対応して、同数のデータを図示されない手段で、ビットパッカー60に出力する（送る）。つまり、Run 1 / Level 3 の 1 符号については電子透かし挿入対象にはならないことを意味する。

【 0 0 7 8 】

これと同時に、端数長格納部104 の格納値；4 から出力データ長の 4 を引いた値を端数長格納部104 に格納する。格納値は、0 となる。また、4 bit のデータを出力したため、バレルシフタ内の残データは、0110b の 4 Bit となる。次に、テーブル252 より、0110b は、EOB であるとデコードされることで処理が継続されることとなる。

10

【 0 0 7 9 】

次に、「(2) 先行出力長格納部103 の値 >テーブルから得られた D C T 符号のビット長」であった場合について解説する。テーブルから得られた値が、4 未満であった場合（例えば、3 とする）、この条件時には、テーブルに基づきデコードされた D C T 係数を、次段回路に供給する。

【 0 0 8 0 】

このとき、バレルシフタ内のデータ数は、1 2 から、9 となり、3 Bit 分のデータを破棄する。また、先行出力長格納部103 の格納値を 4 から 3 を差し引いた 1 にする。この結果の状態は既に説明した(1) の条件に適合しており、その後の動作は、既述動作を経ることでデコードを継続できる。

20

【 0 0 8 1 】

最後に、「(3) 先行出力長格納部103 の値 =テーブルから得られた D C T 符号のビット長」であった場合について解説する。先の(1)の例では、先行出力長格納部103 の値は 4 であり、また、テーブル251 から得られた値が 8 であったので、 $4 < 8$  のため、上述したような処理となった。しかし、たまたまテーブルから得られた値が、4 であった場合には、 $4 = 4$  であるから、以下のような処理を行う。

【 0 0 8 2 】

テーブルからデコードされた D C T 係数を、次段回路に供給する。このとき、同時に、先行出力長格納部103 に相当するデータ(1111b) を破棄する。その結果、バレルシフタ内のデータ数は、1 2 から、先行出力長格納部103 の 4 を差し引いた 8 となる。

30

【 0 0 8 3 】

また、このとき同時に、テーブルから得られたデータ数；4 から、先行出力長格納部103 の格納値；4 を差し引いた値；0 を端数長格納部104 に格納する。先行出力長格納部103 の保持値は、4 から 4 を引き 0 となる。

【 0 0 8 4 】

このようにして上述の(3)の場合には、端数長格納部104 と先行出力長格納部103 は、値 0 となるため、その後のデコードを継続できるから、以後に特殊な処理は必要としない。

【 0 0 8 5 】

続いて、実施例回路における、入力データが定常的に入力されない場合への対応について説明する。本発明が適用される装置では、入力システムストリームデータ1 が、定常的に入力されるとはかぎらない。たとえば、T S では、188 バイトは連続して入力するが、続く188 バイトを入力する前に、一定時間の「非入力タイム」が存在することが多い。

40

【 0 0 8 6 】

このとき、本実施例の回路では、最初の188 バイトの最後のデータが D C T 係数の途中だった場合には、（D C T 係数の切れ目ではない場合など）バレルシフタ内にデータが残留する。仮にそのままこれを放置すると、最初の188 バイトを入力しても、その後、次の188 バイトの入力を開始しない限り、最初の188 バイトの全体が出力されることはない。実施例回路ではこのような不都合を回避して、入力したデータのすべてを確実に出力することができる。

【 0 0 8 7 】

50

このために、実施例回路においては、(A);適宜手段によって、データが一定時間入力されない事を検出し、これに基づきバレルシフト20から残留データを出力するようにしている。これに替えて、(B);1区切りのデータの入力完了を通知してもらい、この通知信号に基づいてバレルシフト20から残留データを出力するように構成することもできる。

#### 【0088】

上記の、(A) データが一定時間入力されない事を検出する手段(検出回路)は、図1の制御部100の1機能として実現することが可能である。すなわち、制御部100によって、V-E S検出部10からデータが出力されないクロック数をカウントし、設定数より大きくなったら、「1区切りのデータ」の入力が完了したものと判断するように構成すれば良い。勿論、別途検出回路(図には明示なし)を設けてデータが一定時間入力されない事を検出して通知信号を発生・通知する構成としても良い。

10

#### 【0089】

バレルシフト20の残量データを出力する制御方法は、段落番号【0056】～【0063】にて記載されているシステム停止状態に対処するための、段落番号【0065】から記載されている制御と同様で良い。

#### 【0090】

すなわち、略記すれば、この検出に応じて、制御部100では、バレルシフト内残留データを先行出力長格納部103に格納して、バレルシフト内にデータを残留したまま、当該データをバレルシフト20から出力させる。これによりデータ結合部70からデータが出力される。

20

#### 【0091】

入力システムストリームデータ1の入力が再開されると、残留データは破棄されて処理が継続される。このようにして連続した1区切りの入力システムストリームデータの出力が中断されたまま長時間経過してしまうとの不都合が回避できる。

#### 【0092】

前述した、(B);1区切りのデータの入力完了の通知に基づいて残留データを出力する構成について説明する。この場合には、1区切りのデータの入力完了を知るために、実施例回路において、図示されない手段、たとえばシステム上に存在するCPU等から、1区切りのデータの入力完了を知らせる信号(通知信号)を入力してもらうように構成しておく。そして、通知信号も条件として入力システムストリームデータ1が定常的に入力されずバレルシフト20内部にデータが残留した場合を検出し、この検出に対応して、制御回路100が前述したとまったく同様にバレルシフトの残留データを出力するように構成しておく。バレルシフト20の残量データを出力する制御は既述したのと同様で良い。この構成でも、連続した1区切りの入力システムストリームデータの出力が中断されたまま長時間経過してしまうとの不都合が回避できる。

30

#### 【0093】

以上説明したように、実施例によれば、MPEGシステムストリームを入力し、電子透かし挿入のためにDCT係数に改竄をおこない、再び、MPEGシステムストリームに復元するデータ処理が、大きなメモリを使用することなしに、リアルタイムに行える。

#### 【0094】

本発明は、上述実施例に限定されるものではなく各種の応用が可能である。例えば、既述実施例では、1つのビデオエレメンタリーを処理しているが、2つ以上のビデオエレメンタリーを同時に処理するシステムを構築することができる。一例として、3つのビデオエレメンタリーを内包するTS(Transport Stream)を処理する場合のMPEGデータ処理回路の実施例を図4の構成ブロック図に、また対応するメモリ格納フォーマットを図5に示す。

40

#### 【0095】

すなわち、図4の様に先の図1におけるバレルシフト20から、ビットパッカー60までの回路を三重化し、メモリ90の管理形態を図5の様に拡張すれば良い。データ結合部70'では、メモリ管理形態301メモリ管理形態302、メモリ管理形態303を入力したときに、各々

50

に対応する三重化されたビットパッカー60からデータを入力するようにする。その他の構成部分は先の実施例と略同様であり同一符号または対応符号を付して説明は省略する（例えば、パレルシフタ20-1,20-2,20-3は、図1のパレルシフタ20と同等であることを示す）。各部の動作についても当業者にとって類推容易であり説明を省略する。

【0096】

その他にも、先の実施例では、可変長デコーダ30からの出力である可変長符号31は、1つの符号であったが、さらに処理性能を向上させるために、複数の符号が同時にデコードされるように構成したシステムにおいても本発明が適用できる。

【0097】

また、先の実施例では、入力システムストリームデータ1や、システムストリームデータ11や、出力システムストリームデータ71を8Bit幅のものとして説明しているが、16ビットや32ビットなど、8の倍数ビットの幅であれば本発明を適用でき高速化が図れる。

【0098】

また、メモリ出力データ91についても、9Bit〔8Bit+属性1Bit〕の場合を説明しているが、8の倍数ビット+属性（1Bit）とした構成が可能である。

【0099】

また、先の実施例では、ビデオエレメンタリーデータをパレルシフタ20に入力しているが、音声データ側を入力し、音声データを改竄することも可能である。すなわち、V-E S検出部10を適宜に変更することで、音声データや、トランスポートストリーム(Transport Stream)時のPAT等の伝送情報を改善するシステムに応用することもできる。

【0100】

なお、以上の説明では、電子透かし挿入部40を用いた電子透かし挿入回路について記載しているが、本発明はシステムストリームに含まれるDCT係数に改竄を行いもとのシステムストリームに復元する回路であればよい。つまり、電子透かし挿入部40相当部分（データ置換部）は、例えば特願平11-353503号（「画像情報の画質低下制御装置」）に開示されているような回路であってもよい。

【0101】

一般に、DCT係数の改竄により個々の符号の符号長（ビット長）が変化することが考えられる。本発明は、入力システムストリームデータのデータ数と出力システムストリームデータのデータ数が一致するシステム、すなわち、複数の符号にまたがって最終的に（ストリーム全体で）ビット長の増減が0になるシステムを想定しているが、DCT係数の改竄の過程で1つのDCT係数の符号長が異なることは差し支えない。

【0102】

従って、先に従来技術として挙げた、特開平11-341450号公報；「電子透かし埋め込み装置および電子透かし抽出装置」に本発明を適用することができる。同公報の開示技術では、ビットの変化が起こった場合は、スタッフィングビット（同公報のZSB）で整合性を保っている。本発明は、その他この種の装置にてひろく応用可能である。

【0103】

【発明の効果】

以上説明したように本発明によれば、ごく小規模なメモリで構成されたFIFO、或いはFlip flopで構成された小さなFIFOを使用した、先に詳述した如き回路構成によって、大容量記憶媒体を必要とすることなしに、MP EGデータに対して電子透かしの挿入等のDCT係数改竄とデータ復元処理、あるいは電子透かし検出などのデータ処理をリアルタイムで行える装置に適用する事が可能な小規模なMP EGデータ処理回路を得ることができる。

【0104】

本発明回路は1チップのLSI化も可能な小規模回路でありながら、電子透かし挿入に用いた場合にもその挿入量は、大容量記憶媒体を利用したものとは比べても遜色ない。

【図面の簡単な説明】

【図1】本発明の実施例回路の構成を示すブロック図である。

【図2】本発明に係るメモリにおけるデータ格納フォーマットの説明図である。



【図 3】MPEG データストリームの構成例を表す図である。

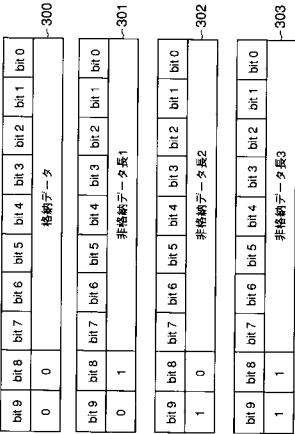
【図 4】本発明の他の実施例回路の構成を示すブロック図である。

【図 5】図 4 の実施例におけるメモリのデータ格納フォーマットの説明図である。

【符号の説明】

1 ... 入力システムストリームデータ	
10... ビデオエレメンタリー (V - E S) 検出部	
11... システムストリームデータ	
12... V E S ステータス信号	
20... パレルシフタ (第一記憶部)	
21... 可変長 (VL; Variable Length) 符号	10
30... 可変長デコーダ (VLD; Variable Length Decoder)	
3 1 ... D C T 係数	
32... 処理符号長	
40... 電子透かし挿入部	
40' ... 電子透かし抽出部	
41... 電子透かし入り D C T 係数	
50... 可変長エンコーダ (VLC; Variable Length enCoder)	
5 1 ... 電子透かし入り可変長 (VL) 符号	
60... ビットパッカー (Bit Packer)	
6 1 ... 電子透かし入り V E S	20
70... データ結合部	
71... 出力システムストリームデータ	
72... 結合ステータス信号	
80... メモリ制御部	
81... メモリ制御信号	
82... メモリデータ残量ステータス信号	
90... メモリ (第二記憶部)	
91... メモリ出力データ	
100 ... 制御部	
101 ... パレルシフタ制御信号	30
102 ... 電子透かし挿入制御信号	
104 ... 先行出力長格納部	
105 ... 端数長格納部	
200 ... 第一メモリ格納形態	
201 ... 第二メモリ格納形態	





---

フロントページの続き

- (56)参考文献 特開平08-289297(JP,A)  
特開2000-244881(JP,A)  
国際公開第00/013414(WO,A1)  
特開平11-252565(JP,A)  
国際公開第99/060792(WO,A1)  
特開平10-013467(JP,A)  
特開平10-313402(JP,A)

(58)調査した分野(Int.Cl.<sup>7</sup>,DB名)

H04N 7/00 - 7/088

H04N 7/12

H04N 7/24 - 7/68