(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 109727862 B
(45)授权公告日 2020.06.16

(21)申请号 201811631049.1

(22)申请日 2018.12.30

(65)同一申请的已公布的文献号
申请公布号 CN 109727862 A

(43)申请公布日 2019.05.07

(73)专利权人 苏州汉骅半导体有限公司
地址 215000 江苏省苏州市工业园区金鸡湖大道99号苏州纳米城西北区11幢303室

(72)发明人 范谦 倪贤锋 何伟

(51)Int.Cl.
H01L 21/335(2006.01)
H01L 29/778(2006.01)
H01L 29/423(2006.01)

审查员 倪敬涵

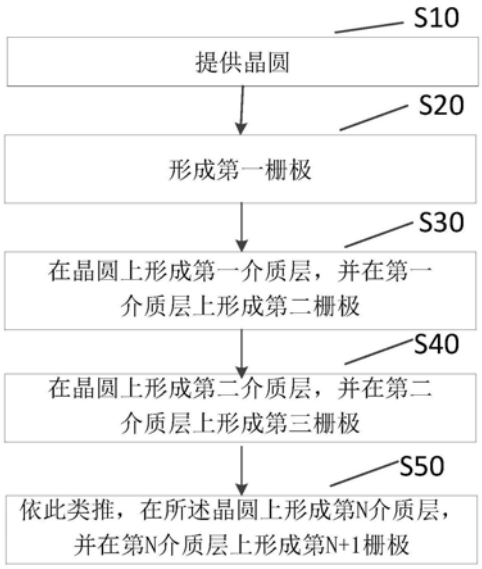
权利要求书1页 说明书5页 附图3页

(54)发明名称

半导体器件及其制造方法

(57)摘要

本申请提出一种半导体器件制造方法，包括：提供晶圆，所述晶圆包括N个半导体结构，所述半导体结构包括半导体层和位于所述半导体层上的源极和漏极；在第一半导体结构上的源极和漏极之间形成第一栅极；在晶圆上形成第一介质层，并在第二半导体结构的源极和漏极之间的第一介质层上形成第二栅极；在晶圆上形成第二介质层，并在第三半导体结构的源极和漏极之间的第二介质层上形成第三栅极；依此类推，在所述晶圆上形成第N介质层，并在第N+1半导体结构的源极和漏极之间的第N介质层上形成第N+1栅极，其中，所述N为大于1的正整数。本申请所提出的半导体器件及其制造方法，通过在器件中形成不同厚度的介质层从而提高其线性度。



CN 109727862 B

1.一种半导体器件制造方法,其特征在于,包括:

提供晶圆,所述晶圆包括N+1个半导体结构,所述半导体结构包括半导体层和位于所述半导体层上的源极和漏极;

在第一半导体结构上的源极和漏极之间形成第一栅极;

在晶圆上形成第一介质层,并在第二半导体结构的源极和漏极之间的第一介质层上形成第二栅极;

在晶圆上形成第二介质层,并在第三半导体结构的源极和漏极之间的第二介质层上形成第三栅极;

依此类推,在所述晶圆上形成第N介质层,并在第N+1半导体结构的源极和漏极之间的第N介质层上形成第N+1栅极,其中,所述N为大于1的正整数。

2.根据权利要求1所述的半导体器件制造方法,其特征在于,所述第N介质层的厚度为1nm-10nm。

3.根据权利要求1所述的半导体器件制造方法,其特征在于,所述每个介质层的厚度可以相等或者不同。

4.根据权利要求1所述的半导体器件制造方法,其特征在于,所述半导体层包括衬底、位于所示衬底上的缓冲层以及位于所述缓冲层上的势垒层。

5.根据权利要求4所述的半导体器件制造方法,其特征在于,所述缓冲层材料为GaN、InN、AlN、AlGaN或InGaN。

6.根据权利要求4所述的半导体器件制造方法,其特征在于,所述势垒层材料为三元或者四元氮化物化合物半导体合金。

7.根据权利要求1所述的半导体器件制造方法,其特征在于,所述的N+1个半导体结构的源极,栅极和漏极分别连接在一起,构成复合场效应管。

半导体器件及其制造方法

技术领域

[0001] 本发明涉及半导体制造技术领域，特别是涉及半导体器件及其制造方法。

背景技术

[0002] 以氮化镓(GaN)为代表的第三代半导体材料具有宽禁带，高电子迁移率，高击穿电压等优异特性，因此基于氮化镓材料的高电子迁移率场效应管(HEMT)被广泛运用于雷达，微波通信以及高压功率器件领域。随着现代无线通信的迅猛发展，各种非恒包络调制方式与多载波技术获得了广泛应用，这些信号具有宽带宽和高峰均比(PAR)等特点，因此针对此类信号的射频功放电路里，场效应管的线性度成为了一个非常重要的指标。如果管子的线性度差，那么会导致频谱扩展到信号带宽以外，干扰相邻通道，降低邻道泄漏比(ACLR)性能。即使在信号带宽内，功率放大管的线性度波动也会导致失真增加，从而降低接收机的误差矢量幅度(EVM)性能，使误码率(BER)增大。氮化镓基的HEMT器件由于多用于大功率，高频率，大带宽的应用场合，因此其线性度对整个射频前端的性能至关重要。当输入信号的动态范围扩大时，氮化镓HEMT器件的静态工作点受到影响，从而使得器件的幅度和相位传输特性发生变化，对输出信号产生畸变失真，即产生线性度问题。如何提高HEMT器件的线性度性能，一直是氮化镓射频器件的技术难点。多数应用从系统的角度出发，采用功率回退、负反馈、前馈、数字预失真(DPD)等方法来配合管子的非线性度，但是要从根本上解决问题，仍需从器件的角度出发，改善管子本身的线性度性能。

发明内容

[0003] 本申请提出一种半导体器件制造方法，包括：

[0004] 提供晶圆，所述晶圆包括N+1个半导体结构，每个所述半导体结构包括半导体层和位于所述半导体层上的源极和漏极；

[0005] 在第一半导体结构上的源极和漏极之间形成第一栅极；

[0006] 在晶圆上形成第一介质层，并在第二半导体结构的源极和漏极之间的第一介质层上形成第二栅极；

[0007] 在晶圆上形成第二介质层，并在第三半导体结构的源极和漏极之间的第二介质层上形成第三栅极；

[0008] 依此类推，在所述晶圆上形成第N介质层，并在第N+1半导体结构的源极和漏极之间的第N介质层上形成第N+1栅极，其中，所述N为大于1的正整数。

[0009] 在一个实施例中，所述第N介质层的厚度为1nm-10nm。

[0010] 在一个实施例中，所述每个介质层的厚度相等。

[0011] 在一个实施例中，所述半导体层包括衬底、位于所示衬底上的缓冲层以及位于所述缓冲层上的势垒层。

[0012] 在一个实施例中，所述缓冲层材料为GaN、InN、AlN、AlGaN或InGaN。

[0013] 在一个实施例中，所述势垒层材料为三元或者四元氮化物化合物半导体合金。

[0014] 相应的，本申请还提出一种半导体器件，包括：

[0015] 晶圆和依次层叠在所述晶圆上的N个介质层，所述晶圆包括N+1个半导体结构，所述半导体结构包括半导体层和位于所述半导体层上的源极和漏极；

[0016] 以及位于所述第一半导体结构上的源极和漏极之间的第一栅极；

[0017] 位于所述第一介质层上且位于第二半导体结构上的源极和漏极之间的第二栅极；

[0018] 位于所述第二介质层上且位于第三半导体结构上的源极和漏极之间的第三栅极

[0019] 依此类推，位于所述第N个介质层上且位于第N+1个半导体结构上的源极和漏极之间的第N+1栅极，其中，所述N为大于1的正整数。

[0020] 本申请所提出的半导体器件及其制造方法，通过在器件中形成不同厚度的介质层从而提高其线性度。

附图说明

[0021] 图1是一个实施例提出的半导体器件制造方法流程图；

[0022] 图2-图6为表示制造一个实施例的半导体器件的示意图.

[0023] 图7为三种场效应管对应的跨导曲线以及组合而成的半导体器件的跨导曲线。

具体实施方式

[0024] 以下结合附图和具体实施例对本发明提出的半导体器件及其制造方法作进一步详细说明。根据下面说明和权利要求书，本发明的优点和特征将更清楚。需说明的是，附图均采用非常简化的形式且均使用非精准的比例，仅用以方便、明晰地辅助说明本发明实施例的目的。

[0025] 本发明中，在“形成在另一层上的层”中，可以意味着在另一层上方形成层，但不一定层与另一层直接物理或电接触(例如，可以存在一个或多个其他层在两层之间)。然而，在一些实施例中，“在.....上形成”可以表示层与另一层的顶面的至少一部分直接物理接触。

[0026] 本申请提出一种半导体器件制造方法，如图1所示，包括：

[0027] S10：提供晶圆，所述晶圆包括N+1个半导体结构，所述半导体结构包括半导体层和位于所述半导体层上的源极和漏极；

[0028] S20：在第一半导体结构上的源极和漏极之间形成第一栅极；

[0029] S30：在晶圆上形成第一介质层，并在第二半导体结构的源极和漏极之间的第一介质层上形成第二栅极；

[0030] S40：在晶圆上形成第二介质层，并在第三半导体结构的源极和漏极之间的第二介质层上形成第三栅极；

[0031] S50：依此类推，在所述晶圆上形成第N介质层，并在第N+1半导体结构的源极和漏极之间的第N介质层上形成第N+1栅极，其中，所述N为大于等于1的正整数。

[0032] 在一个实施例中，所述晶圆如图2所示，包括4个半导体结构，分别为第一半导体结构1、第二半导体结构2、第三半导体结构3和第四半导体结构4。所述第一半导体结构1包括第一半导体层10和位于所述第一半导体层10上的第一源极11和第一漏极12，所述第一半导体层10可以是包括衬底、缓冲层和势垒层的外延层。所述第二半导体结构2包括第二半导体

层20和位于所述第二半导体层20上的第二源极21和第二漏极22，所述第二半导体层20可以是包括衬底、缓冲层和势垒层的外延层。所述第三半导体结构3包括第三半导体层30和位于所述第三半导体层30上的第三源极31和第三漏极32，所述第三半导体层30可以是包括衬底、缓冲层和势垒层的外延层。所述第四半导体结构4包括第四半导体层40和位于所述第四半导体层40上的第四源极41和第四漏极42，所述第四半导体层40可以是包括衬底、缓冲层和势垒层的外延层。

[0033] 请参考图3，可以通过诸如物理气相沉积的方法在所述第一半导体结构1上形成第一栅极13，所述第一栅极13位于所述第一源极11和第一漏极12之间。所述第一栅极13、第一半导体结构1构成第一场效应管。

[0034] 请参考图4，可以将上述晶圆放入原子层沉积(ALD)、超高真空化学气相沉积(UHCVD)、分子束外延(MBE)等设备中，通过沉积的方法，在所述晶圆上生长第一介质层5，形成的第一介质层5覆盖全部半导体结构。所述第一介质层5材料可以是氮化硅(Si2N3)、氧化铝(Al2O3)、氧化锆(ZrO2)、二氧化硅(SiO2)等。所述第一介质层5形成后，可以采用与形成第一栅极13同样的方法在所述第一介质层5上形成第二栅极23，所述第二栅极23位于所述第二源极21和第二漏极22之间。所述第二栅极23、第二半导体结构2以及第二源极21和第二漏极22之间的第一介质层5构成第二场效应管。

[0035] 请参考图5，可以通过与形成第一介质层5同样的方法在晶圆表面形成第二介质层6，所述第二介质层6覆盖所述第一介质层5与第二栅极23。所述第二介质层6材料同前一层介质层相同。所述第二介质层6形成后，可以采用与形成第一栅极13同样的方法在所述第二介质层6上形成第三栅极33，所述第三栅极33位于所述第三源极31和第三漏极32之间。所述第三栅极33、第二半导体结构3以及第三源极31和第三漏极32之间的第二介质层6和第一介质层5构成第三场效应管。

[0036] 请参考图6，可以通过与形成第一介质层5同样的方法在晶圆表面形成第三介质层7，所述第三介质层7覆盖所述第二介质层6与第三栅极33。所述第三介质层7材料同前一层介质层相同。所述第三介质层7形成后，可以采用与形成第一栅极13同样的方法在所述第三介质层7上形成第四栅极43，所述第四栅极43位于所述第四源极41和第四漏极42之间。所述第三栅极43、第四半导体结构4以及第四源极41和第四漏极42之间的第三介质层7、第二介质层6和第一介质层5构成第四场效应管。

[0037] 在本实施例中，所述第一介质层5、第二介质层6和第三介质层7的厚度为1nm-10nm，可以均为5nm，也可以是第一介质层3nm，第二介质层5nm、第三介质层7nm，或者是第一介质层8nm、第二介质层6nm，第三介质层6nm等。

[0038] 在本实施例中，所述第一栅极13、第二栅极23、第三栅极22、第四栅极43沿纵长方向的长度可以各不相等，也可以是其中某两个或者三个栅极的长度相等，例如，所述第一栅极13的长度为200um，第二栅极23的长度为100um、第三栅极33的长度为300um、第四栅极43的长度200um。

[0039] 为了提高半导体器件的线性度，本申请的发明人经过长期的实验发现，通过并联不同介质层厚度MIS场效应管形成的组合器件可以有效提高器件的线性度。射频前端模块衡量线性度的重要指标是互调失真(IM)，特别是3阶的互调失真(IMD3)产生的干扰直接落在主频段附近，无法滤除，导致噪声性能变差。IMD3失真功率的大小主要由场效应管跨导参

数的二阶导数决定，跨导的二阶导数数值越大，则IMD3失真功率越高。

[0040] 图7显示了一个由0nm、5nm和10nm的氮化硅介质层场效应管形成的组合管的跨导数据，纵坐标表示单位跨导的二阶导数($S/V^2/mm$)，横坐标表示栅极电压(V)，三种场效应管各自的跨导数据也显示在了同一个图中。该组合管里，三种场效应管的栅极宽度按照0.13:0.28:0.59的比例来确定。图7显示的数据可以看到，三种场效应管各自的跨导数据在(-1,2)之间波动较大，为了降低互调失真，必须限制输入信号(栅极电压)的动态范围，使得在此范围内，跨导的二阶导数处于较小的数值；而当三种管子以前述的栅极宽度比例组成组合管以后，明显跨导数据波动较小，器件的动态范围扩大，线性度得到了提高。

[0041] 在本实施例中，以4个半导体结构为例对本申请所提出的半导体器件制造方法进行说明，本领域技术人员可以理解的的是，所述半导体结构的数量可以为其他，在N大于1的情况下，均适用与本申请所提出的方法。

[0042] 相应的，本申请还提出一种半导体器件，如图6所示，包括：晶圆，所述晶圆包括4个半导体结构，分别为第一半导体结构1、第二半导体结构2、第三半导体结构3和第四半导体结构4。所述第一半导体结构1包括第一半导体层10和位于所述第一半导体层10上的第一源极11和第一漏极12。所述第二半导体结构2包括第二半导体层20和位于所述第二半导体层20上的第二源极21和第二漏极22。所述第三半导体结构3包括第三半导体层30和位于所述第三半导体层30上的第三源极31和第三漏极32。所述第四半导体结构4包括第四半导体层40和位于所述第四半导体层40上的第四源极41和第四漏极42。所述第一半导体层10、第二半导体层20、第三半导体层30和第四半导体层40可以是包括依次层叠衬底、缓冲层和势垒层的外延层。所述衬底材料包括但不限于蓝宝石、碳化硅、硅、金刚石、氮化镓和氮化铝等材料。所述缓冲层与所述势垒层堆叠在一起形成异质结，所述缓冲层靠近所述势垒层一端的表面形成二维电子气(2DEG)，所述2DEG具有高电子密度和高电子迁移率。典型的异质结为AlGaN/GaN，即所述缓冲层为GaN，所述势垒层为AlGaN。所述缓冲层也可以为GaN、AlN、AlGaN,InGaN等氮化物，所述势垒层也可以为InAlN、AlN、ScAlN等三元或四元氮化物化合物半导体合金材料的一种或几种的叠加。所述衬底的厚度为50um-1000um，所述势垒层的厚度为3nm-100nm，所述缓冲层的厚度为50nm-10000nm。

[0043] 所述晶圆上具有依次层叠有三个介质层，分别为第一介质层5、第二介质层6和第三介质层7。所述第一介质层5位于所述晶圆上，所述第二介质层6位于所述一介质层5上，所述第三介质层7位于所示第二介质层6上。所述第一介质层5、第二介质层6和第三介质层7的材料可以是氮化硅或者二氧化硅。所述第一介质层5、第二介质层6和第三介质层7的厚度为1nm-10nm，可以均为5nm，也可以是第一介质层3nm，第二介质层5nm、第三介质层7nm，或者是第一介质层8nm、第二介质层6nm，第三介质层6nm等。

[0044] 所述第一半导体结构上具有第一栅极13，所述第一栅极13位于所述第一源极11和第一漏极12之间。所述第一介质层5上具有第二栅极23，所述第二栅极23位于所述第二源极21和第二漏极22之间。所述第二介质层6上具有第三栅极33，所述第三栅极33位于所述第三源极31和第三漏极32之间。所述第三介质层7上具有第四栅极43，所述第四栅极43位于所述第四源极41和第四漏极42之间。所述第一源极、第二源极、第三源极和第四源极可以是钛、铝、镍、金中任意多种组成的合金。所述第一漏极、第二漏极、第三漏极和第四漏极可以是钛、铝、镍、金中任意多种组成的合金。所述第一栅极、第二栅极、第三栅极和第四栅极可以

为镍/金或者铂/金构成的金属叠层。

[0045] 所述第一栅极13、第二栅极23、第三栅极22、第四栅极43沿纵长方向的长度可以各不相等，也可以是其中两个或者三个栅极的长度相等，例如，所述第一栅极13的长度为200um，第二栅极23的长度为100um、第三栅极33的长度为300um、第四栅极43的长度200um。

[0046] 在本实施例中，以4个半导体结构为例对本申请所提出的半导体器件进行说明，本领域技术人员可以理解的的是，所述半导体结构的数量可以为其他，在N大于1的情况下，均适用与本申请所提出的结构。

[0047] 本申请所提出的半导体器件及其制造方法，通过控制介质层的厚度，可以在一个晶圆上形成多种场效应管，不同场效应管由于介质层的厚度不同，能够有效改善半导体器件的线性度。

[0048] 以上所述实施例的各技术特征可以进行任意的组合，为使描述简洁，未对上述实施例中的各个技术特征所有可能的组合都进行描述，然而，只要这些技术特征的组合不存在矛盾，都应当认为是本说明书记载的范围。

[0049] 以上所述实施例仅表达了本发明的几种实施方式，其描述较为具体和详细，但并不能因此而理解为对发明专利范围的限制。应当指出的是，对于本领域的普通技术人员来说，在不脱离本发明构思的前提下，还可以做出若干变形和改进，这些都属于本发明的保护范围。因此，本发明专利的保护范围应以所附权利要求为准。

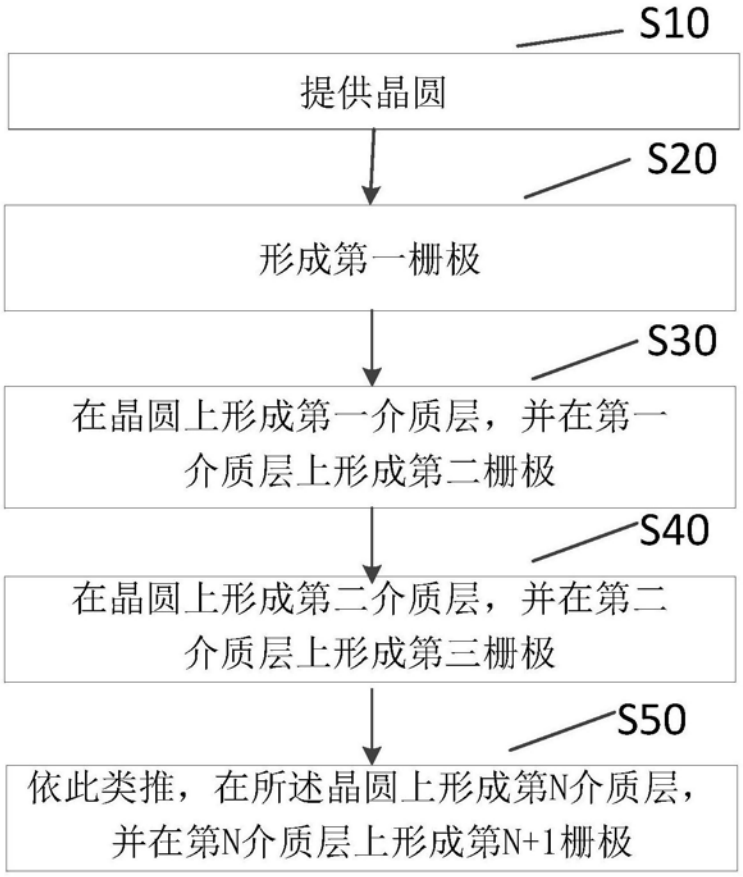

S10
提供晶圆
S20
形成第一栅极
S30
在晶圆上形成第一介质层，并在第一介质层上形成第二栅极
S40
在晶圆上形成第二介质层，并在第二介质层上形成第三栅极
S50
依此类推，在所述晶圆上形成第N介质层，并在第N介质层上形成第N+1栅极

图1

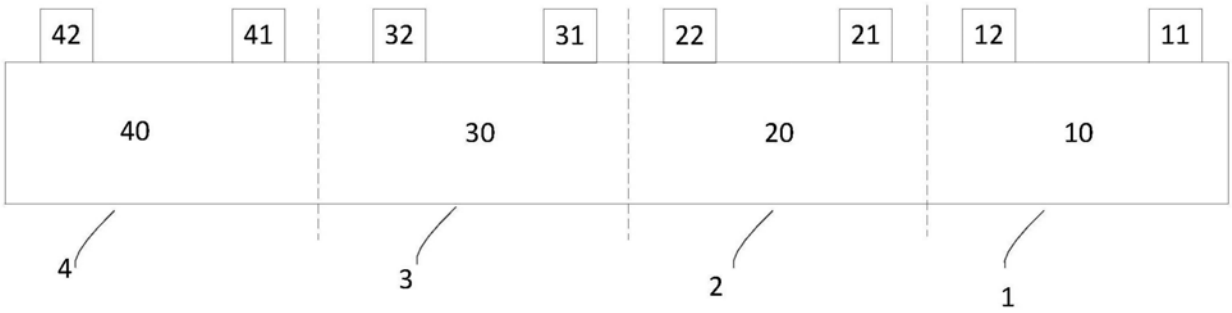

42
41
32
31
22
21
12
11
40
30
20
10
4
3
2
1

图2

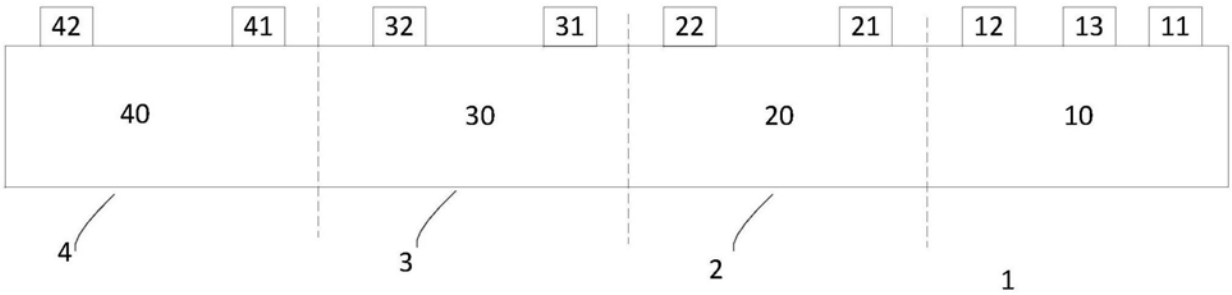

42
41
32
31
22
21
12
13
11
40
30
20
10
4
3
2
1

图3

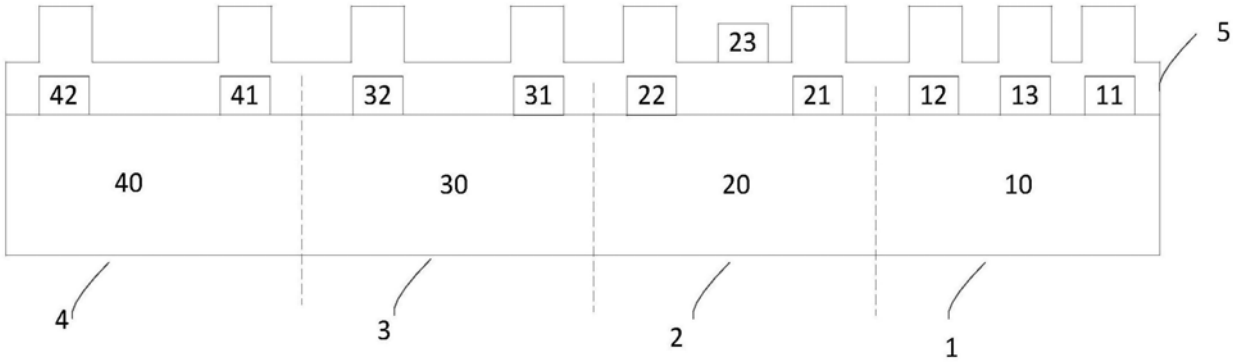

23
5
42
41
32
31
22
21
12
13
11
40
30
20
10
4
3
2
1

图4

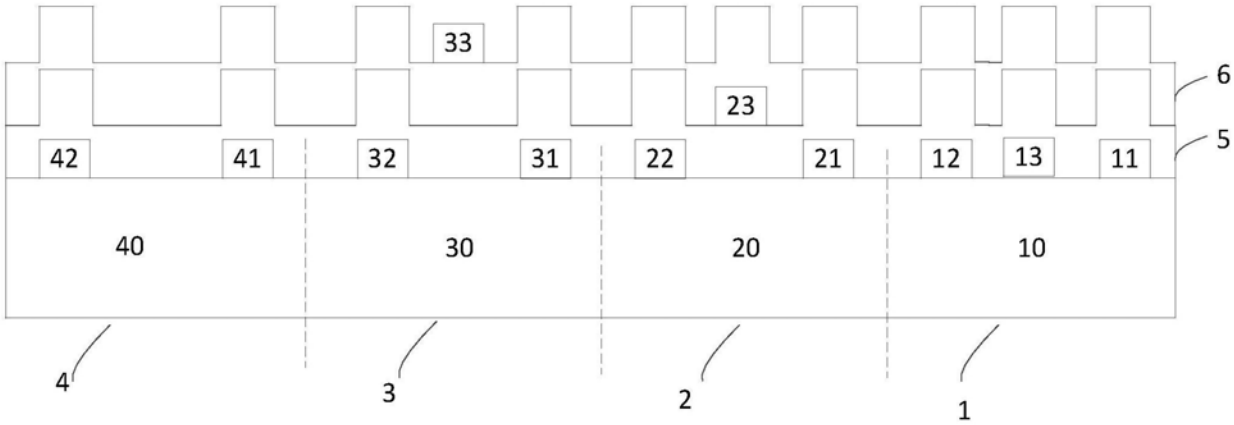

33
6
23
5
42
41
32
31
22
21
12
13
11
40
30
20
10
4
3
2
1

图5

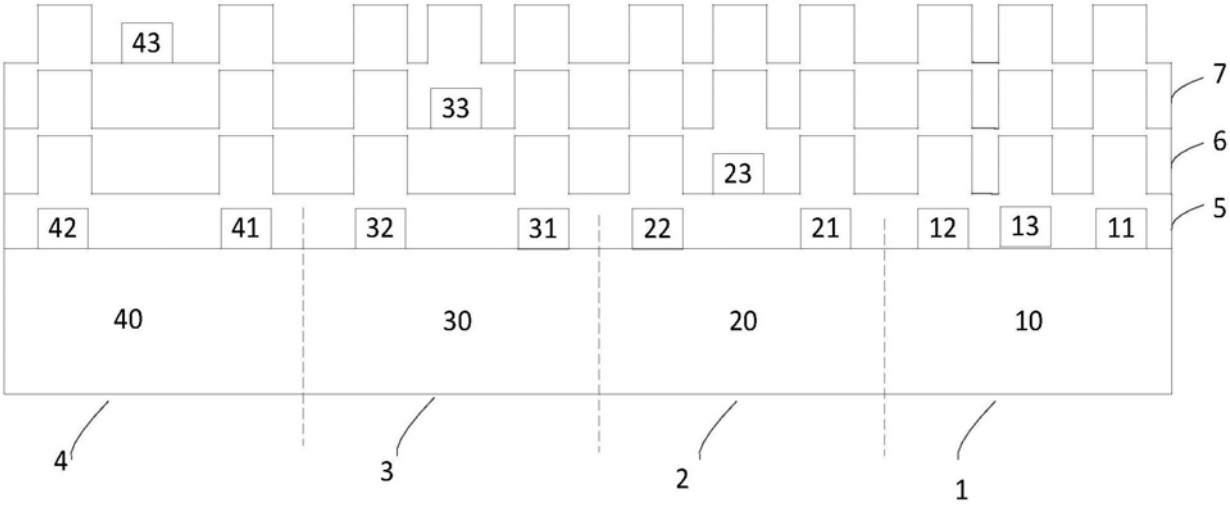

43
33
23
42
41
32
31
22
21
12
13
11
40
30
20
10
7
6
5
4
3
2
1

图6

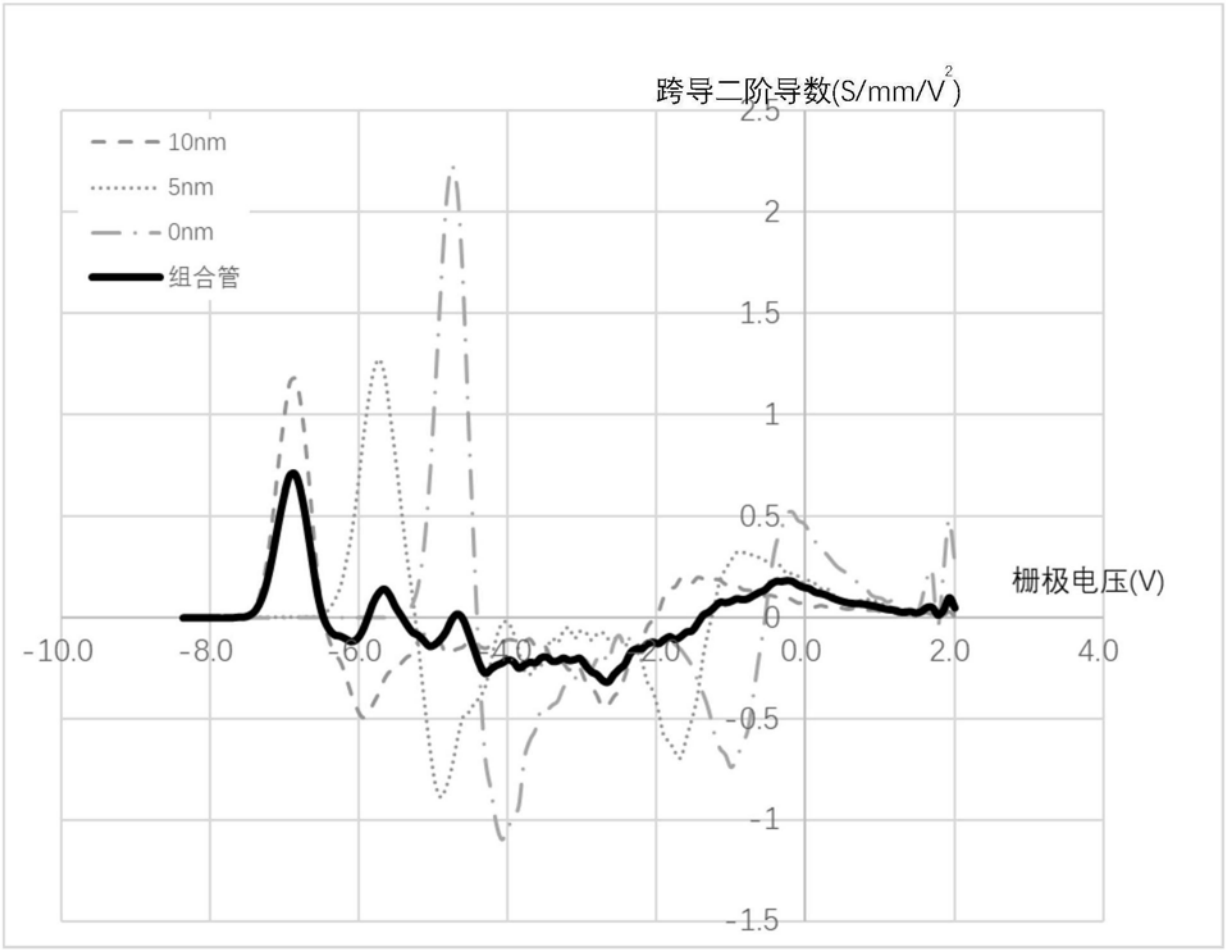

跨导二阶导数(S/mm/V²)
10nm
5nm
0nm
组合管
栅极电压(V)
2.5
2
1.5
1
0.5
0
-0.5
-1
-1.5
-10.0
-8.0
-6.0
-4.0
-2.0
0.0
2.0
4.0

图7