



(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(51) Int. Cl.

H01L 23/12 (2006.01)

(45) 공고일자

2006년12월26일

(11) 등록번호

10-0660893

(24) 등록일자

2006년12월18일

(21) 출원번호 10-2005-0111994

(65) 공개번호

(22) 출원일자 2005년11월22일

(43) 공개일자

심사청구일자 2005년11월22일

(73) 특허권자 삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

황호익

서울 강남구 도곡동 902-8 동신아파트 나-405

이수철

서울 강남구 도곡1동 895-8 역삼한신아파트 1-603

(74) 대리인

리엔목특허법인

(56) 선행기술조사문현

JP04088622 A

JP2005012065 A

KR1019960008978 A

* 심사관에 의하여 인용된 문현

심사관 : 최인용

전체 청구항 수 : 총 22 항

(54) 정렬 마크막을 구비하는 반도체 소자 및 그 제조 방법

(57) 요약

조립 단계에서 정렬 오류를 줄일 수 있는 반도체 소자 및 그 제조 방법이 제공된다. 반도체 소자는 반도체 기판 상의 패드 전극막을 포함하고, 정렬 마크막은 상기 반도체 기판 상에 형성된다. 패시베이션막은 반도체 기판 상에 형성되고 패드 전극막의 상부의 적어도 일부분 및 정렬 마크막의 상부의 적어도 일부분을 각각 노출한다. 투광성 보호막은 패시베이션막의 적어도 일부분을 덮고, 패시베이션막으로부터 노출된 패드 전극막의 상부 부분을 노출하고 패시베이션막으로부터 노출된 정렬 마크막 부분을 덮고 있다.

대표도

도 3

특허청구의 범위

청구항 1.

입출력 단자로 이용되는, 반도체 기판 상의 패드 전극막;

상기 반도체 기판 상에 형성되고, 조립 단계의 정렬키로 이용되는 정렬 마크막;

상기 반도체 기판 상에 형성되고, 상기 패드 전극막의 상부의 적어도 일부분 및 상기 정렬 마크막의 상부의 적어도 일부분을 각각 노출하는 패시베이션막; 및

상기 패시베이션막의 적어도 일부분을 덮고, 상기 패시베이션막으로부터 노출된 상기 패드 전극막의 상부 부분을 노출하고 상기 패시베이션막으로부터 노출된 상기 정렬 마크막 부분을 덮고 있는 투광성 보호막을 포함하는 것을 특징으로 하는 반도체 소자.

청구항 2.

제 1 항에 있어서, 상기 패드 전극막 및 상기 정렬 마크막은 동일한 물질로 형성된 것을 특징으로 하는 반도체 소자.

청구항 3.

제 2 항에 있어서, 상기 패드 전극막은 장벽 금속막, 상기 장벽 금속막 상의 배선 금속막 및 상기 배선 금속막 상의 캡핑 금속막을 포함하고, 상기 캡핑 금속막은 상기 배선 금속막의 적어도 일부분을 노출하는 것을 특징으로 하는 반도체 소자.

청구항 4.

제 2 항에 있어서, 상기 정렬 마크막은 장벽 금속막, 상기 장벽 금속막 상의 배선 금속막 및 상기 배선 금속막 상의 캡핑 금속막을 더 포함하고, 상기 캡핑 금속막은 상기 배선 금속막의 적어도 일부분을 노출하는 것을 특징으로 하는 반도체 소자.

청구항 5.

제 3 항에 있어서, 상기 패시베이션막은 상기 패드 전극막의 캡핑 금속막으로부터 노출된 배선 금속막 부분을 노출하는 것을 특징으로 하는 반도체 소자.

청구항 6.

제 5 항에 있어서, 상기 패시베이션막 및 상기 투광성 보호막으로부터 노출된 상기 패드 전극막의 배선 금속막 상의 범프를 더 포함하는 것을 특징으로 하는 반도체 소자.

청구항 7.

제 6 항에 있어서, 상기 패드 전극막의 배선 금속막 및 상기 범프 사이, 및 상기 범프 및 상기 패시베이션막 사이에 각각 개재된 제 2 장벽 금속막을 더 포함하는 것을 특징으로 하는 반도체 소자.

청구항 8.

제 1 항에 있어서, 상기 투광성 보호막은 폴리이미드막을 포함하는 것을 특징으로 하는 반도체 소자.

청구항 9.

제 1 항에 있어서, 상기 정렬 마크막은 "+"형, "T"형 또는 "L"형 평면 구조를 포함하는 것을 특징으로 하는 반도체 소자.

청구항 10.

반도체 기판 상의 층간 절연막;

상기 층간 절연막 상에 형성되고, 입출력 단자로 이용되는 패드 전극막;

상기 층간 절연막 상에 형성되고, 조립 단계의 정렬키로 이용되는 정렬 마크막;

상기 층간 절연막 상에 형성되고, 상기 패드 전극막의 상부의 적어도 일부분 및 상기 정렬 마크막의 상부의 적어도 일부분을 각각 노출하는 패시베이션막;

상기 패시베이션막의 적어도 일부분을 덮고, 상기 패시베이션막으로부터 노출된 상기 패드 전극막의 상부 부분을 노출하고 상기 패시베이션막으로부터 노출된 상기 정렬 마크막 부분을 덮고 있는 폴리이미드막; 및

상기 패시베이션막 및 폴리이미드막으로부터 노출된 상기 패드 전극막 상의 범프를 포함하는 것을 특징으로 하는 반도체 소자.

청구항 11.

제 10 항에 있어서, 상기 패드 전극막 및 상기 범프 사이, 및 상기 범프 및 상기 패시베이션막 사이에 각각 개재된 제 2 장벽 금속막을 더 포함하는 것을 특징으로 하는 반도체 소자.

청구항 12.

제 10 항에 있어서, 상기 패드 전극막 및 상기 정렬 마크막은 동일한 물질로 형성된 것을 특징으로 하는 반도체 소자.

청구항 13.

제 12 항에 있어서, 상기 패드 전극막 및 상기 정렬 마크막은 장벽 금속막, 상기 장벽 금속막 상의 배선 금속막 및 상기 배선 금속막 상의 캡핑 금속막을 각각 포함하고, 상기 패드 전극막 및 상기 정렬 마크막의 상기 캡핑 금속막은 상기 배선 금속막의 적어도 일부분을 각각 노출하는 것을 특징으로 하는 반도체 소자.

청구항 14.

제 10 항에 있어서, 상기 정렬 마크막은 "+"형, "T"형 또는 "L"형 평면 구조를 포함하는 것을 특징으로 하는 반도체 소자.

청구항 15.

반도체 기판 상에 입출력 단자로 이용되는 패드 전극막 및 조립 단계의 정렬키로 이용되는 정렬 마크막을 형성하는 단계;

상기 반도체 기판 상에 상기 패드 전극막의 상부의 적어도 일부분 및 상기 정렬 마크막의 상부의 적어도 일부분을 각각 노출하는 패시베이션막을 형성하는 단계; 및

상기 패시베이션막이 형성된 결과물 상에, 상기 패시베이션막으로부터 노출된 상기 패드 전극막의 상부 부분을 노출하고 상기 패시베이션막으로부터 노출된 상기 정렬 마크막 부분을 덮고 있는 투광성 보호막을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 16.

제 15 항에 있어서, 상기 패드 전극막 및 상기 정렬 마크막을 형성하는 단계는,

상기 반도체 기판 상에 장벽 금속층을 형성하는 단계;

상기 장벽 금속층 상에 배선 금속층을 형성하는 단계;

상기 배선 금속층 상에 캡핑 금속층을 형성하는 단계; 및

상기 장벽 금속층, 상기 배선 금속층 및 상기 캡핑 금속층을 패터닝하여, 상기 장벽 금속막, 배선 금속막 및 캡핑 금속막을 포함하는 패드 전극막을 형성하고 동시에 상기 장벽 금속막, 배선 금속막 및 캡핑 금속막을 포함하는 정렬 마크막을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 17.

제 16 항에 있어서, 상기 투광성 보호막 형성 전에, 상기 패드 전극막 및 상기 정렬 마크막의 반사 방지막의 소정 부분을 제거하여 상기 배선 금속막을 노출하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 18.

제 15 항에 있어서, 상기 패시베이션막 및 상기 투광성 보호막으로부터 노출된 상기 패드 전극막 상에 범프를 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 19.

제 15 항에 있어서,

상기 투광성 보호막이 형성된 결과물 상에 제 2 장벽 금속층을 형성하는 단계;

상기 제 2 장벽 금속층 상에, 적어도 상기 투광성 보호막으로부터 노출된 상기 패드 전극막 상의 상기 제 2 장벽 금속층 부분을 노출하는 마스크막을 형성하는 단계;

상기 마스크막으로부터 노출된 상기 제 2 장벽 금속층 상에 범프를 형성하는 단계;

상기 마스크막을 제거하는 단계; 및

상기 범프로부터 노출된 상기 제 2 장벽 금속층 부분을 식각하여 제 2 장벽 금속막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 20.

제 19 항에 있어서, 상기 범프를 형성하는 단계는 도금을 이용하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 21.

제 15 항에 있어서, 상기 투광성 보호막은 폴리이미드막을 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 22.

제 15 항에 있어서, 상기 정렬 마크막은 "+"형, "T"형 또는 "L"형 평면 구조를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자 및 그 제조 방법에 관한 것으로서, 특히 반도체 칩의 실장 단계의 정렬키로 이용되는 정렬 마크를 갖는 반도체 소자 및 그 제조 방법에 관한 것이다.

반도체 소자는 반도체 기판 상에 형성된 후, 외부 장치와 연결되고 외부 환경으로부터 보호되기 위하여 적절한 형태로 조립되고 패키징된다. 이에 따라, 반도체 소자는 외부 장치와 연결을 위한 입출력 단자로 이용되는 패드 전극막 및 조립 단계에서 정렬키(alignment key)로 이용되는 정렬 마크(alignment mark)를 갖는다. 예를 들어, 액정 디스플레이 소자(LCD)의 구동 소자로 이용되는 반도체 소자는 유리 기판 상으로 조립된다. 이러한 조립 방식은 COG(chip on glass) 방식으로 불린다.

COG 조립 방식에 있어서, 반도체 소자는 정렬 마크를 이용하여 유리 기판에 정렬될 수 있다. 예를 들어, COG 조립 방식에 대해서는 한국등록특허번호 제0258719호의 "칩온 글래스용 패널 구조(Pannel Structure for Chip On Glass)"를 참조할 수 있다. 하지만, 종래에 있어서, 반도체 소자의 정렬 마크 구조는 제조 단계에서의 공정 단계들의 변화에 따라서 이후 정렬 오류를 발생시킬 수 있다.

도 1은 종래 정렬 마크의 구조를 갖는 반도체 소자를 보여주는 단면도이다.

도 1을 참조하면, 정렬 마크막(55)은 반도체 기판(50) 상에 형성되고, 패시베이션막(passivation film, 60)으로 둘러싸여 있다. 패시베이션막(60) 상에는 반도체 소자의 보호를 위해 폴리이미드막(polyimide, 70)이 형성된다. 폴리이미드막(70)은 정렬 마크막(55) 상의 패시베이션막(60)을 노출하도록 패터닝되어 있다. 통상 정렬 마크막(55)은 소자분리용 절연막으로 형성된 필드 영역(field region, 미도시)으로 둘러싸일 수 있다.

따라서, 광학 정렬 장치는 필드 영역과 정렬 마크막(55) 부분의 색상(contrast) 차이를 인식할 수 있고, 이러한 색상 차이를 이용하여 반도체 소자를 정렬시킬 수 있다. 하지만, 반도체 소자에 따른 정렬 마크막(55) 상의 패시베이션막(60)의 두께(h) 편차는 정렬 마크막(55) 부분의 색상이 달라지게 만들고, 이러한 정렬 마크막(55)의 색상 차이는 반도체 소자의 정렬 오류를 유발할 수 있다. 왜냐하면, 광학 정렬 장치는 필드 영역과 정렬 마크막(55)의 기준 범위의 색상 차이를 기준으로 정렬을 진행하기 때문에, 그 기준 범위를 벗어난 반도체 소자에 대해서는 정렬 작업을 진행할 수 없기 때문이다.

하지만, 패시베이션막(60)은 그 두께(h)의 편차에 따라서 색상 차이가 크게 변한다. 따라서, 패시베이션막(60)의 두께(h) 조절을 통해서 색상 차이를 조절하기는 매우 어렵다. 이에 따라, 패시베이션막(60)이 통상 허용되는 공정 마진 범위 내에 있는 경우에도, 반도체 소자의 정렬 오류가 발생할 수 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명이 이루고자 하는 기술적 과제는 전술한 문제점을 극복하기 위해 안출된 것으로서, 조립 단계에서 정렬 오류를 줄일 수 있는 반도체 소자를 제공하는 데 있다.

본 발명이 이루고자 하는 다른 기술적 과제는 조립 단계에서 정렬 오류를 줄일 수 있고 경제성 있는 반도체 소자의 제조 방법을 제공하는 데 있다.

발명의 구성

상기 기술적 과제를 달성하기 위한 본 발명의 일 태양에 따른 반도체 소자는 입출력 단자로 이용되는 반도체 기판 상의 패드 전극막을 포함한다. 조립 단계의 정렬키로 이용되는 정렬 마크막은 상기 반도체 기판 상에 형성된다. 패시베이션막은 상기 반도체 기판 상에 형성되고 상기 패드 전극막의 상부의 적어도 일부분 및 상기 정렬 마크막의 상부의 적어도 일부분을 각각 노출한다. 투광성 보호막은 상기 패시베이션막의 적어도 일부분을 덮고, 상기 패시베이션막으로부터 노출된 상기 패드 전극막의 상부 부분을 노출하고 상기 패시베이션막으로부터 노출된 상기 정렬 마크막 부분을 덮고 있다.

상기 본 발명의 일 측면에 따르면, 상기 패드 전극막 및 상기 정렬 마크막은 동일한 물질로 형성될 수 있다. 예를 들어, 상기 패드 전극막은 장벽 금속막, 상기 장벽 금속막 상의 배선 금속막 및 상기 배선 금속막 상의 캡핑 금속막을 포함하고, 상기 캡핑 금속막은 상기 배선 금속막의 적어도 일부분을 노출할 수 있다. 상기 정렬 마크막은 장벽 금속막, 상기 장벽 금속막 상의 배선 금속막 및 상기 배선 금속막 상의 캡핑 금속막을 더 포함하고, 상기 캡핑 금속막은 상기 배선 금속막의 적어도 일부분을 노출할 수 있다.

상기 본 발명의 다른 측면에 따르면, 상기 반도체 소자는 상기 패시베이션막 및 상기 투광성 보호막으로부터 노출된 상기 패드 전극막의 배선 금속막 상의 범프를 더 포함할 수 있다. 나아가, 상기 반도체 소자는 상기 패드 전극막의 배선 금속막 및 상기 범프 사이, 및 상기 범프 및 상기 패시베이션막 사이에 각각 개재된 제 2 장벽 금속막을 더 포함할 수 있다.

상기 기술적 과제를 달성하기 위한 본 발명의 다른 태양에 따른 반도체 소자는, 반도체 기판 상의 충간 절연막을 포함한다. 입출력 단자로 이용되는 패드 전극막은 상기 충간 절연막 상에 형성된다. 조립 단계의 정렬키로 이용되는 정렬 마크막은 상기 충간 절연막 상에 형성된다. 패시베이션막은 상기 충간 절연막 상에 형성되고, 상기 패드 전극막의 상부의 적어도 일부분 및 상기 정렬 마크막의 상부의 적어도 일부분을 각각 노출한다. 폴리이미드막은 상기 패시베이션막의 적어도 일부분을 덮고, 상기 패시베이션막으로부터 노출된 상기 패드 전극막의 상부 부분을 노출하고 상기 패시베이션막으로부터 노출된 상기 정렬 마크막 부분을 덮고 있다. 범프는 상기 패시베이션막 및 폴리이미드막으로부터 노출된 상기 패드 전극막 상에 제공된다.

상기 다른 기술적 과제를 달성하기 위한 본 발명의 일 태양에 따른 반도체 소자의 제조 방법에 의하면, 반도체 기판 상에 입출력 단자로 이용되는 패드 전극막 및 조립 단계의 정렬키로 이용되는 정렬 마크막을 형성한다. 상기 반도체 기판 상에 상기 패드 전극막의 상부의 적어도 일부분 및 상기 정렬 마크막의 상부의 적어도 일부분을 각각 노출하는 패시베이션막을 형성한다. 상기 패시베이션막이 형성된 결과물 상에, 상기 패시베이션막으로부터 노출된 상기 패드 전극막의 상부 부분을 노출하고 상기 패시베이션막으로부터 노출된 상기 정렬 마크막 부분을 덮고 있는 투광성 보호막을 형성한다.

상기 본 발명의 일 측면에 따르면, 상기 반도체 소자의 제조 방법은 상기 패시베이션막 및 상기 투광성 보호막으로부터 노출된 상기 패드 전극막 상에 범프를 형성하는 단계를 더 포함할 수 있다. 상기 범프는 도금을 이용하여 형성될 수 있다.

이하, 첨부한 도면을 참조하여 본 발명에 따른 바람직한 실시예를 설명함으로써 본 발명을 상세하게 설명한다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 도면에서 구성 요소들은 설명의 편의를 위하여 그 크기가 과장될 수 있다.

구조

도 2는 본 발명의 실시예에 따른 반도체 소자를 보여주는 평면도이고, 도 3은 도 2의 반도체 소자의 III-III'선에서 절취한 단면도이다. 본 발명의 실시예에 따른 반도체 소자는 액정 디스플레이 소자(LCD)의 구동 소자를 포함할 수 있으나, 이에 제한되지 않는다. 예를 들어, 본 발명의 실시예에 따른 반도체 소자는 COG(chip on glass) 방식의 조립용 반도체 소자를 포함할 수 있다.

도 2를 참조하면, 본 발명의 실시예에 따른 반도체 소자는 적어도 하나 이상의 정렬 마크막들(135, 136, 137, 138) 및 적어도 하나 이상의 범프(bump, 170)들을 포함할 수 있다. 정렬 마크막들(135, 136, 137, 138)은 반도체 소자의 조립 단계에서 정렬키로 이용될 수 있다. 정렬 마크막들(135, 136, 137, 138)은 투광성 보호막(150)으로 덮여 있다. 범프(170)들은 반도체 소자와 외부 장치(미도시)의 연결을 돋는 역할을 할 수 있다. 예를 들어, 범프(170)들은 솔더 범프(solder bump)일 수 있다. 정렬 마크막들(135, 136, 137, 138)은 소자분리용 절연막으로 형성된 웨이드 영역(미도시)에 의해 둘러싸일 수 있다.

도 2에서 도시된 정렬 마크막들(135, 136, 137, 138)의 수 및 범프(170)들의 수는 예시적인 것이고, 해당 기술분야에서 통상의 지식을 가진 자에 의해 적절한 수가 선택될 수 있다. 정렬 마크막들(135, 136, 137, 138)은 "+"형, "T"형, "L"형 또는 뒤집어진 "L"형들의 평면 구조를 포함할 수 있다. 하지만, 정렬 마크막들(135, 136, 137, 138)의 모양은 예시적인 것이고, 광학 정렬 장치에서 인식될 수 있는 다양한 모양을 포함할 수 있다. 이하에서는 정렬 마크막(135)을 예로서 설명한다.

도 3을 참조하면, 범프(170)는 그 하부의 패드 전극막(130)과 전기적으로 연결된다. 패드 전극막(130) 및 정렬 마크막(135)은 반도체 기판(105) 상의 충간 절연막(110) 상에 형성될 수 있다. 패드 전극막(130)은 반도체 기판(105) 내 또는 반도체 기판(105) 상의 단위 소자들(미도시)과 전기적으로 연결되고, 이에 따라 단위 소자들에 대한 입출력 단자의 역할을 할 수 있다. 예를 들어, 단위 소자들은 트랜지스터 또는 커패시터 구조(미도시)를 포함할 수 있다.

반도체 소자는 반도체 기판(105) 상에 형성되고 단위 소자들과 연결된 복수의 배선 전극막(미도시)들을 더 포함할 수 있다. 예를 들어, 충간 절연막(110)은 복수의 절연막들의 적층 구조를 포함하고, 복수의 배선 전극막들은 복수의 절연막들 상에 각각 형성될 수도 있다. 이 경우, 패드 전극막(130)은 배선 전극막들의 어느 하나 이상과 전기적으로 연결될 수 있다. 예를 들어, 충간 절연막(110)은 실리콘 산화막 또는 실리콘 질화막을 포함할 수 있다.

예를 들어, 패드 전극막(130) 및 정렬 마크막(135)은 동일한 물질로 형성될 수 있다. 보다 구체적으로 예를 들면, 패드 전극막(130)은 장벽 금속막(115a), 배선 금속막(120a) 및 캡핑 금속막(125a)을 포함하고, 정렬 마크막(135)은 장벽 금속막(115b), 배선 금속막(120b) 및 캡핑 금속막(125b)을 포함할 수 있다. 장벽 금속막들(115a, 115b)은 충간 절연막(110) 상에 동일한 물질로 각각 형성될 수 있다. 배선 금속막들(120a, 120b)은 장벽 금속막들(115a, 115b) 상에 각각 동일한 물질로 형성될 수 있다. 캡핑 금속막들(125a, 125b)은 배선 금속막들(120a, 120b) 상에 각각 동일한 물질로 형성될 수 있다.

예를 들어, 장벽 금속막들(115a, 115b)은 티타늄막, 탄탈륨막, 티타늄 질화막, 탄탈륨 질화막, 또는 이들이 두 개 이상 적층된 복합막을 포함할 수 있다. 배선 금속막들(120a, 120b)은 전기 저항이 낮은 알루미늄막 또는 구리막을 포함할 수 있다. 캡핑 금속막들(125a, 125b)은 티타늄막, 탄탈륨막, 티타늄 질화막, 탄탈륨 질화막, 또는 이들이 두 개 이상 적층된 복합막을 포함할 수 있다. 캡핑 금속막들(125a, 125b)은 배선 금속막들(120a, 120b)의 패터닝 시, 반사방지막으로 사용될 수도 있다.

캡핑 금속막들(125a, 125b)은 배선 금속막들(120a, 120b)의 적어도 일부분들(122a, 122b)을 각각 노출하도록 패터닝될 수 있다. 하지만, 본 발명의 다른 실시예에서, 캡핑 금속막들(125a, 125b)은 배선 금속막들(120a, 120b) 상부를 덮고 있을 수도 있다. 본 발명의 또 다른 실시예에서, 패드 전극막(130) 및 정렬 마크막(135)은 복수의 금속막들(미도시)을 더 포함할 수도 있고, 또는 하나의 금속막으로 형성될 수도 있다.

패시베이션막(140)은 충간 절연막(110) 상에 형성되고, 패드 전극막(130)의 상부의 적어도 일부분(122a) 및 정렬 마크막(135)의 상부의 적어도 일부분(122b)을 각각 노출할 수 있다. 예를 들어, 패시베이션막(140)은 홀들(146, 148)을 포함할 수 있고, 홀(146)에 의해 패드 전극막(130)의 일부분(122a)이 노출되고, 다른 홀(148)에 의해 정렬 마크막(135)의 일부분(122b)이 노출될 수 있다.

보다 구체적으로 보면, 홀들(146, 148)은 캡핑 금속막들(125a, 125b) 내부로 확장되고, 홀들(146, 148)에 의해 배선 금속막(120a, 120b)들이 패시베이션막(140) 및 캡핑 금속막들(125a, 125b)로부터 노출될 수 있다. 패드 전극막(130) 및 정렬

마크막(135)의 측벽은 패시베이션막(140)에 의해 둘러싸일 수 있다. 예를 들어, 패시베이션막(140)은 실리콘 질화막 또는 실리콘 산화막을 포함할 수 있다. 패시베이션막(140)은 예컨대, 반도체 기판(105) 내 또는 반도체 기판(105) 상의 단위 소자들을 수분 등으로부터 보호하는 역할을 할 수 있다.

투광성 보호막(150)은 패시베이션막(140)의 적어도 일부분을 덮도록 형성된다. 예를 들어, 투광성 보호막(150)은 정렬 마크막(135)의 상부의 일부분(122b)을 덮고, 패드 전극막(130)의 상부의 일부분(122a)을 노출할 수 있다. 보다 구체적으로 예를 들면, 투광성 보호막(150)은 홀(154)을 포함하고, 홀(154)에 의해 정렬 마크막(135)의 상부의 일부분(122b) 및 그 주변의 패시베이션막(140)의 일부분이 노출될 수 있다.

투광성 보호막(150)은 그 하부의 반도체 소자의 구조를 외부 환경, 예컨대 물리적 충격 또는 수분과 같은 화학적 침투로부터 보호하는 역할을 할 수 있다. 예를 들어, 투광성 보호막(150)은 감광성 또는 비감광성 폴리이미드막, 또는 투광성 보호막(150)은 실리콘 고무계, 애피시계 또는 우레탄계 절연막들을 더 포함할 수도 있다.

패시베이션막(140)의 두께 변화는 정렬 마크막(135)의 색상을 변화시킬 수 있는데 반해, 투광성 보호막(150)의 두께(d) 변화는 위에서 바라 본 정렬 마크막(135) 부분의 색상을 거의 변화시키지 않는다. 이에 따라, 투광성 보호막(150)의 형성 단계에서 공정 산포에 의해 그 두께(d)가 변화되더라도, 정렬 마크막(135) 부분의 색상은 일정하게 유지될 수 있다. 즉, 필드 영역과 정렬 마크막(135) 부분의 색상 차이가 일정하게 유지될 수 있다. 따라서, 광 정렬 장치는 투광성 보호막(150)의 두께(d)가 조금 다르더라도, 반도체 소자를 오류 없이 정렬시킬 수 있다.

특히, 캡핑 금속막(125b)으로부터 배선 금속막(120b)의 상부 부분(122b)이 노출된 경우, 필드 영역과 정렬 마크막(135) 부분의 색상 차이가 크게 유지될 수 있다. 하지만, 본 발명의 다른 실시예에서, 캡핑 금속막(125b)이 배선 금속막(120b)의 상부 부분(122b)을 덮고 있는 것도 가능하고, 이 경우에도 필드 영역과 정렬 마크막(135) 부분의 색상 차이는 어느 정도 유지될 수 있다.

범프(170)는 패시베이션막(140) 및 투광성 보호막(150)으로부터 노출된 패드 전극막(130)의 상부 부분(122a) 상에 형성된다. 예를 들어, 범프(170)는 패시베이션막(140)의 홀(146)을 매립하고, 패시베이션막(140) 상으로 소정 폭만큼 확장되고, 투광성 보호막(150) 상으로 신장될 수 있다. 범프(170)는 배선 금속막(120a)의 상부 부분(122a)과 직접 접촉될 수 있다. 하지만, 본 발명의 다른 실시예에서, 범프(170)는 캡핑 금속막(125a)과 직접 접촉될 수도 있다.

예를 들어, 투광성 보호막(150) 상으로 노출된 범프(170) 부분은 COG 방식의 조립 단계에서 유리 기판과의 접속 부위로 이용될 수 있다. 범프(170)는 예컨대 금(Au)막을 포함할 수 있다. 범프(170) 및 배선 금속막(120a)의 상부 부분(122a)의 사이, 및 범프(170) 및 패시베이션막(140) 사이에는 제 2 장벽 금속막(160)이 개재될 수 있다. 예를 들어, 제 2 장벽 금속막(160)은 구리 및 니켈의 합금막을 포함할 수 있고, 제 2 장벽 금속막(160) 및 배선 금속막(120a)의 상호 확산을 방지할 수 있다.

하지만, 본 발명의 다른 실시예에서, 반도체 소자가 COG 방식으로 조립되지 않는다면, 범프(170)는 생략될 수도 있다. 예를 들어, 다른 도전성 연결막, 예컨대 도전성 와이어를 이용하여 패드 전극막(130) 및 외부 장치가 연결될 수도 있다.

제조 방법

이제, 도 4 내지 도 11을 참조하여 본 발명의 실시예에 따른 반도체 소자의 제조 방법을 설명한다.

도 4를 참조하면, 반도체 기판(105) 상에 층간 절연막(110)을 형성하고, 층간 절연막(110) 상에 예비 패드 전극막(130') 및 예비 정렬 마크막(135')을 형성한다. 예비 패드 전극막(130') 및 예비 정렬 마크막(135')은 장벽 금속막들(115a, 115b), 배선 금속막들(120a, 120b) 및 예비 캡핑 금속막들(125a', 125b')을 포함할 수 있다.

예를 들어, 층간 절연막(110) 상에 장벽 금속층(미도시), 배선 금속층(미도시) 및 캡핑 금속층(미도시)을 순차로 형성한다. 이어서, 통상의 포토리소그래피 및 식각 기술을 이용하여 장벽 금속층, 배선 금속층 및 캡핑 금속층을 패터닝하여, 예비 패드 전극막(130') 및 예비 정렬 마크막(135')을 동시에 형성할 수 있다.

도 5를 참조하면, 예비 패드 전극막(130') 및 예비 정렬 마크막(135')을 덮는 패시베이션층(140')을 형성한다. 예를 들어, 화학기상증착(chemical vapor deposition; CVD)법을 이용하여, 실리콘 산화막 또는 실리콘 질화막을 포함하는 패시베이션층(140')을 형성할 수 있다.

이어서, 패시베이션층(140') 상에 예비 패드 전극막(130') 및 예비 정렬 마크막(135')의 일부분 상의 패시베이션층(140') 부분을 노출하는 제 1 포토레지스트막(142)을 형성한다.

도 6을 참조하면, 제 1 포토레지스트막(도 5의 142)을 식각 마스크로 하여, 패시베이션층(140') 및 캡핑 금속막들(125a, 125b)의 노출된 부분을 식각하여 홀들(146, 148)을 포함하는 패시베이션막(140)을 형성할 수 있다. 캡핑 금속막들(125a, 125b)은 홀들(146, 148)에 의해 배선 금속막들(120a, 120b)의 상부의 일부분(122a, 122b)을 각각 노출한다. 이에 따라, 패드 전극막(130) 및 정렬 마크막(135)은 장벽 금속막들(115a, 115b), 배선 금속막들(120a, 120b)들 및 캡핑 금속막들(125a, 125b)을 각각 포함할 수 있다. 정렬 마크막(135)은 "+"형, "T"형, "L"형 또는 뒤집어진 "L"형들의 평면 구조를 포함할 수 있다.

하지만, 본 발명의 다른 실시예에서, 예비 캡핑 금속막들(도 5의 125a', 125b')은 식각되지 않고, 배선 금속막(120a, 120b)의 상부 부분을 덮을 수 있다. 이 경우, 배선 금속막(130) 및 예비 배선 금속막(도 5의 130')은 서로 동일하고, 정렬 마크막(135) 및 예비 정렬 마크막(도 5의 135')은 서로 동일할 수 있다.

도 7을 참조하면, 패시베이션막(140)이 형성된 결과물 상에 투광성 보호층(150')을 형성한다. 투광성 보호층(150')은 패시베이션막(140)의 홀들(146, 148)을 매립할 수 있다. 예를 들어, 투광성 보호층(150')은 감광성 또는 비감광성 폴리이미드 층, 또는 실리콘 고무계, 에폭시계 또는 우레탄계 절연층을 포함할 수 있다.

이어서, 투광성 보호층(150') 상에 적어도 배선 금속막(120a)의 상부의 일부분(122a) 상의 투광성 보호층(150') 부분을 노출하는 제 2 포토레지스트막(152)을 형성한다.

도 8을 참조하면, 제 2 포토레지스트막(도 7의 152)을 식각 마스크로 하여, 노출된 투광성 보호층(도 7의 150') 부분을 식각하여, 투광성 보호막(150)을 형성한다. 투광성 보호막(150)은 패시베이션막(140)의 홀(148)을 매립하고, 다른 홀(146)을 노출할 수 있다. 즉, 투광성 보호막(150)은 정렬 마크막(135)의 배선 금속막(120b)의 상부의 일부분(122b)을 덮고, 패드 전극막(130)의 배선 금속막(120a)의 상부의 일부분(122a)을 노출할 수 있다. 투광성 보호막(150)은 홀(154)을 포함할 수 있고, 홀(154)은 패시베이션막(140)의 홀(146)보다 큰 폭을 가질 수 있다. 이에 따라, 투광성 보호막(150)은 패드 전극막(130) 주위의 패시베이션막(140)의 부분을 노출할 수 있다.

도 9를 참조하면, 투광성 보호막(150)이 형성된 결과물 상에 제 2 장벽 금속층(160')을 형성한다. 예를 들어, 제 2 장벽 금속층(160')은 니켈 및 구리 합금층을 포함할 수 있고, 통상의 물질막 증착법을 이용하여 형성될 수 있다.

이어서, 제 2 장벽 금속층(160') 상에 배선 금속막(120a)의 상부의 일부분(122a)을 노출하는 제 3 포토레지스트막(165)을 형성한다. 예를 들어, 포토레지스트막(165)은 투광성 보호막(150)의 홀(154)에 의해 노출된 패시베이션막(140)의 일부분을 덮고, 패시베이션막(140)의 홀(146)을 노출할 수 있다. 이에 따라, 배선 금속막(120a)의 상부의 일부분(122a) 상의 제 2 장벽 금속층(160')의 일부분(162)이 노출될 수 있다.

도 10을 참조하면, 제 3 포토레지스트막(165)에 의해 노출된 제 2 장벽 금속층(160') 상에 범프(170)를 형성한다. 이어서, 제 3 포토레지스트막(165)을 제거한다. 예를 들어, 범프(170)는 금(Au)막을 포함할 수 있고, 도금을 이용하여 형성될 수 있다. 하지만, 본 발명의 다른 실시예에서, 제 2 장벽 금속층(160')이 생략되고, 범프(170)가 패드 전극막(130) 상에 형성될 수도 있다.

도 11을 참조하면, 범프(170)로부터 노출된 제 2 장벽 금속층(도 10의 160') 부분을 제거하여 제 2 장벽 금속막(160)을 형성한다. 이에 따라, 범프(170) 및 배선 금속막(120a)의 상부의 일부분(122a) 사이, 및 범프(170) 및 패시베이션막(140) 사이에 제 2 장벽 금속막(160)이 개재된다.

제 2 장벽 금속층(160')의 일부분의 제거 단계 동안, 투광성 보호막(150)은 정렬 마크막(135)을 보호하는 식각 마스크의 역할을 할 수 있다. 만일 투광성 보호막(150)이 정렬 마크막(135)을 덮고 있지 않으면, 제 2 장벽 금속층(160')의 일부분의 제거 단계는 보다 복잡한 단계를 거쳐 진행되거나, 정렬 마크막(135)의 일부분이 손상될 수 있을 것이다. 이에 따라, 제 2 장벽 금속층(160')의 일부분의 제거 단계가 간소화되고, 정렬 마크막(135)의 일부분이 손상이 방지될 수 있다.

실험예

표 1은 본 발명의 실시예에 따른 반도체 소자 및 종래 구조의 반도체 소자의 정렬 특성을 비교한 것이다.

[표 1]

구 분	시료	그레이 스케일 (정렬 마크막)	그레이 스케일 (필드 영역)	△ 그레이 스케일
그룹 I	#1	117	64	53
	#2	119	64	55
그룹 II	#1	114	60	54
	#2	110	57	53
그룹 III	#1	107	142	-35
	#2	113	142	-29

그룹 I 및 그룹 II는 본 발명의 실시예에 따른 반도체 소자를 나타내고, 도 3에 도시된 바와 같이 반도체 소자의 정렬 마크막(135) 상에는 투광성 보호막(150)의 예로서 폴리이미드막이 형성되어 있다. 그룹 III는 종래 반도체 소자를 나타내고, 도 1에 도시된 바와 같이, 정렬 마크막(55) 상에 패시베이션막(60)이 형성되어 있다. 그룹 I과 그룹 II는 폴리이미드막의 두께를 달리한 것으로서, 그룹 I은 약 $3 \mu\text{m}$ 두께의 폴리이미드막을 갖고, 그룹 II는 약 $3.8 \mu\text{m}$ 두께의 폴리이미드막을 갖는다.

표 1의 결과를 보면, 종래의 반도체 소자에 대한 그룹 III에서 정렬 마크막(135) 및 필드 영역 사이의 색상 차이를 나타내는 그레이 스케일의 차이 값은 -29 내지 -35(임의 스케일)로 비교적 낮고 넓은 범위를 갖는다. 하지만, 본 발명의 실시예에 따른 반도체 소자에 대한 그룹 I 및 그룹 II에서 그레이 스케일의 차이 값은 53 내지 55(임의 스케일)로 그룹 III보다 높고 균일한 것을 알 수 있다.

따라서, 표 1의 결과로부터 첫째, 본원 발명에 따른 반도체 소자의 경우 종래보다 필드 영역과 정렬 마크막 사이에 높은 그레이 스케일의 차이, 즉 색상 차이를 갖는다는 것을 알 수 있다. 이에 따라, 광 정렬 장치에서 정렬 민감도가 높아질 수 있다. 둘째, 본원 발명에 따른 반도체 소자의 경우, 폴리이미드막의 두께 변화가 있더라도 그레이 스케일의 차이, 즉 색상 차이가 거의 없는 것을 알 수 있다. 따라서, 폴리이미드막의 두께가 공정 산포를 갖는다고 할지라도, 반도체 소자들이 오류 없이 정렬될 수 있다.

본 발명의 특정 실시예들에 대한 이상의 설명은 예시 및 설명을 목적으로 제공되었다. 따라서, 본 발명은 상기 실시예들에 한정되지 않으며, 본 발명의 기술적 사상 내에서 해당 분야에서 통상의 지식을 가진 자에 의하여 상기 실시예들을 조합하여 실시하는 등 여러 가지 많은 수정 및 변경이 가능함은 명백하다.

발명의 효과

본 발명에 따른 반도체 소자에 따르면, 투광성 보호막의 형성 단계에서 공정 산포에 의해 그 두께가 변화되더라도, 정렬 마크막 부분의 색상은 일정하게 유지될 수 있다. 즉, 필드 영역과 정렬 마크막 부분의 색상 차이가 일정하게 유지될 수 있다. 이에 따라, 광 정렬 장치는 투광성 보호막의 두께가 조금 다르더라도, 반도체 소자를 오류 없이 정렬시킬 수 있다. 예를 들어, COG 방식의 조립 단계에서, 반도체 소자 및 유리 기판은 정렬 마크막을 이용하여 오류 없이 정렬될 수 있다.

본 발명에 따른 반도체 소자의 제조 방법에 따르면, 제 2 장벽 금속층의 일부분의 제거 단계 동안, 투광성 보호막은 정렬 마크막을 보호하는 쇠각 마스크의 역할을 할 수 있다. 이에 따라, 제 2 장벽 금속층의 일부분의 제거 단계가 간소화되고, 정렬 마크막의 일부분이 손상이 방지될 수 있다.

도면의 간단한 설명

도 1은 종래 정렬 마크 구조를 갖는 반도체 소자를 보여주는 단면도이고;

도 2는 본 발명의 실시예에 따른 반도체 소자를 보여주는 평면도이고;

도 3은 도 2의 반도체 소자의 III-III'선에서 절취한 단면도이고; 그리고

도 4 내지 도 11은 본 발명의 실시예에 따른 반도체 소자의 제조 방법을 보여주는 단면도들이다.

<도면의 주요 부분에 대한 설명>

105...반도체 기판 110...층간 절연막

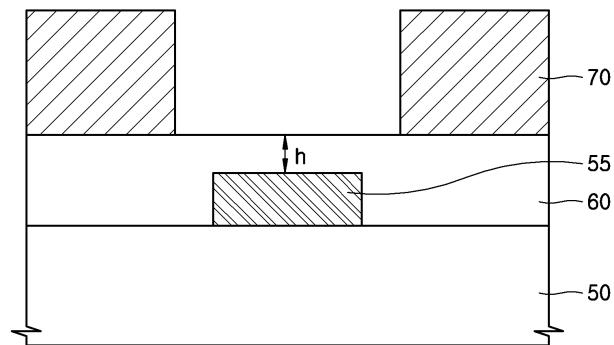
130...패드 전극막 135...정렬 마크막

140...패시비이션막 150...투광성 보호막

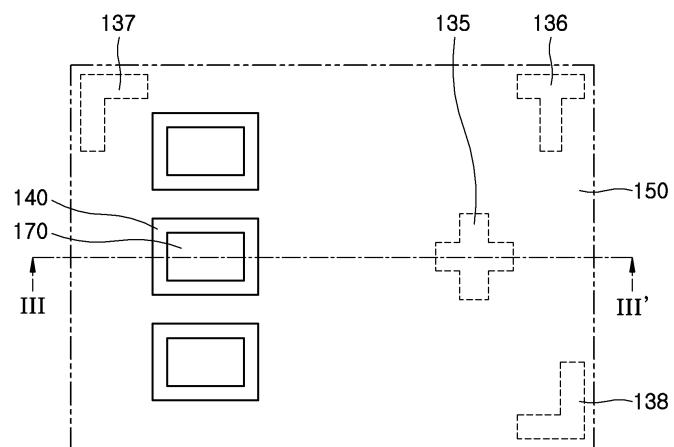
160...제 2 장벽 금속막 170...범프

도면

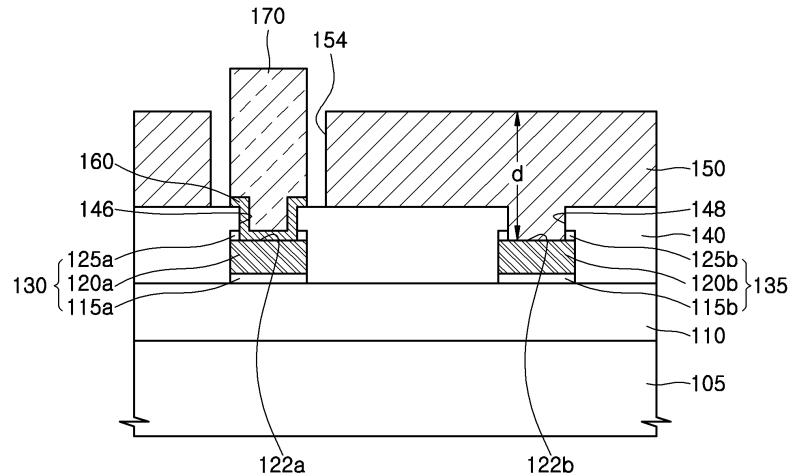
도면1



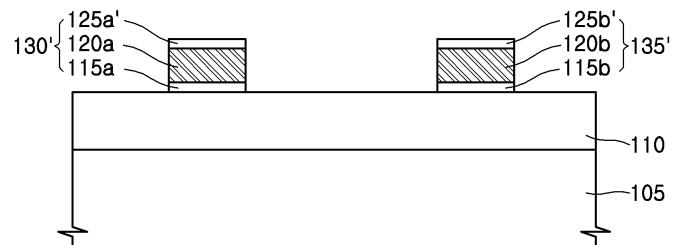
도면2



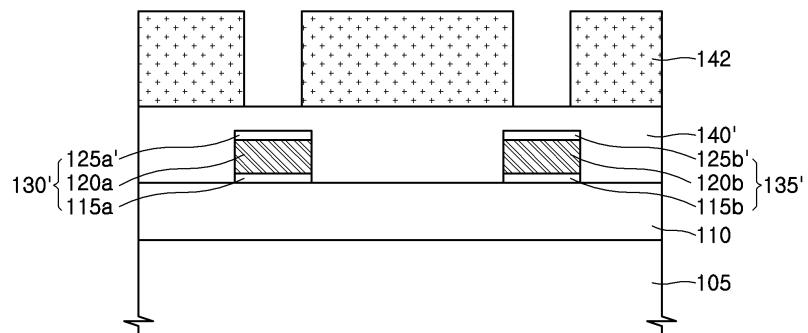
도면3



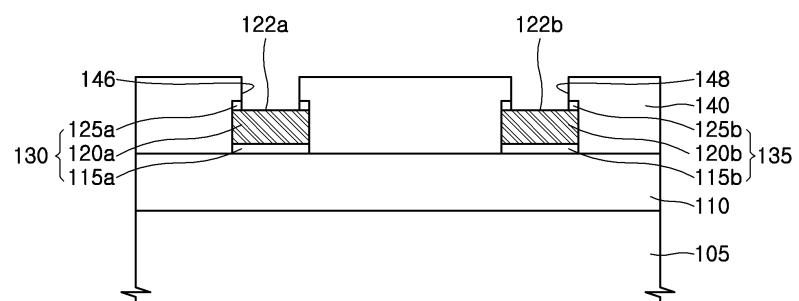
도면4



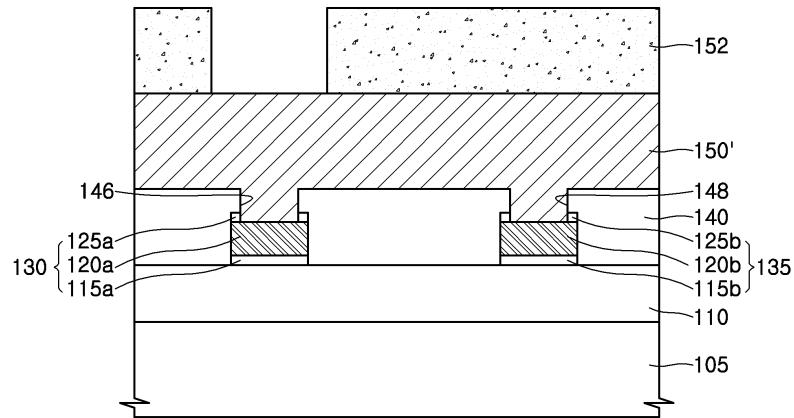
도면5



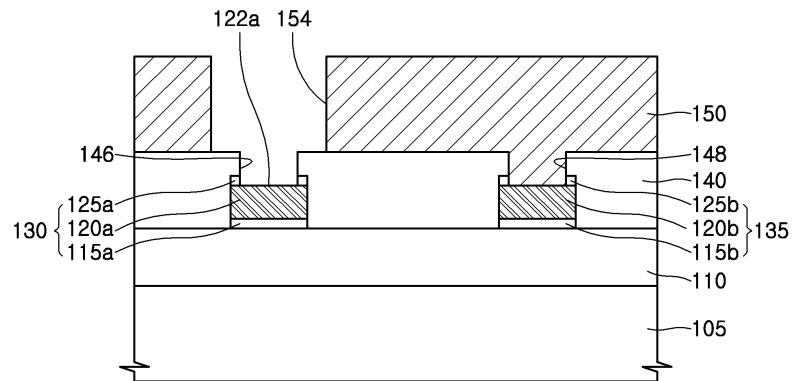
도면6



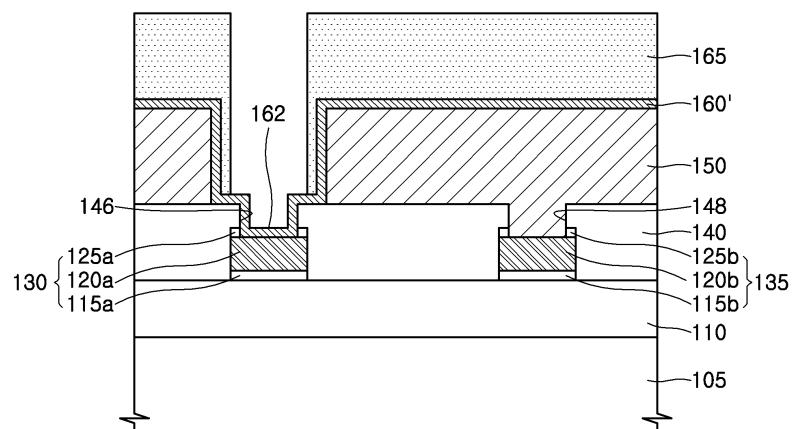
도면7



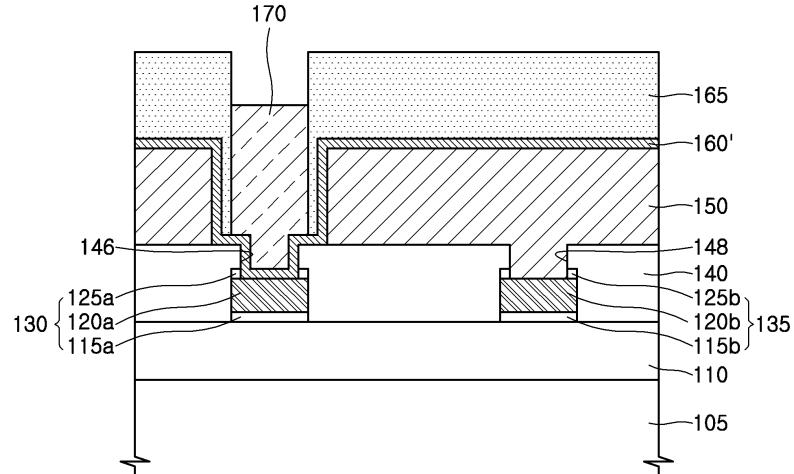
도면8



도면9



도면10



도면11

