(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G11C 11/407

(45) 공고일자 1999년10월15일
(11) 등록번호 10-0224052
(24) 등록일자 1999년07월12일

(21) 출원번호 10-1996-0039227
(65) 공개번호 특1997-0017604
(22) 출원일자 1996년09월11일
(43) 공개일자 1997년04월30일
(30) 우선권주장 95-234520 1995년09월12일 일본(JP)

(73) 특허권자 가부시끼가이샤 도시바 니시무로 타이죠
일본국 가나가와껭 가와사끼시 사이와이꾸 호리가와쪼 72반지
(72) 발명자 도다 하루끼
일본 가나가와껭 가와사끼시 사이와이꾸 호리까와쪼 580-1 가부 시끼가이샤 도시바 세미컨덕터 시스템 엔지니어링 센터 내
(74) 대리인 구영창, 장수길

심사관 : 장현근

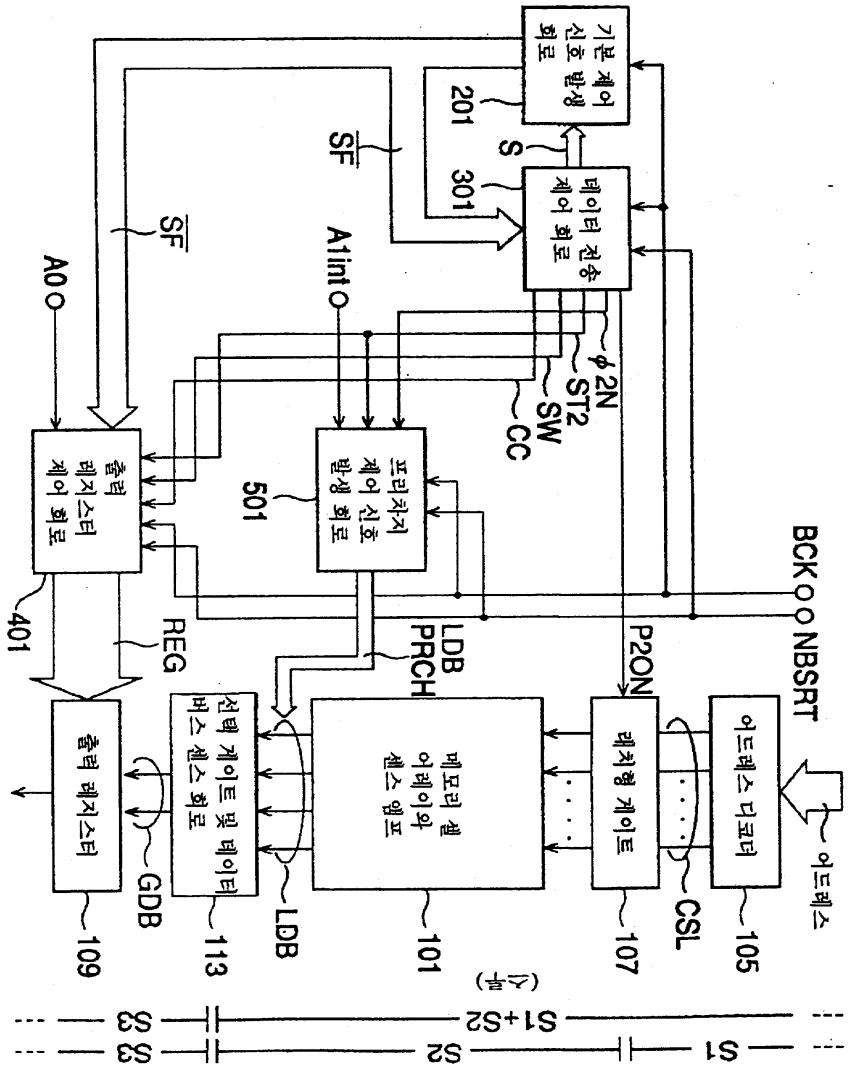
(54) 싱크로너스 반도체 메모리 장치와 그의 동작 방법

요약

시리얼 데이터 출력을 실행하기 위한 출력 레지스터를 가지면서도 제한 사이클 이오의 사이클에서도 어드레스를 데이터 전송 경로로 인도할 수 있고 또한 소비전력이 적은 싱크로너스 반도체 메모리 장치를 제공한다.

버스트 클럭 BCK의 2사이클에 대응한 사이클에 셀에서의 시리얼 액세스 동작을 시작할 때, 제1 내지 제3 파이프라인 스테이지 S1 내지 S3 모두를 분리시키지 않고 제1 파이프라인 스테이지 S1과 S2를 스루 상태로 하고, 버스트 클럭 BCK이 2사이클에서 벗어난 사이클에 새로운 셀에서이 시리얼 액세스의 동작을 시작할 때, 제1 내지 제3 파이프라인 스테이지 S1 내지 S3 모두를 분리시키는 파이프라인 제어회로를 포함하는 데이터 전송 제어 회로(301)를 갖는다.

대표도



명세서

도면의 간단한 설명

도1은 본 발명의 실시형태를 포함하는 SDRAM의 개략도.

도2는 데이터의 진행 상태를 도시한 도면.

도3은 도1에 도시한 SDRAM의 회로도.

도4는 디코더의 회로도.

도5는 출력 레지스터의 개략도로서, (a)도는 한 상태를 도시한 도면, (b)도는 다른 상태를 도시한 도면.

도6은 출력 레지스터의 회로도

도7은 데이터 전송 제어계 회로의 블럭도.

도8은 도7의 보다 상세한 블럭도.

도9는 기본 제어 신호 발생 회로의 회로도.

도10은 래치 회로의 회로도.

도11은 어드레스 재설정 검출 회로의 회로도.

도12는 전송 신호 발생 회로의 회로도.

도13은 우수 사이클·기수 사이클 판정 회로의 회로도

도14는 다른 우수 사이클·기수 사이클 판정 회로의 회로도.

도15는 파이프라인 제어 신호 발생 회로의 회로도.

도16은 프리차지 제어 신호 발생 회로의 회로도.

도17은 어드레스 버스 AB1 및 AB2와 LDB및 하위 비트 A0, A1의 대응 관계를 도시한 도면.

도18은 CSL과 LDB의 선택 관계를 도시한 도면.

도19는 SDRAM의 동작 파형도.

도20은 SDRAM의 동작 파형도.

도21은 구분 변경 신호 전환 회로의 회로도.

도22는 구분 신호 발생 회로의 회로도.

도23은 레지스터 선택 신호 발생 회로의 회로도.

도24는 신호 SW 및 신호 CC의 레벨과 출력 레지스터 R1 내지 R4의 대응 관계를 도시한 도면.

도25는 출력 레지스터의 주변 회로의 동작 파형도.

도26은 출력 레지스터의 주변 회로의 동작 파형도.

도27은 파이프라인방식의 SDRAM의 개략도

도28은 데이터의 진행 상태를 도시한 도면.

도29는 레지스터방식의 SDRAM의 개략도.

도30은 데이터의 진행 상태를 도시한 도면.

도31은 파이프라인방식의 SDRAM의 데이터 전송과 레지스터방식의 SDRAM의 데이터 전송의 비교도.

* 도면의 주요부분에 대한 부호의 설명

101 : 메모리 셀 어레이와 센스 앰프　　105 : 어드레스 디코더

107 : 래치형 게이트　　109 : 출력 레지스터

113 : 선택 게이트 및 데이터 버스 센스 회로

201 : 기본 제어 신호 발생 회로　　301 : 데이터 전송 제어 회로

311 : 우수 사이클·기수 사이클 판정 회로　　321 : 어드레스 재설정 검지 회로

331 : 파이프라인 제어 신호 발생 회로　　341 : 전송 신호 발생 회로

401 : 출력 레지스터 제어 회로　　411 : 구분 변경 신호 전환 회로

421 : 구분 신호 발생 회로　　431 : 레지스터 선택 신호 발생 회로

501 : 프리차지 제어 신호 발생 회로

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 싱크로너스 반도체 메모리 장치에 관한 것이다

시스템은 보다 대량으로 데이터를 처리하도록 진화하고 있어, 처리 속도의 고속화는 항상 요구되고 있다.

이와 같은 상황하에서, 처리를 컨트롤하는 MPU에 있어서는 그 처리의 고속화가 상당한 페이스로 진행할 수 있다. 이것에 반하여, 메모리 장치에 있어서는 대기억용량화가 상당한 페이스로 진행하고 있긴 하지만, 처리의 고속화는 MPU에 비하여 상당히 느린 페이스이다. 이 때문에 MPU와 메모리 장치 사이의 데이터 처리 속도의 차는 확대대기만 한다.

이와 같은 속도차를 해소하기 위해, 종래 메모리 장치의 제어 방식과는 다른 방식에 의해 장치의 동작을 제어하고, 데이터 전송 레이트를 향상시킨 메모리 장치가 등장하였다. 이것이 싱크로너스 메모리 장치이다. 이 싱크로너스 메모리 장치의 대표예는 시스템 클럭에 동기하여 제어되는 다이나믹형의 RAM이다. 이하, 본 명세서에서는 이 종류의 다이나믹형 RAM을 싱크로너스 DRAM이라고 하고 SDRAM으로 약기한다. SDRAM의 기본 동작은 이미 일본 특허 공개공보 평성 5-2873호에 의해 공개되어 있다. 더 구체적인 제품으로서의 발표도 신학기보 SDM93-142, ICD93-136(1993-11)에 의해 이루어지고 있다.

본 명세서에서는 SDRAM의 사양 설명은 생략하지만, SDRAM에서는 시리얼 액세스되는 버스트 데이터를 어떻게 고속 사이클로 리드하는 가가 중요하게 되고, 그 사양 및 그것을 실현하는 아키텍쳐는 파이프라인방식과 레지스터방식의 두개로 대별된다. 이하, 이들 방식의 개요를 설명한다.

[파이프라인방식]

도27은 파이프라인방식의 SDRAM의 개략도이다.

도27도 도시된 메모리 셀 어레이와 센스 앰프(601)는 널리 알려진 것이고, 선택된 워드선에 속하는 일련의 셀에서의 미소 전하 신호(데이터)를 비트선으로 리드하고, 이것을 센스 증폭한다. 이 센스 앰프에 유

지된 데이터를 고속으로 리드하기 위해 파이프라인 동작이 사용된다. 어드레스의 페치에서 데이터의 출력까지의 파이프라인 스테이지의 수는 고작 3단이다. 도27에는 이 3단의 파이프라인 스테이지 S1, S2, S3을 갖는 SDRAM이 도시되어 있다.

도27에 도시한 바와 같이, 신호 P1, P2는 외부에서의 제어 클럭 CLK의 업에지에서 데이터를 페치하고, 유지하며, 그리고 출력하는 래치형의 게이트(603),(605)를 제어하기 위해 매사이클 구동되는 제어신호이다. 신호 P3은 도통형 게이트(607)를 제어하기 위한 제어 신호이다. 래치형의 게이트(603), (605)는 각각 제어신호 P1, P2의 업 에지에서 입력 데이터를 래치하고 또한 유지하고 그리고 출력하기를 계속한다.

또한, 3단의 스테이지 S1, S2, S3은 각각 다음의 기능을 갖는다.

(제1스테이지 S1)

외부에서 주어지는 버스트 액세스의 선두 어드레스 또는 이 어드레스에 관련하여 장치 내부에서 발생된 내부 어드레스(이들 어드레스는 Ai로 도시되어 있음)를 제어 신호 P1에 따라 페치하고 페치된 어드레스를 어드레스 디코더(609)에서 디코드하여, 엑세스 컬럼을 선택하는 신호를 만든다. 간단하게는 입력 어드레스에서 어드레스 디코더의 출력을 확정하는 스테이지이다.

(제2스테이지 S2)

액세스 컬럼을 선택하는 신호를 래치하고, 컬럼을 선택하며, 그리고 센스 앰프에 유지된 데이터를 로컬 데이터 버스(이하, LDB라 함)로 송출한다. LDB는 모든 컬럼에 컬럼을 선택하는 신호에 의해 제어되는 게이트를 거쳐 접속되어 있고, 선택된 컬럼의 데이터만을 전송한다. 간단하게는 확정된 어드레스 디코더의 출력에 따라 추출된 데이터를 LDB로 전송하는 스테이지이다.

(제3 스테이지 S3)

LDB로 전송된 데이터를 도통하여, 데이터 버스 센스 앰프(611)에서 센스한 후, 글로벌 데이터 버스(이하, GDB라 함)를 거쳐, 데이터를 출력 버퍼(613)에서 출력(이 출력은 Q로 도시되어 있음)한다. 간단하게는 LDB로 전송된 데이터를 장치 외부로 출력하는 스테이지이다.

도28은 파이프라인방식의 SDRAM에 있어서의 각 스테이지내의 데이터 진행 상태를 도시한 도면이다.

도28에 도시한 바와 같이, 버스트 데이터의 액세스가 화살표(615)로 나타낸 사이클에서 시작하였다고 하면, 각 스테이지 S1, S2, S3은 매사이클에서 순차 데이터를 전송하므로, 모든 스테이지 S1, S2, S3은 매사이클에서 활성되어 있다. 또한, 어드레스 Ai는 매사이클 임으로서 좋으므로 랜덤한 데이터 출력도 가능하다. 단 레이턴시(latency), 즉 어드레스의 페치 사이클부터 그 어드레스에 의해 지정된 데이터의 출력 사이클까지의 사이클 수는 최저 3사이클 필요하다(이것을 레이턴시 3의 SDRAM이라 함).

[레지스터방식]

도29는 레지스터방식의 SDRAM의 개략도이다.

도29에는 2비트를 동시에 리드하는 레지스터방식 SDRAM이 도시되어 있다. 도29에 도시한 바와 같이, 메조리 셀 어레이와 센스 앰프(601)는 파이프라인방식의 것과 같다. 레지스터방식의 SDRAM에서는 파이프라인방식의 SDRAM과 달리, 명확히 구분된 스테이지를 마련할 필요는 없다. 그러나, 굳이 스테이지를 가상으로 마련하는 것으로 한다. 본 발명의 이해를 돕기 위한 것이다. 레지스터방식의 SDRAM은 그 동작상, 크게 2개의 스테이지 S1, S2로 나눌 수 있다. 이들 2개의 스테이지 S1, S2는 각각 다음의 기능을 갖는다.

(제1스테이지 S1)

버스트 액세스 데이터의 선두 번지나 그것에 이어지는 시리얼 액세스의 어드레스(이들 어드레스는 Ai로 도시되어 있음)를 제어 신호 P1에 따라 페치하고, 페치된 어드레스를 어드레스 디코더(709)에서 디코드하여 몇개의 컬럼을 선택하여 복수 컬럼에서 동시에 LDB로 데이터를 전송한다. 간단하게는 입력 어드레스에서 어드레스 디코더의 출력을 확정하고, 확정된 어드레스 디코더의 출력에 따라 추출된 데이터를 LDB로 전송하는 스테이지이다.

(제2스테이지 S2)

LDB로 나오고 있는 데이터에서 2비트를 선택하고, 이들을 센스하여 GDB로 데이터를 송출하고 또한 출력 레지스터(713)에 저장한다. 저장된 데이터는 출력 레지스터(713)에서 2사이클로 1비트씩 출력(이들 출력은 Q로 도시되어 있음)된다. 간단하게는 LDB로 전송된 데이터를 장치 외부로 출력하기 위한 스테이지이다.

도30은 레지스터방식의 SDRAM에 있어서의 각 스테이지내의 데이터 진행 상태를 도시한 도면이다.

도30에 도시한 바와 같이, 버스트의 개시부터 2사이클 거쳐 데이터가 LDB로 나오고 있다. 레지스터방식이 파이프라인방식과 다른 점은 일련의 동작이 데이터 전송의 능력에 의해 결정되어 있어, 외부에서의 클럭에 의해 강제적인 제어, 즉 1사이클에서 데이터를 그대로 전송하는 것이 규정되어 있지 않은 것이다. 전송된 데이터는 3사이클째와 4사이클째에 출력되고, 그 사이에 다음 2사이클분의 데이터가 마찬가지로 LDB로 나아간다. 파이프라인방식과 비교하면, 각 스테이지는 2사이클에 한번의 동작을 하는 것으로 된다. 내부에서 발생되는 어드레스는 2사이클 간격이고, 어드레스의 갱신 가능한 사이클도 2사이클 마다로 된다(이것을 제한 사이클이라함).

발명이 이루고자 하는 기술적 과제

이상과 같이 파이프라인방식의 SDRAM, 레지스터방식의 SDRAM에는 각각 고유의 특징이 있다.

예를 들면, 파이프라인방식의 SDRAM은 데이터를 전송하는 시스템을 구성하는 데에 필요한 회로가 적어,

비교적 용이하게 구성할 수 있고, 또한 액세스 어드레스의 갱신 등에 유연성이 있다. 이 반면, 데이터 전송이 사이클에 의해 강제적으로 구분되므로, 장치의 능력을 최고의 효율로 발휘할 수 없다. 그 때문에, 각 스테이지가 매사이클 동작하기 위해 소비 전력이 많게 된다.

또한, 레지스터방식의 SDRAM은 데이터 전송이 사이클에 의해 강제적으로 구분되는 일이 없어, 데이터전송에 복수의 사이클을 이용할 수 있으므로, 내부 동작에 최적으로 되도록 데이터의 전송을 실행할 수있다. 이 때문의 장치의 능력을 최고의 효율로 발휘시키는 것이 가능하고, 동작의 고속화에 더욱 적절하다. 또한 각 스테이지는 몇개의 사이클에서 한번 동작하기 위해 소비 전력도 적다. 그러나, 액서스 어드레스의 변경은 스피드를 희생하여 사이클 타임을 배로 하지 않는 한, 복수의 몇 사이클 간격으로 제한된다. 또한, 파이프라인방식에 비해, 레지스터 등, 데이터를 전송하는 시스템을 구성하기 위해 몇개의 회로를 부가할 필요가 있어 구성이 곤란하다.

도31은 파이프라인방식의 SDRAM의 데이터 전송과 레지스터방식의 SDRAM의 데이터전송의 비교도이다.

도31에 도시된 P1, P2, P3은 각각 파이프라인의 각 스테이지의 시작사이클을 나타내고 있다.

도31에 도시한 바와 같이, 먼저 사이클 P1에서, 어드레스가 페치되고, 어드레스 디코더의 출력이 확정된다. 여기까지는 파이프라인방식, 레지스터방식과도 같다. 파이프라인방식에서는 사이클 P2에서 시작하고, 도27에 도시한 제2 스테이지 S2가 존재하지만, 레지스터방식에서는 존재하지 않는다. 이 때문에, 파이프라인방식과 레지스터방식에서는 메모리 셀의 데이터를 LDB로 전송하기 위한 컬럼 선택선 CSL의 선택 확정 타이밍이 다르다. 상세하게는 파이프라인방식의 확정 타이밍이 클럭에 동기하여 사이클 P2부터로 되는 것에 대하여, 레지스터방식의 확정 타이밍은 사이클 P2로 율속되는 것이 아니고, 사이클 P1내의 거의 디코더의 출력이 확정한 직후로 된다. 또한, 컬럼 선택선 CSL의 선택이 확정되면, 컬럼 게이트(도통 게이트(506)에 상당함)이 도통하고, 데이터가 LDB로 나가는 것은 파이프라인방식, 레지스터방식이 모두 같다.

마지막으로, 사이클 P3에서, 데이터 버스 센스가 실행되고, 데이터가 출력된다. 이것도 파이프라인방식, 레지스터방식 모두 같다.

도31에 의해 비교된 파이프라인방식, 레지스터방식은 각각 액세스가 시작하고 나서, 3사이클째에서 데이터가 출력되는 소위 레이턴시 3 SDRAM이다. 레이턴시 3의 SDRAM에서, 파이프라인방식과 레지스터방식을 비교하여 보면, 도31에 도시된 시간 T만큼 레지스터방식 쪽에 마진이 있는 것으로 된다. 이것은 파이프라인방식에서는 사이클 타임내에서의 동작적 여유가 없는 스테이지의 마진에서, 모든 동작의 마진이 결정되는 것에 대하여, 레지스터방식에서는 그와 같은 일이 없기 때문이다.

본 발명은 상기와 같은 점을 감안하여 이루어진 것으로, 제1 목적은 시리얼 데이터 출력을 실행하기 위한 출력 레지스터를 가지면서도 제한 사이클 이외의 사이클부터도 어드레스를 데이터 전송 경로로 인도할 수 있고 또한 소비 전력이 적은 싱크로너스 반도체 메모리 장치를 제공하는 것에 있다.

또한, 제2 목적은 제한 사이클 이외의 사이클에 어드레스가 데이터 전송 경로로 인도되어도 출력 레지스터에서 데이터를 끊임없이 시리얼 출력할 수 있는 싱크로너스 반도체 메모리 장치를 제공하는 것에 있다.

또한, 제3 목적은 액세스 어드레스의 변경에 자유도가 있으면서도, 데이터 전송의 효율을 높이는 것이 가능하고, 또한 소비 전력이 적은 싱크로너스 반도체 메모리 장치를 제공하는 것에 있다.

또한, 제4 목적은 제한 사이클 이외의 사이클부터도, 어드레스를 데이터 전송 경로로 인도하는 것이 가능한 싱크로너스 반도체 메모리 장치의 제작 방법을 제공하는 것에 있다.

상기 제1 목적을 달성하기 위해, 본 발명에 관한 싱크로너스 반도체 메모리에서는 데이터를 클럭의 사이클마다 적어도 1개씩 시리얼로 출력하는 싱크로너스 반도체 메모리 장치에 있어서, 어드레스를 장치 내부로 페치하기 위한 어드레스 페치 수단, 페치된 어드레스를 디코드하는 디코드 수단, 데이터를 기억하기 위한 메모리 셀이 복수개 배치되어 있는 메모리 셀 어레이, 상기 메모리 셀에 전기적으로 결합된 데이터 버스, 상기 메모리 셀에 기억되어 있는 데이터 중, 상기 디코드된 어드레스에 대응한 데이터를 상기 데이터 버스로 전송시키는 전송 수단, 상기 데이터 버스에 전기적으로 결합된 출력 레지스터, 상기 데이터 버스로 전송된 데이터를 일시에 a개씩 상기 출력 레지스터로 전송시키는 전송 수단, 및 상기 출력 레지스터로 전송된 a개의 데이터를 상기 클럭에 동기시켜 시리얼로 출력시키는 출력 수단을 구비한다. 그리고, 상기 어드레스 페치 수단에서 상기 출력 레지스터까지의 신호 경로가 N개의 파이프라인 스테이지로 분리되고, 클럭의 m 사이클에서 각 파이프라인 스테이지의 데이터가 전송되고, 데이터의 액세스가 상기 클럭의 a 사이클에 대응한 사이클부터 시작되었을 때, 상기 N개의 파이프라인 스테이지 모두를 분리시키기 않고, 상기 파이프라인 스테이지중 연속한 n(=a/m)개의 파이프라인 스테이지가 스루되고, 데이터의 액세스가 상기 클럭의 a사이클에서 벗어난 사이클부터 시작되었을 때, 상기 N개의 파이프라인 스테이지 모두를 분리하는 것을 특징으로 하고 있다.

상기 제2 목적을 달성하기 위해, 본 발명에 관한 싱크로너스 반도체 메모리에서는 데이터를 클럭의 사이클마다 적어도 1개씩 시리얼로 출력하는 싱크로너스 반도체 메모리 장치에 있어서, 어드레스를 장치 내부로 페치하기 위한 어드레스 페치 수단, 페치된 어드레스를 디코드하는 디코드 수단, 데이터를 기억하기 위한 메모리 셀이 복수개 배치되어 있는 메모리 셀 어레이, 상기 메모리 셀에 전기적으로 결합된 데이터 버스, 상기 메모리 셀에 기억되어 있는 데이터 중, 상기 디코드된 어드레스에 대응한 데이터를 상기 데이터 버스로 전송시키는 전송 수단, 상기 데이터 버스에 전기적으로 결합된 출력 레지스터, 상기 데이터 버스로 전송된 데이터를 일시에 a개씩 상기 출력 레지스터로 전송시키는 전송 수단, 및 상기 출력 레지스터로 전송된 a개의 데이터를 상기 클럭에 동기시켜 시리얼로 출력시키는 출력 수단을 구비한다. 그리고 상기 출력 레지스터는 k개 있고, 상기 k개의 출력 레지스터에 각각 데이터의 액서스 순으로 0번부터 k-1번까지의 번호를 부여하고, 상기 출력 레지스터에서의 데이터 출력 순서는 순회적으로 항상 상기 번호 순이고, 데이터의 액세스가 상기 클럭의 a사이클에 대응한 사이클부터 시작하였을 때, 상기 데이터 버스로 전송된 데이터를 0번부터 a-1번까지의 출력 레지스터의 조와 a번부터 2a-1번까지의 출력 레지스터의 조로 a 사이클마다 a개씩 교대로 전송시키고, 데이터의 액세스가 상기 클럭의 a사이클에 대응한 사이클에서 i(mod 2a)사이클 벗어난 사이클부터 시작 하였을 때, 상기 출력 레지스터의 조를 다시 짜서, 상기 데이터

버스로 전송된 데이터를 i(mod 2a)번부터 i+a-1(mod 2a)번까지의 출력 레지스터의 조와 i+a(mod 2a)번에서 i+2a-1(mod 2a)번까지의 출력 레지스터의 조로 a사이클마다 a개씩 교대로 전송시키는 것을 특징으로 하고 있다. 여기서, 상기 i와 상기 a의 관계는 $0 \leq i \leq a-2$, $a \leq i \leq 2a-2$로 한다.

상기 제3목적을 달성하기 위해, 본 발명에 관한 싱크로너스 반도체 메모리에서는 데이터를 클럭의 사이클마다 적어도 1개씩 시리얼로 출력하는 싱크로너스 반도체 메모리 장치에 있어서, 어드레스를 장치 내부로 페치하기 위한 어드레스 페치 수단, 페치된 어드레스를 디코드하는 디코드 수단, 데이터를 기억하기 위한 메모리 셀이 복수개 배치되어 있는 메모리 셀 어레이, 상기 메모리 셀에 전기적으로 결합된 데이터 버스, 상기 메모리 셀에 기억되어 있는 데이터 중, 상기 디코드된 어드레스에 대응한 데이터를 상기 데이터 버스로 전송시키는 전송 수단, 상기 데이터 버스에 전기적으로 결합된 출력 레지스터, 상기 데이터 버스로 전송된 데이터를 일시에 a개씩 상기 출력 레지스터로 전송시키는 전송 수단, 및 상기 출력 레지스터로 전송된 a개의 데이터를 상기 클럭에 동기시켜 시리얼로 출력시키는 출력 수단을 구비한다. 그리고, 상기 어드레스 페치 수단에서 상기 출력 레지스터까지의 신호 경로가 N개의 파이프라인 스테이지로 분리되고, 클럭의 m사이클에서 각 파이프라인 스테이지의 데이터가 전송되고, 데이터의 액세스가 상기 클럭의 a사이클에 대응한 사이클로부터 시작하였을 때, 상기 N개의 파이프라인 모두를 분리시키지 않고, 상기 파이프라인 스테이지중 연속한 n(=a/m)개의 파이프라인 스테이지가 스루되고, 데이터의 액세스가 상기 클럭의 a사이클로 벗어난 사이클부터 시작하였을 때, 상기 N개의 파이프라인 스테이지 모두를 분리하고, 상기 출력 레지스터는 k개 있고, 상기 k개의 출력 레지스터에 각각 데이터의 액세스순으로 0번부터 k-1번까지의 번호를 부여하고, 상기 출력 레지스터에서의 데이터 출력 순서는 순회적으로 항상 상기 번호순이고, 데이터의 액세스가 상기 클럭의 a사이클에 대응한 사이클부터 시작하였을 때, 상기 데이터 버스로 전송된 데이터를 0번부터 a-1번까지의 출력 레지스터의 조와 a번부터 2a-1번까지의 출력 레지스터의 조로 a사이클마다 a개씩 교대로 전송시키고, 데이터의 액세스가 상기 클럭의 a사이클에 대응한 사이클에서 i(mod 2a)사이클 벗어난 사이클부터 시작되었을 때, 상기 출력 레지스터의 조를 다시 짜고, 상기 데이터 버스로 전송된 데이터를 i(mod 2a)번부터 i+a-1(mod 2a)번 까지의 출력 레지스터의 조와 i+a(mod 2a)번부터 i+2a-1(mod 2a)번까지의 출력 레지스터의 조로 a사이클마다 a개씩 교대로 전송시키는 것을 특징으로 하고 있다. 여기서, 상기 i와 상기 a의 관계는 $0 \leq i \leq a-2$, $a \leq i \leq 2a-2$로 한다.

상기 제4목적을 달성하기 위해, 본 발명에 관한 싱크로너스 반도체 메모리의 동작 방법에서는 어드레스의 입력부터 입력된 어드레스를 디코드하기 까지를 제1파이프라인 스테이지로 하고, 디코드된 어드레스부터 그 어드레스에 대응한 데이터를 데이터순으로 리드하기 까지를 제2 파이프라인 스테이지로 하고, 리드된 데이터의 데이터선으로의 입력부터 데이터를 시리얼로 출력하기 까지를 제3 파이프라인 스테이지로 하고, 상기 제1 파이프라인 스테이지부터 상기 제2 파이프라인 스테이지까지의 신호의 내부 처리를 상기 클럭의 a사이클을 사용하여 실행하는 싱크로너스 반도체 메모리 장치의 동작 방법에 있어서, 상기 클럭의 a사이클에 대응한 사이클부터 데이터의 액세스를 시작할 때, 상기 제1 파이프라인 스테이지와 상기 제2 파이프라인 스테이지를 스루 상태로 하고, 상기 클럭의 a사이클에서 벗어난 사이클로부터 새로운 데이터의 액세스를 시작할 때, 상기 제1 파이프라인 스테이지와 상기 제2파이프라인 스테이지를 분리시키고, 새로운 데이터의 액세스에 대응한 신호의 내부 처리를 상기 제1 파이프라인 스테이지에서 실행하면서, 새로운 데이터의 액세스 이전의 데이터의 액세스에 대응한 신호의 내부 처리를 상기 제2 파이프라인 스테이지 및 상기 제3 파이프라인 스테이지에서 실행시키는 것을 특징으로 하고 있다.

발명의 구성 및 작용

이하, 본 발명의 실시 형태를 설명한다. 이 설명에 있어서, 모든 도면에 걸쳐 동일 부분에 대해서는 동일 참조 부호를 붙이고, 중복하는 설명은 피한다.

도1은 본 발명의 실시 형태를 포함하는 SDRAM의 개략도이다.

도1에 도시한 바와 같이, 본 발명의 실시 형태를 포함하는 SDRAM은 메모리 셀 어레이와 센스 앰프(101), 외부에서 공급되는 제어 클럭 CLK의 업 에지에서 외부터에서의 어드레스 Ai를 페치하고, 어드레스 Ai를 래치하고, 그리고 출력하는 래치형 게이트(103), 래치형 게이트(103)에서 출력된 어드레스 Ai를 디코드하고 메모리셀 어레이의 컬럼을 선택하는 신호를 출력하는 어드레스 디코더(105), 어드레스 디코더(105)의 출력단에 접속되고 제어 신호 P2에 응답하여 어드레스 디코더(105)의 출력을 래치하고 그리고 출력하는 래치형 게이트(107), 메모리 셀 어레이의 비트선에 접속되어 있는 로컬 데이터 버스 LDB, 컬럼 로컬 데이터 버스 LDB에 마련된 도통형 게이트(111), 로컬 데이터 버스 LDB와 글로벌 데이터 버스 GDB 사이에 마련되고 로컬 데이터 버스 LDB로 리드된 데이터를 센스 증폭하여 글로벌 데이터 버스 GDB로 전하는 데이터 버스 센스 회로(113), 글로벌 데이터 버스 GDB에 접속되고 글로벌 데이터 버스 GDB에 나타난 데이터를 저장하고 그리고 출력하는 출력 레지스터(109)를 각각 기본적인 블럭으로서 포함하고 있다.

도1에 도시한 SDRAM은 도27 및 도29에 도시된 SDRAM과 거의 마찬가지의 블럭을 갖고, SDRAM 전체의 시스템으로서는 레지스터 방시에 준하고 있지만, 데이터 전송 스테이지(파이프라인 스테이지)를 움직이는 타이밍이 종래 SDRAM과 다르다.

특히, 도1에 도시한 SDRAM은 제1 파이프라인 스테이지 S1과 제2 파이프라인 스테이지 S2가 특별한 경우에만 구분되고, 다른 경우에는 서로 스루되어 하나의 파이프라인 스테이지로 된다. 이때문에, 래치형 게이트(107)는 특별한 경우에만 제1 파이프라인 스테이지 S1과 제2 파이프라인 스테이지 S2를 구분하도록 동작하고, 다른 경우에는 스루한 상태로 되어 있다. 제1 파이프라인 스테이지 S1과 제2 파이프라인 스테이지 S2를 구분하기 위한 동작은 제어 신호 P2에 의해 제어된다.

다음에 도1에 도시한 SDRAM의 동작을 설명한다.

도2는 도1에 도시한 SDRAM의 동작을 도시한 도면으로, 특히 파이프라인 스테이지내의 데이터 전송 상태가 도시되어 있다.

도2에 도시한 바와 같이, 액세스가 화살표(15)에 의해 지정된 업 에지를 시점으로하는 사이클부터 시작한다고 하고, 화살표(17)에 의해 지정된 업 에지를 시점으로 하는 사이클에서 새로운 어드레스가 설정된다

고 한다. 화살표(17)를 시점으로 하는 사이클은 도29에 도시한 레지스터방식에서 새로운 어드레스의 설정이 금지되어 있던 사이클이다. 도1에 도시한 SDRAM은 종래 새로운 어드레스의 설정이 금지되어 있던 사이클에 새로운 어드레스의 설정이 있으면 제어 신호P2가 출력되고, 래치형 게이트(107)가 활성화되고, 제1 파이프라인 스테이지 S1과 제2 파이프라인 스테이지 S2를 구분한다. 이것에 의해, 파이프라인 스테이지는 스테이지 S1, S2, S3의 3개로 나누어지고, 더우기 이들 3개의 스테이지 S1, S2, S3은 각각 서로 독립하여 동작된다. 이와 같이 3개의 스테이지 S1, S2, S3을 서로 독립하여 동작시키는 것에서 새로운 어드레스의 설정 이전의 데이터를 새로운 어드레스의 설정 이후의 데이터에 의해 파괴되는 일 없이 장치의 내부를 계속 전송시켜 갈 수 있다. 그리고, 새로운 어드레스의 설정 이전의 데이터를 출력한 후, 새로운 어드레스의 설정 이후의 데이터를 출력 레지스터(109)에서 끊임없이 출력할 수 있다.

또한, 이 때의 사이클 스피드는 파이프라인방식의 SDRAM과 같다. 도2중의 실선에 의해 구분되어 있는 2사이클은 도1에 도시한 SDRAM의 당초 동작 타이밍을 나타내고 있고, 새로운 어드레스의 설정이 된 후의 동작 타이밍은 당초 동작 타이밍에서 1사이클 어긋나서 점선에 의해 구분되어 있는 2사이클의 동작으로 된다.

도3은 도1에 도시한 SDRAM의 회로도이다.

도3에 도시한 바와 같이, 래치형 게이트(103)는 제어 신호 P1에 응답하여 어드레스 Ai를 페치하고 래치한다. 페치된 어드레스는 어드레스 디코더(105)에 의해 디코드되고 인접하는 2개의 컬럼 선택선 CSL이 선택된다. 어드레스 디코더(105)에 의해 디코드된 결과는 어드레스 페치의 사이클의 다음 사이클에서 제어 신호P2에 의해 래치형 게이트(107)에서 출력할 수 있도록 되어 있다. 단, 래치형 게이트(107)가 활성화하는 것은 상술한 바와 같이 특정 사이클, 즉 종래 어드레스의 설정이 금지되어 있던 어드레스 페치 사이클의 다음 사이클에서 새로운 어드레스의 설정이 있던 때 뿐이고, 통상의 사이클에서는 스루한 상태이다. 인접한 2개의 컬럼 선택선 CSL의 전위가 상승하면, 이미 메모리 셀에서 리드되어 센스 앰프에 유지되어 있던 데이터가 4쌍의 로컬 데이터 버스 LDB로 나아간다. 도3에 도시한 SDRAM에서는 데이터를 로컬 데이터 버스 LDB 내기까지에 어드레스가 설정된때부터 세어서 2개의 사이클이 이용된다.

데이터가 로컬 데이터 버스 LDB로 출력된 후, 선택 기능이 있는 데이터 버스 센스 회로(113)를 사용하고, 4쌍의 로컬 데이터 버스 LDB중에서 2쌍을 선택하고, 선택된 2쌍의 로컬 데이터 버스 LDB에 나타나고 있는 데이터를 각각 증폭하여, 글로벌 데이터 버스 GDB로 전송한다. 이 후, 글로벌 데이터 버스 GDB로 전송된 데이터를 출력 레지스터(109)로 전송시킨다. 이 때, 데이터는 시리얼 액세스의 어드레싱에 맞도록 설정되는 스크램블러(115)를 거쳐 출력 레지스터(109)로 전송되고, 출력 레지스터(109)가 포함하는 2개의 레지스터 R1, R2(또는 레지스터 R3, R4)에 2비트씩 저장된다. 레지스터 R1, R2(또는 레지스터 R3, R4)에 저장된 데이터는 1비트씩 출력되어 간다. 이와 같이 데이터가 로컬 데이터 버스 LDB로 출력되고 나서 출력 레지스터(109)에서 출력되기까지에는 어드레스가 설정된 때 부터 세어서 3째와 4째의 2사이클이 이용된다.

도3에 도시한 SDRAM에서는 이와 같은 동작을 도2에 도시한 바와 같이, 2사이클마다 주기적으로 반복한다. 이 2사이클마다의 주기에서 어긋난 사이클에 새로운 어드레스의 설정이 있었던 경우에는 제어 신호 P2에 의해 래치형 게이트(107)가 활성화되고, 로컬 데이터 버스 LDB에 새로운 어드레스의 설정 이전의 데이터를 출력하면서, 새로 설정된 어드레스의 디코드를 실행한다. 이와 같이 SDRAM을 동작시키는 것에서, 새로운 어드레스의 설정 이전의 데이터를 새로운 어드레스의 설정 이후의 데이터에 의해 파괴되지 않고 끝나고, 새로운 어드레스의 설정 이전의 데이터를 출력한 후에 새로운 어드레스의 설정 이후의 데이터를 출력 레지스터(109)에서 끊임없이 출력할 수 있다.

또한, 상기 구성의 SDRAM에서는 글로벌 데이터 버스 GDB에 나타나는 데이터는 사이클마다 변경되어 있고, 출력 레지스터(109)에서는 일정 순번으로 사이클마다 레지스터 R1 내지 R4중 어느 하나에서 출력되어 간다. 이것에 의해 고속인 시리얼 액세스가 실현된다. 레지스터 R1 내지 R4중 어느 하나에서 일정 순번으로 출력시키는 방식에서는 상기 2사이클마다 주기에서 어긋난 사이클에 새로운 어드레스의 설정이 있었던 때, 출력 레지스터(109)로의 데이터 저장 주기는 상기 2사이클 마다의 주기에서 어긋나 버린다. 이와 같은 저장 주기의 어긋남 대처법은 후술한다.

다음에, 인접한 2개의 컬럼 선택선 CLS의 전위를 올리는 방법에 대하여 설명한다.

도4는 어드레스 디코더(105)와 그 근방의 회로를 도시한 회로도이다.

도4에 도시한 바와 같이, 어드레스 버스 AB1, AB2가 있고, 이들 어드레스 버스 AB1, AB2는 각각 어드레스의 최하위 비트 A0가 0과 1에 대응하고 있다. 다른 어드레스 버스로 보내지는 어드레스 비트는 이것보다 상위의 비트이다. 어드레스 발생 회로(117)는 래치형 게이트(103)에서 래치된 어드레스에 플러스 1한 어드레스를 만든다. 어드레스 발생 회로(117)는 이 플러스 1된 어드레스와 래치형 게이트(103)에 래치되어 있던 어드레스를 어드레스 버스 AB1과 어드레스 버스 AB2로 송출한다. 이와 같이 하여, 인접한 2개의 컬럼 선택선 CSL의 전위를 올릴 수 있다. 어드레스 디코더(105)는 도면중 같은 부호가 붙여져 있는 것은 동일 디코드를 실행하고, 어드레스가 크게 되는 순으로 배열되어 있다. 어드레스 디코더(105)의 출력에 접통된 컬럼 선택선 CLS에는 상술한 제어 신호 P2가 입력되는 래치형 게이트(107)가 접통되어 있고, 필요에 따라 래치 동작을 실행한다. 또한, 도3 및 도4에서는 인접하는 CSL이 선택된다고 하였지만, 이들은 물리적으로 인접하고 있을 필요는 없고, 어드레싱의 공간에서 인접하고 있으면 좋다.

그리고, 상기 2사이클 마다의 주기에서 벗어난 사이클에서 새로운 어드레스의 설정이 실행되었을 때에는 래치형 게이트(107)가 활성화되고, 매 사이클마다의 파이프라인 동작이 일시적으로 실행된다. 이 때에, 출력 레지스터(109)로의 데이터 저장 주기는 지금까지의 2사이클 주기에서 어긋나서, 혼란되어 버린다. 이와 같은 데이터의 저장 주기 혼란에 대처하는 방법이 필요하다.

도5는 출력 레지스터(109)로의 데이터 저장 주기 혼란에 대처할 수 있도록한 출력 레지스터의 개략도로서, (a)도는 한 상태를 도시한 도면, (b)도는 다른 상태를 도시한 도면이다.

도5에 도시한 바와 같이, 출력 데이터로서 출력되는 신호는 출력 레지스터 R1 내지 R4를 각각 일정 순번으로 주사하는 것에 의해 얻어진다. 출력 레지스터 R1 내지 R4의 주사 순서는 새로운 어드레스의 설정 등

이 있어도, 무너지거나 또는 건너띄거나 하지 않는다. 이와 같이 주사의 순번을 붕괴하거나 또는 건너띄지 않는 것에 의해, 데이터 출력 사이클 동안에 어드레싱 변경 시간등, 여유 시간을 취할 필요가 없게 되고, 항상 고속인 사이클로 데이터를 출력하는 것이 가능하게 된다.

먼저, 도5(a)에 도시한 바와 같이, 출력 레지스터 R1과 출력 레지스터 R2(도면중, REGA1) 및 레지스터 R3과 레지스터 R4(도면중, REGB3)에 각각 2비트씩의 데이터가 저장되어 있던 것으로 한다.

최초 2사이클에서, REGA 게이트측에 2비트의 데이터가 저장되고, 그 다음 2 사이클에서 REGB 게이트측에 다음 2비트가 저장된다. 이 2사이클마다의 저장 주기 도중에, 이 저장 주기에서 벗어나서, 새로운 어드레스 설정이 있었다고 한다. 이 때에는 저장 주기에서 벗어난 사이클에 새로 설정된 어드레스에 대응하는 데이터가 글로벌 데이터 버스 GDB에 나타나게 되어, 예를 들면, 출력 레지스터 R1에서 데이터가 출력된 후, 출력 레지스터 R2에서 출력되는 데이터는 새로 설정된 어드레스에 대응하는 데이터로 된다. 그러면, 도5(b)에 도시한 바와 같이, 데이터의 저장 구분이 바뀐다.

새로 설정된 어드레스에 대응하는 데이터가 글로벌 데이터 버스 GDB에 나타나고 나서, 최초 2사이클은 출력 레지스터 R2와 출력 레지스터 R3(도면중 REGA2)로 데이터가 저장되고, 다음 2사이클에서는 출력 레지스터 R4와 출력 레지스터 R1(도면중 REGB4)에 데이터가 저장된다.

또한, 2사이클 마다의 저장 주기에 정합하여, 새로 설정된 어드레스에 대응하는 데이터가 글로벌 데이터 버스 GDB에 나타난 때에는 REGA측 게이트 및 REGB측 게이트의 구분은 변경되지 않는다. 2사이클마다의 저장 주기에서 벗어나서, 새로 설정된 어드레스에 대응하는 데이터가 글로벌 데이터 버스 GDB에 나타난 때에만 도5(a)에서 도5(b)로 또는 도5(b)에서 도5(a)로 REGA측 게이트 및 REGB측 게이트의 구분이 변경된다.

이와 같이, 2사이클마다의 저장 주기에서 벗어나서, 새로 설정된 어드레스에 대응하는 데이터가 글로벌 데이터 버스 GDB에 나타났을 때, 레지스터 R1 내지 R4의 주사 순번을 무너뜨리거나 또는 건너띄거나 하지 않고, 레지스터 R1 내지 R4의 구분 방법을 변경하는 것에서, 항상 데이터를 레지스터 R1 내지 R4에서 순번으로 출력하면, 새로운 데이터의 설정과는 관계없이, 시리얼 액세스를 실행할 수 있고, 항상 고속인 사이클로 데이터를 출력할 수 있다

도6은 도5에 도시한 출력 레지스터(109)의 회로도이다.

도6에 도시한 바와 같이, 데이터는 단자 Q에서 출력된다. 신호 HiZ가 상승하면, 출력 트랜지스터(119)가 오프하므로, 단자 Q는 하이 임피던스로 된다. 출력 레지스터 R1 내지 R4 내부에 저장되어 있는 데이터는 게이트 신호 GR1 내지 GR4가 순번으로 또한 순회적으로 상승하여 클럭드 인버터를 도통시키는 것에 의해, 단자 Q로 출력된다.

도6중 도5에 도시한 게이트 REGA 및 REGB를 구성하는 것은 전송 게이트 REG11 내지 REG42이다. 전송 게이트 REG11 내지 REG42의 도시한 바와 같이 클럭드 인버터이다. 글로벌 데이터 버스 GDB1 및 GDB2에는 각각 4쌍의 로컬 데이터 버스 LDB에 나타난 데이터중, 선택된 데이터가 전송되어 간다.

다음에, 본 발명에 관한 SDRAM의 전체적인 데이터 전송 제어에 대하여 설명한다.

도7은 본 발명의 실시 형태에 관한 SDRAM이 갖는 데이터 전송 제어계 회로의 블럭도이다.

도7에 도시한 바와 같이, 데이터 전송 제어계 회로는 외부 클럭에 따라 작성된 내부 클럭(이하, 버스트 클럭이라 함) BCK에 동기하여 동작하고, 데이터 전송이 버스트 클럭 BCK에 동기하여 실행되도록, 데이터의 전송을 제어한다. 버스트 클럭 BCK는 버스트가 시작하면 발생한다. 또한, 데이터 전송 제어계 회로에는 새로운 버스트가 개시된 것을 알리는 신호 NBSRT(이하, 신버스트 개시 신호라 함)이 입력되고, 데이터 전송 제어계 회로는 주로 버스트 클럭 BCK와 버스트 개시 신호 NBSRT의 2종류의 신호에 따라 데이터 전송을 제어하기 위한 신호군을 발생시켜 간다.

데이터 전송 제어계 회로는 기본적인 클럭으로서, 버스트 클럭 BCK에 동기하여 주로 최초 버스트 개시부터의 사이클 순에 대응한 기본 제어 신호군 /SF(선두의 /는 반전 신호 또는 부논리의 신호를 나타내는 -(바)이다. 도면중에는 부호의 상부에 -(바)를 붙이고 있다)를 발생시키는 기본 제어 신호 발생 회로(201), 버스트 클럭 BCK에 동기하고 또한 신버스트 개시 신호 NBSRT, 기본 제어 신호군 /SF군에 응답하여 파이프라인 스테이지를 분할시키는 분할 지시 신호 P2ON, 최초 버스트 개시 사이클부터 세어서, 우수 사이클인가 기수 사이클인가를 알리는 신호 Φ2N 및 새로운 버스트가 기수 사이클에서 시작하였는가, 또는 우수 사이클에서 시작하였는가를 알리는 제어 신호군 S, ST2, SW, CC 등을 발생시키는 데이터 전송 제어 회로(301), 버스트 클럭 BCK에 동기하고 또한 신버스트 개시 신호 NBSRT, 신호 ST2, SW, CC, 기본 제어 신호군 /SF, 및 어드레스의 최하위 비트 A0 각각에 따라 출력 레지스터(109)를 선택하여 제어하는 선택 제어 신호군 REG를 발생시키는 출력 레지스터 제어 회로(401), 버스트 클럭 BCK에 동기하고 또한 신버스트 개시 신호 NBSRT, 신호 ST2, Φ2N 및 어드레스의 비트 A1의 초기값 A1int 각각에 따라 LDB의 프리차지를 제어하는 LDB 프리차지 제어 신호군 LDBPRCH를 발생시키는 프리차지 제어 신호 발생 회로(501)를 포함한다.

도8은 도7에 도시한 블럭도의 더욱 상세한 블럭도이다

도8에 도시한 바와 같이, 데이터 전송 제어 회로(301)는 반전 버스트 클럭 /BCK에 동기하여 기본 제어 신호군 /SF1 내지 /SF4에 응답하고, 최초 버스트 개시의 사이클부터 세어서, 우수 사이클을 알리는 신호 Φ2N과 기수 사이클을 알리는 신호 Φ2N+1을 출력하는 우수·기수 판정 회로(311), 반전 버스트 클럭 /BCK에 동기하여 기본 제어 신호 /SF2, 기본 제어 신호 /SF4 및 신버스트 개시 신호 NBSRT에 응답하고, 기수 사이클에서 어드레스의 재설정이 있었던 것을 알리는 신호 S2 및 신호 S4를 출력하는 기수 사이클 어드레스 재설정 검지 회로(321), 버스트 클럭 BCK에 동기하여 신호 Φ2N+1과 신버스트 개시 신호 NBSRT에 응답하고, 분할 지시 신호 P2ON과 제어 신호 ST2를 출력하는 파이프라인 제어 신호 발생 회로(331), 신호 S2 및 신호 S4에 응답하고 제어 신호 S2, CC, /CC를 출력하는 전송 신호 발생 회로(341)를 포함한다.

또한, 출력 레지스터(401)는 버스트 클럭 BCK에 동기하여 제어 신호 ST2 및 제어 신호 SW에 응답하고 출

력 레지스터의 조나눔 변경을 지시하는 구분 변경 신호 SR13 및 SR24를 출력하는 구분 변경 신호 전환 회로(411), 구분 변경 신호 SR13, SR24, 기본 제어 신호군 /SR1 내지 /SF4, 및 제어 신호 CC, /CC에 응답하여 구분 신호군 REGA1 내지 REGB4를 출력하는 구분 변경 신호 발생 회로(421) 및 구분 신호군 REGA1 내지 REGB4, 신버스트 개시 신호 NBSRT 및 어드레스의 최하위 비트 A0에 응답하여 선택 제어 신호군 REG11 내지 REG42를 출력하는 출력 레지스터 선택 신호 발생 회로(431)을 포함한다.

다음에, 각 회로에 대하여 상세히 설명한다.

도9는 기본 제어 신호 발생 회로(201)의 하나의 회로예에 관한 회로도이다.

도9에 도시한 바와 같이, 기본 제어 신호 발생 회로(201)의 하나의 회로예는 버스트 클럭 BCK에 동기한 래치 회로(203)가 4단, 링형상으로 접속된 순환적인 시프트 레지스터이다.

도10은 도9에 도시한 래치 회로(203)의 회로도이다.

도10에 도시한 래치 회로(203)의 기본 동작은 다음과 같다. 먼저, 버스트 클럭 BCK가 상승하면, 래치 회로(203)는 입력 IN에 입력된 데이터를 래치하고 출력 OUT에서 출력한다. 버스트 클럭 BCK가 상승하면, 래치 회로(203)는 래치된 데이터를 출력 OUT에서 계속 출력하지만, 초단의 래치 회로(203-1)은 입력 IN에 새로운 데이터의 입력을 받아들인다.

도9에 도시한 시프트 레지스터는 데이터 전송이 실행되는 사이클에서만 발생되는 버스트 클럭 BCK에 의해 구동된다. 리세트 상태에서는 제1 출력 신호/SF1이 L레벨이고, 제2 출력 신호 /SF2 내지 제4 출력 신호 /SF4가 H레벨이다. 버스트 클럭 BCK의 사이클마다 L 레벨의 출력 상태가 제1 출력 신호 /SF1에서 제4 출력 신호 /SF4로 시프트되어 간다. 데이터의 버스트 전송 동작이 시작하여, 우수 사이클에서는 제2 출력 신호 /SF2 또는 제4 출력 신호 /SF4가 L 레벨이다. 기수 사이클에서 새로운 버스트의 선두 어드레스가 재설정되면, 제2 출력 신호 /SF2 및 제4 출력 신호 /SF4 각각에 접속된 트랜지스터(205-2), (205-4)의 게이트에 입력된 신호 S2 또는 신호 S4가 상승하고, 제2 출력 신호 /SF2 또는 제4 출력 신호 /SF4를 L 레벨로 한다. 그곳부터 새로운 버스트의 시프트 사이클이 시작한다.

또한, 본 명세서에서는 버스트의 최초 사이클을 0번 사이클로 하여, 이하 1,2와 같이 세어서 0, 2, 4,…을 우수 사이클, 1, 3,…을 기수 사이클로 정의한다.

도11은 기수 사이클 어드레스 재설정 검출 회로(321)의 회로도, 도12는 전송 신호 발생 회로(341)의 회로도이다.

도11에 도시한 검출 회로(321)는 기수번째에 설정된 새로운 버스트의 사이클이 도9에 도시한 시프트 레지스터의 어느 사이클인가를 조사한다. 제2 출력 신호 /SF2가 L 레벨인 사이클의 다음 사이클부터 새로운 버스트가 개시한다고 하면, 신호 NBSRT가 그 사이클의 처음에 상승하므로, 신호 S2가 그 사이클의 처음에 상승한다. 제4 출력 신호 /SF4가 L 레벨인 사이클의 다음 사이클부터 새로운 버스트가 개시된다고 하면 신호 NBSRT가 그 사이클의 처음에 상승하므로, 신호 S4가 그 사이클의 처음에 상승한다. 신호 S2, S4는 도9에 도시한 시프트 레지스터를 그 신호가 상승한 사이클에서 그 신호에 겸해서 설정하고, 제2 출력 신호 /SF2 또는 제4 출력 신호 /SF4를 L 레벨로 하여, 새로운 시프트 레지스터의 사이클을 시작한다.

도12에 도시한 회로에서는 신호 S2 또는 신호 S4가 최초로 상승하면, 노드 SW를 H 레벨로 상승한다. 노드 SW의 초기 상태는 L 레벨이다. 2회째에 신호 S2 또는 신호 S4가 상승하면, 노드 SW는 L 레벨로 하강한다. 이후, 노드 SW는 신호 S2 또는 신호 S4가 상승할 때마다 H, L, H,…으로 변화한다.

또한, 도12에 도시한 회로의 노드 CC의 초기 상태는 H 레벨이다. 노드 CC는 노드 SW가 H 레벨에서 L레벨로 변화할때마다 L, H,…으로 변화한다. 노드 /CC는 노드 CC의 상보 노드이고, 노드 /CC에서는 노드 CC의 레벨을 반전한 신호가 인출된다. 이들 노드 CC, 노드 /CC에서 인출되는 신호는 도5에 도시한 출력 레지스터의 데이터 저장 구분의 변경을 제어하기 위해 사용된다. 그 상세는 후술한다.

도13은 우수 사이클·기수 사이클 판정 회로(311)의 하나의 회로예에 관한 회로도이다.

도13에 도시한 하나의 회로예(311')는 도7 및 도8에 도시한 클럭과 같이 기본 제어 신호군 /SF가 아니고, 버스트 액세스가 시리얼이므로, 어드레스의 최하위 비트 A0와 내부 카운터에서의 출력 A0int를 비교하는 것에서 우수 사이클·기수 사이클을 판정한다.

도13에 도시한 바와 같이, 하나의 회로예(311')에서는 새로운 버스트 액세스의 시작에서, 그 어드레스의 최하위 비트인 A0가 래치되고 새로운 버스트의 시작을 지시하는 신호 NBSRT의 상승에서 노드 N1에 래치되어, 내부 카운터에서의 출력 A0int와 비교된다. 노드 N1의 초기값과 내부 카운터 출력 A0int의 초기값은 서로 불일치로 되도록 설정되어 있고, 이후 동작 개시후는 신호 /NBSRT와 내부 카운터 출력 A0int에 의해 변화한다. 따라서, 예를 들면 신호 Φ2N+1은 최초 사이클의 버스트 클럭 신호 BCK의 상승에서는 L 레벨로 되고, 다음 상승에서는 노드 N11과 내부 카운터 출력 A0int의 값이 일치하므로, H 레벨 등으로 변화하고, 버스트 클럭 신호 BCK의 상승에서는 항상 그 사이클의 버스트 처음의 사이클부터의 우수인가, 기수인가를 나타내는 신호가 H 레벨로 되어 있다.

도14는 우수 사이클·기수 사이클 판정 회로(311)의 다른 회로예에 관한 회로도이다.

도14에 도시한 다른 회로예(311)에서는 도7 및 도8에 도시한 블럭과 같이 기본 제어 신호군 /SF를 사용하여 우수 사이클·기수 사이클을 판정한다.

다른 회로예(311)의 이점은 도13에 도시한 회로예(311')에 비하여, 버스트 액세스의 어드레싱의 최하위 비트의 상태를 이용하지 않아서 좋은 것이다. 신호 /SF1 내지 신호 /SF4는 각각 버스트 클럭 BCK의 사이클 수만에 의해 순번으로 L 레벨로 된다. 따라서, 우수번 사이클 에서는 신호 /SF2 및 신호 /SF4가, 한편 기수번 사이클에서는 신호 /SF1 및 신호 /SF3이 상승한다. 도14에 도시한 회로예(311)에서는 이들 신호를 사이클의 후반에 버스트 클럭 BCK가 상승할때 에 래치하는 것에서, 버스트 클럭 신호 BCK가 상승할 때, 그 사이클의 우수번인가 기수번인가를 나타내는 신호를 작성할 수 있다.

도15는 파이프라인 제어 신호 발생 회로(331)의 회로예이다.

도15에 도시한 회로(331)가 출력하는 신호P20N은 기수 사이클에서 신호 NBSRT가 상승한 것을 나타내는 신호이다. 신호 P20N은 도1 및 도3에 도시한 래치형 게이트(107)를 움직이기 위한 제어를 개시하는 합도이다. 래치형 게이트(107)를 움직이는 것에서, 파이프라인의 제2 파이프라인 스테이지 S2가 출현하고, 2스테이지의 파이프라인 동작에서 3스테이지의 파이프라인 동작으로 일시적으로 이행한다. 또한, 신호P20N은 그 사이클의 머리에서 래치되고, 그 사이클의 버스트 클럭 BCK가 상승하면, 신호 ST2로서 출력된다. 신호 ST2는 LDB의 프리차지 제어에 사용된다.

도16은 LDB의 프리차지 제어 신호 발생 회로(501)의 회로도이다.

LDB의 프리차지 동작은 파이프라인방식에서 매사이클 실행되지만, 2비트 프리페치 방식에서는 2사이클마다로 좋고, 파워의 소멸과 동작 마진의 확대를 갖는다. 그러나, 본 발명에 관한 SDRAM에서는 기수번 사이클에서 새로 버스트를 시작하기 위해, 신호 NBSRT가 들어가면, 일시적으로 파이프라인방식으로 되고, 프리차지 제어의 전환을 실행할 필요가 있다.

먼저, LDB와 어드레스 비트의 대응을 붙여서 설명을 알기 쉽게 한다.

도4에 도시한 어드레스 버스 AB1, AB2와 도3에 LDB1, 2, 3, 4(도면중에서는원수자로 도시되어 있음)으로 도시된 LDB쌍 및 시리얼 액세스의 하위 비트 A0, A1의 관계를 도17에 도시한다.

지금, 연속한 2비트분의 데이터를 전송하는 경우, 4비트의 데이터를 동시에 전송하여 그 중에서 2비트분의 데이터를 선택 기능을 갖는 선택 게이트(113)(도1, 도3 참조)로 선택하지만, 그 전송되는 4비트와 2비트의 관계는 다음과 같다.

4비트는 버스트 액세스에서의 연통하는 데이터를 구성하지만, 그곳에서 선택되는 2비트는 액세스순으로 1및 2비트째를 구성하든가, 2및 3비트째를 구성하도록 되어 있다. 이것은 도4에 관한 설명에서도 언급한 바와 같이, CSL을 선택하는 어드레스는 항상 플러스1한 것과 쌍으로 사용되는 것에 대응한다. 이와 같이 하면, 2사이클 마다 4비트의 데이터를 LDB로 출력하는 것에 의해, 임의의 어드레스부터 끊임없이 버스트 액세스를 실행할 수 있지만, LDB의 프리차지는 2사이클마다 모두 4쌍으로 실행할 필요는 없다. 선택 기능을 갖는 게이트(11)에 의해 이미 선택되어 버렸던 데이터의 전용이 종료한 2쌍씩 프리차지하면 좋다. 이때의 쌍은 LDB1과 LDB2 또는 LDB3과 LDB4이다. 이들이 쌍으로 컬럼 선택 신호 CSL에 의해 동시에 선택되기 때문이다.

그리고, 이 LDB의 프리차지이지만, 도16에 도시한 바와 같이, 도중에 버스트 액세스의 선두 번지가 재설정되는 일이 없으면, 우수번 사이클마다 액세스의 내부 어드레스 Aint에 따라 새로운 데이터가 전송되는 LDB1과 LDB2 또는 LDB3과 LDB4가 프리차지를 받는다. 버스트 액세스의 선두 번지의 재설정이 있으면, 그것이 우수번 사이클이면, 조금 프리차지 사이클에 명중하고 있으므로, 그 사이클에서 프리차지가 실행되지만, LDB1, LDB2, LDB3, LDB4의 4쌍의 모두에서 실행된다. 이것은 새로 4비트가 LDB로 전송되어 가기때문이다. 기수번 사이클이면, 그 사이클에서 강제적으로 프리치지를 실행하면, 파이프라인의 스테이지가 일시적으로 늘어나 있어도, 선택되어 있는 데이터를 파괴하여 버리는 일 등에서, 재설정이 실행된 다음 사이클에서 LDB1, LDB2, LDB3, LDB4의 4쌍의 모두에서 프리차지가 실행된다. 이것을 제어하고 있는 것이 도15에 도시한 회로로 작성된 신호 ST2이고, 이 신호 ST2가 H 레벨인 때, 버스트 클럭 BCK가 상승하는 사이클에서 프리차지가 실행 된다.

도19 및 도20은 각각 SDRAM의 동작 파형도이다.

도19 및 도20중 어느 도면에 있어서도, 버스트 데이터 액세스의 데이터 길이는 8로 하고 있다. 또한, 외부 클럭 CLK중, 번호가 붙어 있는 부분은 버스트 클럭 BCK에 대응하고 있다. 신호 /CE는 버스트 액세스의 새로운 시작의 사이클을 지시하는 코멘드 신호이고, 이 코멘드 신호가 들어간 사이클의 버스트 클럭 BCK의 상승에서 버스트 액세스의 선두 어드레스가 페치된다. 코멘드로 설정되는 어드레스의 데이터가 나가야 할 LDB의 번호는 신호 /CE의 란에 맞춰 도시되어 있다. 컬럼 선택선 CLS과 LDB의 선택 관계는 도18에 도시한 바와 같다. 도18에서 선택 관계의 하나를 인출하여, 설명하면 컬럼 선택선 CSL0가 선택되었을 때에 LDB1과 LDB2가 선택되고, 선택된 LDB1과 LDB2로 데이터가 전송된다.

도19에 도시한 동작 파형도는 어느 버스트의 우수 사이클에서 새로운 버스트가 개시된 때의 동작 파형을 도시하고 있고, 구체적으로는 8번의 사이클에서 LDB4로 나온 데이터가 선두로 되도록 번지 설정이 된 것이다.

도19에 도시한 바와 같이, 코멘드에 의해 어드레스 설정이 이루어지면(/CE의 파형을 참조), 내부 어드레스 비트 Aint는 1이 0으로 변화한다.

최초 버스트에서는 LDB2의 데이터가 선두로 되므로, 먼저 프리차지 상태에 있던 LDB1, LDB2, LDB3, LDB4의 프리차지를 중단하여, CLS0과 CLS1이 상승하고, 데이터를 내고, 선택 게이트(11)가 스루의 T로 되면, LDB2와 LDB3이 GDB에 접통되어 데이터가 전송된다. 전송된 데이터는 T 상태의 출력 레지스터 R1과 출력 레지스터 R2에 저장된다.

2번의 사이클부터는 CLS2가 상승하고, LDB1 및 LDB2에만 새로운 데이터가 전송되므로, 사이클의 머리에서 프리차지가 실행된다. 이때, 선택 게이트(11)는 홀드의 H로 되고, 프리차지되는 LDB2는 GDB에서 분리되도록 된다. 이 동안에 출력 레지스터 R1과 R2가 H 상태로 되고, 출력 레지스터 R3과 R4가 T 상태로 된다. 선택 게이트(11)가 다음에 T 상태로 되면, LDB4와 LDB1이 GDB에 접통되고, 이 데이터가 GDB로 나와서 출력 레지스터에 저장된다.

4번의 사이클부터는 CSL3이 상승하고, LDB3과 LDB4에만 새로운 데이터가 전송되어 마찬가지 동작이 계속 이어진다.

그리고, 8번의 사이클에서 새로운 버스트의 설정이 이루어지면, LDB1 내지 LDB4의 4쌍 모두에 새로 데이터가 나가는 것으로 되므로, LDB는 모두 8번의 사이클의 머리에서 프리차지가 실행된다. CSLm+0과 CSLm+1

이 상승하여, 데이터가 LDB로 나가고, 선택 게이트(11)에서 LDB4와 LDB1이 GDB에 접속되어 데이터가 전송되고, 상기 설명과 같이 데이터의 전송이 이루어진다.

2번째의 버스트에서는 선택 게이트(11)의 출력과 출력 레지스터로 저장 상태가 최초 버스트와 다를 뿐이고, 다른 것은 최초 버스트와 거의 마찬가지이다. 2번째의 버스트 도중에 새로운 버스트의 설정은 없으므로 8사이클 돌면, 버스트 클럭 신호 BCK는 끝나고 데이터의 액세스는 15번의 사이클에서 정지한다.

도20에 도시한 동작 파형도는 어느 버스트의 기수 사이클에서 새로운 버스트가 개시된 때의 동작 파형을 도시하고 있고, 구체적으로는 7번의 사이클에서 새로운 버스트의 설정이 되어 있다.

이 경우, 7번의 사이클에서 새로운 버스트의 개시 설정이 이루어지기 까지는 도19에 도시한 동작과 같다. 7번의 사이클에서의 새로운 설정은 기수 사이클에서의 설정이므로, 도16을 참조하여 설명한 바와 같이, 다음 8번의 사이클에서 LDB1 내지 LDB4 모두가 프리차지된다. 또한, 7번의 사이클에서 래치된 어드레스는 제2스테이지 S2의 파이프라인 동작이 일시적으로 실행되므로, 다음 8번의 사이클에서 CSLm+0과 CSLm+1을 일으키게 된다. 7번의 사이클에서는 전의 버스트의 LDB4와 LDB1의 데이터가 각각 출력 레지스터 R3과 출력 레지스터 R4에 저장되지만, 출력 레지스터 R3의 LDB4의 데이터만이 출력되어, 출력 레지스터 R4에 저장되지만, 출력 레지스터 R3의 LDB4의 데이터만이 출력되어, 출력 레지스터 R4의 LDB1의 데이터는 새로운 버스트의 선두 어드레스의 LDB3의 데이터에 8번의 사이클에서의 선택 게이트(11)의 선택 전환과 LDB로의 새로운 데이터의 전송에 의해 교체된다. 8번의 사이클에서는 도5를 참조하여 설명한 바와 같이, 레지스터로의 데이터 저장의 구분이 변경된다. 9번의 사이클 이후는 7번의 사이클을 선두로 하는 버스트 액세스의 본래 동작으로 되고, 8사이클의 버스트가 끝나는 14번의 사이클에서 버스트 클럭 신호 BCK는 정지하고, 데이터의 액세스는 14번의 사이클에서 정지한다.

다음에 8번 사이클에서의 도5에 관련한 출력 레지스터의 구분을 변경하기 위한 출력 레지스터 제어 회로(401)에 대하여 설명한다.

도21은 구분 변경 신호 전환 회로(411)의 회로도이다.

도21에 도시한 회로(411)의 초기 상태에서는 신호 SR13이 H 레벨로 되어 있다. 신호 SW는 도12에 도시한 회로에서 출력되는 것이므로, 최초 기수번의 사이클째의 설정에서 L 레벨에서 H 레벨로 되고, 이후 L 레벨과 H 레벨을 교대로 반복한다. 신호 SR13과 신호 SR24는 신호 SW가 L 레벨, H 레벨, L 레벨로 변화하면, 신호 SR13은 H 레벨, L 레벨, H 레벨, 신호 SR24는 L 레벨, H 레벨, L 레벨로 변화한다. 단, 상태 변화하는 타이밍은 신호 SW의 레벨이 변환 다음의 사이클부터 어느 정도 지연이 경과한 때이다. 신호 ST2와 버스트 클럭 BCK의 논리적(AND)에서 래치된 신호가 지연 회로 D를 거쳐 신호 SR13, 신호 SR24로서, 출력되기 때문이다. 이와 같은 타이밍은 데이터의 전송과 출력 레지스터의 전환의 정합을 취하기 위해, 설정되어 있다.

도22는 구분 신호 발생 회로(421)의 회로도이다

도22에 도시한 바와 같이, 신호 /SF1 및 신호 /SF3은 도9에 도시한 시프트 레지스터(201)의 출력이고, 신호 CC 및 신호 /CC는 도12에 도시한 회로(341)에서 출력되는 신호이다. 신호 CC가 그의 레벨을 변화시키는 것에 의해, 신호 /SF1의 역활과 신호 /SF3의 역활이 교대로 교체된다. 이것은 후에 설명하는 바와 같이, 출력 레지스터의 구분 변경과 함께 이 구분마다로의 데이터 저장 순번도 시프트하여 갈 필요가 있기 때문이다. 신호 SR13과 신호 SR24는 출력 레지스터의 구분 방법에 대응하는 신호이다. 이들 신호 SR13과 SR24를 각각 도5에 도시한 출력 레지스터의 구분 방법에 대응시키면, 신호SR13은 출력 레지스터 R1 및 출력 레지스터 R2의 조와 출력 레지스터 R3 및 출력 레지스터 R4의 조에 대응하고, 신호 SR24는 출력 레지스터 R2 및 출력 레지스터 R3의 조와 출력 레지스터 R4 및 출력 레지스터 R1의 조에 대응한다. NOR 회로를 사용하여 구성되어 있는 플립플롭에 도22에 도시한 회로의 출력 신호 REGB4, REGA2, REGA1, REGB3이 입력되어 있는 것은 출력 레지스터의 구분이 전환되는 때에 데이터를 저장해야하고 구분의 게이트를 열기 위한 초기 설정때문이다. 도면중, D, 6인 것은 적당한 지연을 만드는 지연 회로이다.

도23은 레지스터 선택 신호 발생 회로(431)의 회로도이다.

도3의 GDB1, GDB2는 한쪽이 어드레스의 최하위 비트 A0의 0, 다른 쪽이 최하위 비트 0의 1에 대응한다. 이것이 도6에 도시한 GDB1, GDB2에 대응하고 있다. 버스트의 선두를 지정하는 사이클에서는 그 어드레스의 최하위 비트 A0가 그 때 동작 상태에 없는 출력 레지스터에 관한 구분을 제어하는 신호를 출력하는 4개의 래치부(433-1), (433-2), (433-3), (433-4)중 어느 것에 유지된다. 즉, 도5의 REGA1부가 저장 대상이면, 신호 /REGA1은 L 레벨이므로, 최하위 비트 A0는 신호 /REGA1에 의해 개폐되는 도23의 래치부(433-1)에는 전송되지 않고 다른 래치부(433-2), (433-3), (433-4)로 전송된다. 최하위 비트 A0의 값에 의해 새로운 버스트의 처음에 데이터 저장되는 레지스터 구분에 따라 신호 /RE10에서 /RE41중 어느 하나가 L 레벨로 된다. 또한, 이것에 의해 대응하는 전송 게이트 신호중 2개가 상승한다. 예를 들면, /RE30이 L로 되면, 신호 REG31과 REG41이 각각 H로 되고, 출력 레지스터 R3에 GDB1, R4에 GDB2의 데이터가 저장된다.

도24는 기수번 사이클에서 새로운 버스트 설정이 이루어진 경우의 출력 레지스터 구분의 변경 모양과 도12에 도시한 회로(341)이 출력하는 신호 SW, 신호 CC의 변화 관계를 도시한다. 지면 일번상이 각각의 레지스터의 구분이고, 이 버스트 액세스에 대하여 기수번째의 최초 설정이 이루어지게 된다. 최초 설정이 이루어지까지 각 신호는 초기 상태 그대로이고, 신호 SW는 L 레벨, 신호 CC는 H이다.

출력 레지스터의 구분 사방은 도24에 도시한 바와 같이 2종류를 들 수 있지만 이 구분된 블럭을 A1, B3, A2, B4로서 도24에 도시한다. 구분은 매회 A1, B3 구분과 A2, B4 구분으로 교대로 변하여 가지만, 데이터의 저장 순번은 도24에 도시한 바와 같이, 사선으로 줄쳐진 구분 블럭은 그 사이에서, 사선이 없는 블럭은 그 사이에서 저장의 순번이 이동하여 간다. 즉, A1이 저장 동작중에 새로운 설정이 있으면, 다음은 A2가 저장을 받고, A2가 저장 동작 중으로 설정이 있으면, 다음은 B3이 저장 동작을 실행하는 등이다. 신호 SW는 기수 사이클에서의 설정이 있을 때마다 상태를 변화시킨다. 전송 순서를 도시한 바와 같이 나아가게 하는 데는 이 변화의 2사이클 마다 변환하는 신호가 필요하고, 이것이 신호 CC이다. 이와 같은 신호에 의한 제어가 없으면, 지면 일번상의 구분과 그 다음의 구분에서만 교대로 오갈뿐이고, 상기와 같이 앞서 진

행하는 제어가 있을 수 없다. 즉, 도22에 도시한 회로에 있어서, 신호 CC가 변화하면, 신호 /SF1과 신호 /SF3의 역활이 교체되는 것에 의해, 전송 게이트를 제어하는 신호를 도7에 도시한 시프트 레지스터에 대하여 위상적으로 진행시킬 수 있다.

도25 및 도26은 각각 출력 레지스터 주위의 제어 모양을 모은 동작 파형도이다. 이들 동작 파형은 데이터의 전송 상태를 나타낸 도20에 대응하는 것이다.

도25에 도시한 바와 같이, 0번 사이클에서 버스트가 시작하면, 신호 /SF1이 L 레벨로 초기 설정된 도7에 도시한 시프트 레지스터가 움직인다. 도13 또는 도14에 도시한 회로에 의해 만들어진 신호 Φ2N+1도 도25에 도시한 바와 같이 변화하는 것에 의해, 기수번 사이클이 지정된다. 신호 /SF1이 상승하는 것에 의해, 신호 REGA1이 H 레벨로, 신호 REGB3이 L 레벨로 확정하고, 신호 /SF3이 상승하는 것에 의해, 신호 REGA1이 L 레벨로, 신호 REGB3이 H 레벨로 변화한다. 이와 같이, 출력 레지스터의 구분 블럭마다 데이터 진행이 실행되어 가서, 기수번 사이클 7에서 새로운 버스트가 설정되면, 도15에 도시한 회로에서의 신호 P2ON 및 신호 ST2 및 도12에 도시한 회로에서의 신호 SW가 변화하고,8번 사이클에서, 도21의 회로에서의 신호 SR13이 L 레벨로 변화하여, 신호 SR24가 H 레벨로 되는 것에 의해, 도22에 도시한 회로의 B3A1 구분의 제어 신호에서 B4A2 구분의 제어의 신호계로 전환한다. 이때, NOR 회로로의 신호 REGB3의 귀환에 의해, 신호 REGB4가 상승하게 된다. 다음에, /SF1이 상승하는 것에 의해, 신호 REGB4가 L 레벨로, 신호 REGA2가 H 레벨로 바뀌고, 이하, 신호/SF3에 의한 변화를 실행한다. 이것은 도22에 도시한 설정 회로(1)의 상태 변화와 B4와 A2에서의 데이터 저장 동작에 상당한다. 14번 사이클에서 버스트가 끝나면, 각 신호는 최종 상태를 유지하여, 다음 버스트에 대비한다. 이 후에, 또 버스트의 설정이 이루어진 경우의 동작 파형도가 도26이다.

도26에서는 전의 버스트가 종료하고 조금 있다가, 새로운 버스트가 0번 사이클부터 시작한다고 하였다. 신호 /SF3이 H 레벨로 되는 것에서 버스트가 시작하지만, 이것에 의해 신호 REGA2는 L 레벨로, 신호 REG는 H 레벨로 변화한다. 도25와는 달리, A2B4의 구분 블럭이 데이터 저장 동작을 실행한다. 7번 사이클에서 새로운 버스트가 설정되면, 이번은 신호 SW가 L 레벨로 변화하고, 신호 CC도 L 레벨로 변화한다. 8번 사이클에서 도21에 도시한 회로에서의 신호 SR13이 H 레벨로 변화하고, 신호 SR24가 L 레벨로 되는 것에 의해, 도22에 도시한 회로 B4A2의 구분 제어의 신호에서 B3A1 구분 제의 신호계로 전환한다. 이때, NOR 회로로의 REGA2의 귀환에 의해, 신호 REGB3이 상승하게 된다. 다음에, 신호 /SF3이 상승하는 것에 의해, 신호 CC가 L 레벨로 변화하고 있으므로, 도22에 도시한 회로에서의 신호 /SF1과 신호 /SF3의 역활이 교체되어 있으므로, 신호 REGB3이 L 레벨로, 신호 REGA1이 H 레벨로 변하고, 이하, 신호 /SF1에 의한 변화를 실행한다. 이것은 도22의 설정 회로(2)의 상태 변화와 신호 B3과 신호 A1에서의 데이터 저장 동작에 상당한다.

본 발명의 일 실시 형태에 관한 SDRAM이 행하는 데이타 전송은 컴퓨터 내부에서의 데이타 전송, 또는 네트워크·컴퓨터에서의 데이타 전송에도 응용할 수 있다. 이 경우에는, 어드레스 디코더, 메모리 셀 어레이 및 센스 앰프 등, 데이터의 처리를 행하는 부분은, 컴퓨터 또는 네트워크·컴퓨터에서의 데이타의 처리부와 치환하면 좋다.

또, 본 발명의 일 실시 형태에 관한 SDRAM은, 파이프 라인 스테이지의 수가 어드레스 변경 등, 동작 사이클의 변경이 요구되는 타이밍에 따라 변경된다. 그렇지만, 파이프 라인 스테이지의 수를 변경하지 않도록 하는 사용 방법도 가능하다.

예를 들면, 시스템 클럭의 주파수가 낮은 때에는, 버스트 데이타 억세스 도중에 새로운 버스트 데이타 억세스를 위한 선두 어드레스를 입력하는 타이밍을 제어하지 않고, 언제라도 선두 어드레스를 입력할 수 있도록 한다. 즉, 스테이지(S1, S2, S3)를 항상 분리한 상태에서 사용한다.

이에 대하여, 시스템 클럭의 주파수가 높은 때에는, 버스트 데이타 억세스 도중에 새로운 버스트 데이타 억세스를 위한 선두 어드레스를 입력하는 타이밍을 제어하고, 이 제한된 타이밍에만 선두 어드레스를 입력한다. 즉, 스테이지(S1, S2, S3)중, 스테이지(S1, S2)를 항상 통과한 상태에서 사용한다.

또, 파이프 라인 스테이지의 수가 변경되었는가의 여부는 본 발명의 SDRAM가 조립되는 시스템의 방법에 따라서도 결정하는 것이 가능하다.

예를 들면 어드레스의 변경을 항상 a사이클에 대응한 사이클로부터 요구하는 시스템에서는, 스테이지(S1, S2)는 항상 통과되고, SDRAM의 내부의 파이프 라인 스테이지의 수는 변경되지 않는다.

이에 대하여, 어드레스의 변경을 a사이클에 대응한 사이클 이외로부터에서 요구하는 시스템에서는, 어드레스의 변경이 a사이클에 대응한 사이클 이외에서 요구될 때, 스테이지(S1, S2, S3)를 분리하고, 어드레스의 변경이 a사이클에 대응한 사이클에서 요구될 때, 스테이지(S1, S2)를 통과한다.

이상과 같이, 본 발명의 형태에 관한 SDRAM은 각종 시스템에 적절히 대응할 수 있다.

또, 본 발명의 일 실시 형태에 관한 SDRAM이 행하는 데이타 전송은, 컴퓨터 내부에서의 데이타 전송, 또는 네트워크·컴퓨터에서의 데이타 전송에 적용되는 것으로, 컴퓨터 또는 네트워크·컴퓨터의 분야에서 보다 대량인 데이타를 보다 고속으로 전송하는 데이타 전송 시스템을 구성한다.

발명의 효과

이상 설명한 바와 같이, 본 발명에 의하면, 시리얼 데이터 출력을 실행하기 위한 출력 레지스터를 가지면서도, 제한 사이클 이외의 사이클에서도 어드레스를 데이터 전송 경로로 인도할 수 있고 또한 소비 전력이 적은 싱크로너스 반도체 메모리 장치와 제한 사이클 이외의 사이클에 어드레스가 데이터 전송 경로로 인도되어도, 출력 레지스터에서 데이터를 끊임없이 시리얼 출력할 수 있는 싱크로너스 반도체 메모리 장치와 액세스 어드레스의 변경에 자유도가 있으면서도 데이터 전송의 효율을 높이는 것이 가능하고 또한 소비 전력이 적은 싱크로너스 반도체 메모리 장치와 제한 사이클 이외의 사이클에서도 어드레스를 데이터 전송 경로로 인도하는 것이 가능한 싱크로너스 반도체 메모리 장치의 동작 방법을 각각 제공할 수 있다.

(57) 청구의 범위

청구항 1

데이터를 클럭의 사이클마다 적어도 1개씩 시리얼로 출력하는 싱크로너스 반도체 메모리 장치에 있어서, 어드레스를 장치 내부로 페치하기 위한 어드레스 페치수단 ; 페치된 어드레스를 디코드하는 디코드 수단 ; 데이터를 기억하기 위한 메모리 셀이 복수개 배치되어 있는 메모리 셀 어레이 ; 상기 메모리 셀에 전기적으로 결합된 데이터 버스 ; 상기 메모리 셀에 기억되어 있는 데이터 중에 상기 디코드된 어드레스에 대응한 데이터를 상기 데이터 버스로 전송시키는 전송 수단 ; 상기 데이터 버스에 전기적으로 결합된 출력 레진스터 ; 상기 데이터 버스로 전송된 데이터를 일시에 a개씩 상기 출력 레지스터로 전송시키는 전송 수단 ; 및 상기 출력 레지스터로 전송된 a개의 데이터를 상기 클럭에 동기시켜 시리얼로 출력시키는 출력 수단을 포함하며, 상기 어드레스 페치 수단에서 상기 출력 레지스터까지의 신호 경로가 N개의 파이프라인 스테이지로 분리되고, 클럭의 m 사이클에서 각 파이프라인 스테이지의 데이터가 전송되고, 데이터의 액세스가 상기 클럭의 a사이클에 대응한 사이클로부터 시작되었을 때, 상기 N개의 파이프라인 스테이지 모두를 분리시키지 않고, 상기 파이프라인 스테이지중 연속한 n(=a/m)개의 파이프라인 스테이지가 스루되고, 데이터의 액세스가 상기 클럭의 a사이클에서 벗어난 사이클부터 시작되었을 때, 상기 N개의 파이프라인 스테이지 모두가 분리되는 것을 특징으로 하는 싱크로너스 반도체 메모리 장치.

청구항 2

제1항에 있어서, 상기 m이 1, 상기 n이 2, 상기 N이 3이고, 상기 3개의 파이프라인 스테이지는 각각 상기 어드레스의 페치에서 디코드까지의 제1 파이프라인 스테이지, 상기 디코드된 어드레스에 대응한 데이터를 데이터 버스로 전송시키기 까지의 제2파이프라인 스테이지, 및 상기 데이터 버스로 전송된 데이터를 일시에 a개씩 상기 출력 레지스터로 전송시키기까지의 제3 파이프라인 스테이지로 구성되고, 상기 데이터의 액세스를 상기 클럭의 a 사이클에 대응한 사이클로부터 시작할 때에 스루되는 파이프라인 스테이지는 상기 제1 파이프라인 스테이지와 상기 제2 파이프라인 스테이지인 것을 특징으로 하는 싱크로너스 반도체 메모리 장치.

청구항 3

데이터를 클럭의 사이클마다 적어도 1개씩 시리얼로 출력하는 싱크로너스 반도체 메모리 장치에 있어서, 어드레스를 장치 내부로 페치하기 위한 어드레스 페치 수단 ;페치된 어드레스를 디코드하는 디코드 수단 ; 데이터를 기억하기 위한 메모리 셀이 복수개 배치되어 있는 메모리 셀 어레이 ; 상기 메모리 셀에 전기적으로 결합된 데이터 버스 ; 상기 메모리 셀에 기억되어 있는 데이터 중, 상기 디코드된 어드레스에 대응한 데이터를 상기 데이터 버스로 전송시키는 전송 수단 ; 상기 데이터 버스에 전기적으로 결합된 출력 레지스터 ; 상기 데이터 버스로 전송된 데이터를 일시에 3개씩 상기 출력 레지스터로 전송시키는 전송 수단 ; 및 상기 출력 레지스터로 전송된 a개의 데이터를 상기 클럭에 동기시켜 시리얼로 출력시키는 출력 수단을 포함하며, 상기 출력 레지스터는 k개 있고, 상기 k개의 출력 레지스터에 각각 데이터의 액세스 순으로 0번부터 k-1번 까지의 번호를 부여하고, 상기 출력 레지스터에서의 데이터 출력 순서는 순회적으로 항상 상기 번호 순이고, 데이터의 액세스가 상기 클럭의 a사이클에 대응한 사이클부터 시작하였을 때, 상기 데이터 버스로 전송된 데이터를 0번부터 a-1번까지의 출력 레지스터의 조와 a번부터 2a-1번까지의 출력 레지스터의 조로 a사이클마다 a개씩 교대로 전송시키고, 데이터의 액세스가 상기 클럭의 a사이클에 대응한 사이클에서 i(mod 2a)사이클 벗어난 사이클부터 시작되었을 때, 상기 출력 레지스터의 조를 다시 짜서, 상기 데이터 버스로 전송된 데이터를 i(mod 2a)번부터 i+a-1(mod 2a)번 까지의 출력 레지스터의 조와 i+a(mod 2a)번부터 i+2a-1(mod 2a)번까지의 출력 레지스터의 조로 a사이클마다 a개씩 교대로 전송시키는 것을 특징으로 하는 싱크로너스 반도체 메모리 장치.

청구항 4

제3항에 있어서, 상기 k가 4, 상기 a가 2인 것을 특징으로 하는 싱크로너스 반도체 메모리 장치.

청구항 5

데이터를 클럭의 사이클마다 적어도 1개씩 시리얼로 출력하는 싱크로너스 반도체 메모리 장치에 있어서, 어드레스를 장치 내부로 페치하기 위한 어드레스 페치 수단 ; 페치된 어드레스를 디코드하는 디코드 수단 ; 데이터를 기억하기 위한 메모리 셀이 복수개 배치되어 있는 메모리 셀 어레어 ; 상기 메모리 셀에 전기적으로 결합된 데이터 버스 ; 상기 메모리 셀에 기억되어 있는 데이터 중, 상기 디코드된 어드레스에 대응한 데이터를 상기 데이터 버스로 전송시키는 전송 수단 ; 상기 데이터 버스에 전기적으로 결합된 출력 레지스터 ; 상기 데이터 버스로 전송된 데이터를 일시에 a개씩 상기 출력 레지스터로 전송시키는 전송 수단 ; 및 상기 출력 레지스터로 전송된 a개의 데이터를 상기 클럭에 동기시켜 시리얼로 출력시키는 출력 수단을 포함하며, 상기 어드레스 페치 수단에서 상기 출력 레지스터까지의 신호 경로가 N개의 파이프라인 스테이지로 분리되고, 클럭의 m사이클에서 각 파이프라인 스테이지의 데이터가 전송되고, 데이터의 액세스가 상기 클럭의 a사이클에 대응한 사이클부터 시작되었을 때, 상기 N개의 파이프라인 스테이지 모두를 분리시키지 않고, 상기 파이프라인 스테이지중 연속한 n(=a/m)개의 파이프라인 스테이지가 스루되고, 데이터의 액세스가 상기 클럭의 a사이클에 벗어난 사이클부터 시작되었을 때, 상기 N개의 파이프라인 스테이지 모두가 분리되고, 상기 출력 레지스터는 k개 있고, 상기 k개의 출력 레지스터에 각각 데이터의 액세스순으로 0번부터 k-1번까지의 번호를 부여하고, 상기 출력 레지스터에서의 데이터 출력 순서는 순회적으로 항상 상기 번호순이고, 데이터의 액세스가 상기 클럭의 a사이클에 대응한 사이클부터 시작되었을 때, 상기 데이터 버스로 전송된 데이터를 0번부터 a-1번까지의 출력 레지스터의 조와 a번부터 2a-1번까지의 출력 레지스터의 조로 a사이클마다 a개씩 교대로 전송시키고, 데이터의 액세스가 상기 클럭의 a사이클에 대응한 사이클에서 i(mod 2a)사이클 벗어난 사이클부터 시작되었을 때, 상기 출력 레지스터의 조를 다시 짜고, 상기 데이터 버스로 전송된 데이터를 i(mod 2a)번부터 i+a-1(mod 2a)번까지의 출력 레지스터의 조와 i+a(mod 2a)번부터 i+2a-1(mod 2a)번까지의 출력 레지스터의 조로 a사이클마다 a개씩 교대로 전송시키

는 것을 특징으로 하는 싱크로너스 반도체 메모리 장치.

청구항 6

레지스터방식의 출력부를 갖는 싱크로너스 반도체 메모리 장치에 있어서, 레지스터방식의 제한 사이클 이외에 어드레스 변경이 이루어진 때, 데이터 전송 경로를 복수의 파이프라인 스테이지로 분할하고, 상기 데이터 전송 경로중에 전송 데이터가 남아 있는 가장 최초의 파이프라인 스이지까지, 상기 변경된 어드레스에 대응한 전송 데이터를 인도하고, 상기 제한 사이클 이외부터도 상기 데이터 전송 경로중에 상기 변경된 어드레스에 따른 전송 데이터를 입력시키고, 또한 상기 출력부의 출력 레지스터의 조합을 변경하고, 상기 제한 사이클 이외부터도 상기 출력부에서 데이터를 시리얼로 출력시키는 것을 특징으로 하는 싱크로너스 반도체 메모리 장치 .

청구항 7

어드레스가 입력되고 이 어레스를 디코드하여 컬럼 선택 신호를 컬럼 선택선으로 출력하는 어드레스 디코더 ; 상기 컬럼 선택선에 마련된 래치형 게이트 ; 복수의 메모리 셀이 접속되고 상기 컬럼 선택 신호에 의해 선택되는 비트선 ; 상기 비트선에 접속된 로컬 데이터 버스 ; 상기 로컬 데이터 버스를 선택하여 글로벌 데이터 버스에 접속하는 선택 게이트 ; 상기 글로벌 데이터 버스에 접속되고 a개의 데이터를 클럭의 a사이클을 사용하여 시리얼 출력하는 출력 레지스터 ; 상기 클럭에 동기하여 새로운 버스트 개시를 알리는 개시 신호의 입력을 받고 이 개시 신호가 상기 a사이클 이외의 사이클에 입력되었을 때에 상기 출력 레지스터의 조합 구분을 변경하는 출력 레지스터 제어 수단을 포함하는 것을 특징으로 하는 싱크로너스 반도체 메모리 장치.

청구항 8

설정된 어드레스에 따른 데이터를 버스트 클럭의 적어도 2사이클을 사용하여 시리얼 출력하는 제1 출력 레지스터의 조 및 적어도 다른 2사이클을 사용하여 시리얼 출력하는 제2 출력 레지스터의 조에 결합된 적어도 2개의 파이프라인 스테이지로 분할가능한 데이터 전송 경로 ; 상기 제1 출력 레지스터의 조 및 상기 제2 출력 레지스터의 조중 어느 것인가가 데이터를 출력하는 사이클 도중에 어드레스의 재설정이 있었던 것을 검지하는 검지 수단 ; 상기 검지 수단의 검지 지시에 응답하여 상기 데이터 전송 경로를 적어도 2개의 파이프라인 스테이지로 분할하여 상기 제1 출력 레지스터의 조 및 상기 제2출력 레지스터의 조중 어느 것인가의 데이터를 출력하는 사이클의 선두 클럭을 기다리지 않고 상기 재설정 어드레스를 상기 분할된 파이프라인에 페치하는 파이프라인 분할 수단 ; 상기 검지 수단에서의 검지 지시에 응답하여 상기 제1 출력 레지스터의 조의 일부와 상기 제2 출력 레지스터의 조의 일부를 교체하고 새로운 제1 출력 레지스터의 조와 새로운 제2 출력 레지스터의 조를 만드는 구분 변경 수단 ; 및 상기 재설정 어드레스에 따른 데이터를 상기 새로운 제1 출력 레지스터의 조 및 상기 새로운 제2 출력 레지스터의 조 중 어느 것인 가의 데이터를 출력하는 사이클의 선두 클럭에 동기시켜 상기 새로운 제1 출력 레지스터의 조 및 상기 새로운 제2 출력 레지스터의 조중 어느 것 인가에서 상기 버스트 클럭의 적어도 2사이클을 사용하여 시리얼 출력하는 출력 수단을 포함하는 것을 특징으로 하는 싱크로너스 반도체 메모리 장치.

청구항 9

어드레스의 입력부터 입력된 어드레스를 디코드하기 까지를 제1 파이프라인 스테이지로 하고, 디코드된 어드레스부터 그 어드레스에 대응한 데이터를 데이터선으로 리드하기 까지를 제2 파이프라인 스테이지로 하고, 리드된 데이터의 데이터선으로의 입력부터 데이터를 시리얼로 출력하기 까지를 제3 파이프라인 스테이지로 하고, 상기 제1 파이프라인 스테이지부터 상기 제2 파이프라인 스테이지까지의 신호의 내부 처리를 상기 클럭의 a사이클을 사용하여 실행하는 싱크로너스 반도체 메모리 장치의 동작 방법에 있어서, 상기 클럭의 a사이클에 대응한 사이클부터 데이터의 액세스를 시작할 때, 상기 제1 파이프라인 스테이지와 상기 제2 파이프라인 스테이지를 스루 상태로 하고, 상기 클럭의 a사이클에서 벗어난 사이클부터 새로운 데이터의 액세스를 시작 할 때, 상기 제1 파이프라인 스테이지와 상기 제2 파이프라인 스테이지를 분리시키고, 새로운 데이터의 액세스에 대응한 신호의 내부 처리를 상기 제1 파이프라인 스테이지에서 실행하면서, 새로운 데이터의 액세스 이전의 데이터의 액세스에 대응한 신호의 내부 처리를 상기 제2 파이프라인 스테이지 및 상기 제3 파이프라인 스테이지에서 실행시키는 것을 특징으로 하는 싱크로너스 반도체 메모리 장치의 동작 방법.

청구항 10

데이타의 전송을 클럭에 의해 제어하는 데이타 전송 시스템에 있어서, 한번에 a개의 데이타를 병렬로 전송하는 데이타 전송로와, 상기 데이타 전송로는 파이프 라인 분리부를 포함하며, N개의 파이프 라인 스테이지로 분리 가능하고, N개로 분리된 파이프 라인 스테이지는 각각 데이터를 일시적으로 유지하고 ; 및 상기 파이프 라인 스테이지 분리부를 제어하기 위한 제어부를 포함하고, 상기 제어부는 a개의 데이타의 전송이 a사이클에 대응하는 사이클로부터 개시될 때, n(=N-1)개의 상기 파이프 라인 분리부중, n(n=a/m;m 은 상기 분리되어 인접하는 파이프 라인 스테이지 간의 데이타 전송에 필요한 사이클 수)-1개를 스루하여, 상기 N개의 파이프 라인 스테이지 모두를 분리하지 않고, a개의 데이타의 전송이 a사이클과는 다른 사이클로부터 개시될 때, 상기 n개의 파이프 라인 분리부 모두를 활성화시켜, 상기 N개의 파이프 라인 스테이지 모두를 분리하는 것을 특징으로 하는 데이타 전송 시스템.

청구항 11

데이타의 전송을 클럭에 의해 제어하는 데이타 전송 시스템에 있어서, 한번에 a개의 데이타를 병렬로 전송하는 데이타 전송로 ; 상기 데이타 전송로에 결합된 k개의 레지스터(단, 상기 k개의 레지스터에는 각각 데이타의 전송순으로 0번으로부터 k-1번 까지의 번호를 부여함) ; 상기 데이타 전송로로부터 상기 레지스터에의 데이타 전송을 제어하기 위한 제1 제어부 ; 상기 제1 제어부는 상기 a개의 데이타의 전송이 a 사이클에 대응하는 사이클로부터 개시될 때, 0번으로부터 a-1번 까지의 레지스터의 조와, a번으로부터 2a-1번까지의 레지스터의 조로 교대로 a개의 데이타를 a사이클 마다 전송시키고, 상기 a개의 데이타의 전송이

a 사이클로부터 i(mod 2a) 사이클 벗어난 사이클로부터 개시될 때, 상기 레지스터의 조를 재편성하여, i(mod 2a)번으로부터 i+a-1(mod 2a)번 까지의 레지스터의 조와, i+a(mod 2a) 번으로부터 i+2a-1(mod 2a)번 까지의 조로 교대로 3개의 데이타를 a사이클마다 전송시키고 ; 및 상기 레지스터로부터의 데이타 전송을 제어하기 위한 것으로, 상기 레지스터의 번호순으로 상기 클록에 동기시켜 데이타를 시리얼로 전송시키는(단, k-1번의 다음은 0번으로 복귀) 제2 제어부를 포함하는 것을 특징으로 하는 데이타 전송 시스템.

청구항 12

데이타의 전송을 클록에 의해 제어하는 데이타 전송 시스템에 있어서, 한번에 a개의 데이타를 병렬로 전송하는 데이타 전송로, 이 데이타 전송로는 파이프 라인 분리부를 포함하며, N개의 파이프 라인 스테이지로 분리 가능하고, N개로 분리된 파이프 라인 스테이지는 각각 데이타를 일시적으로 유지하고, 상기 데이타 전송로에 결합된, k개의 레지스터(단, 상기 k개의 레지스터에는 각각 데이타의 전송순으로 0번으로부터 k-1번 까지의 번호를 부여함) ; 상기 파이프 라인 스테이지 분리부를 제어하기 위한 제1 제어부, 상기 제1 제어부는 a개의 데이타의 전송이 a 사이클에 대응하는 사이클로부터 개시될 때, n(=N-1)개의 상기 파이프 라인 분리부중, n(n=a/m;m은 상기 분리되어 인접하는 파이프 라인 스테이지간의 데이타 전송에 필요한 사이클의 수)-1개를 관통하고, 상기 N개의 파이프 라인 스테이지 모두를 분리하지 않고, a개의 데이타의 전송이 a사이클로부터 벗어난 사이클로부터 개시될 때, 상기 n개의 파이프 라인 분리부 모두를 활성화시켜, 상기 N개의 파이프 라인 스테이지 모두를 분리하고 ; 상기 데이타 전송로로부터 상기 레지스터의 데이타 전송을 제어하기 위한 제2 제어부, 상기 제2 제어부는 상기 a개의 데이타의 전송이 a사이클에 대응하는 사이클로부터 개시될 때, 0번으로부터 a-1번 까지의 레지스터의 조와, a번으로부터 2a-1번 까지의 레지스터의 조로 교대로 a사이클마다 a개의 데이타를 전송시키고, 상기 a개의 데이타의 전송이 a사이클로부터 i(mod 2a) 사이클 벗어난 사이클로부터 개시될 때, 상기 레지스터의 조를 재편성하여, i(mod 2a)번으로부터 i+a-1(mod 2a)번까지의 레지스터의 조와, i+a(mod 2a)번으로부터 i+2a-1(mod 2a)번까지의 조로 교대로 a사이클 마다 a개의 데이타를 전송시키고; 및 상기 레지스터로부터의 데이타 전송을 제어하기 위한 것으로, 상기 레지스터의 번호순으로 상기 클럭에 동기시켜 데이타를 시리얼로 전송시키는(단, k-1번 다음은 0번으로 복귀) 제3 제어부를 포함하는 것을 특징으로 하는 데이타 전송 시스템.

청구항 13

데이타의 전송을 클록에 의해 제어하는 데이타 전송 시스템에 있어서, 데이타를 전송하기 위한 데이타 전송로 ; 상기 데이타 전송로에 설치되며, 병렬 데이타 전송을 시리얼 데이타 전송으로 변환시키기 위한 레지스터 ; 상기 레지스터에의 데이타 전송이 제한되어 있는 사이클 이외에 데이타가 전송되어 올 때, 상기 데이타 전송로를 복수의 파이프 라인 스테이지로 분리하기 위한 분리부 ; 상기 레지스터에의 데이타 전송이 제한되어 있는 사이클 이외에 전송되어 온 데이타를 상기 분리된 복수의 파이프 라인 스테이지중 적어도 최초의 스테이지 까지 입력하는 입력부 ; 및 상기 레지스터에의 데이타 전송이 제한되어 있는 사이클 이외로부터 상기 레지스터로부터 데이타를 시리얼로 출력하는 출력부를 포함하는 것을 특징으로 하는 데이타 전송 시스템.

청구항 14

데이타를 a개씩 전송하는 데이타 전송 시스템에 있어서, a개의 데이타를 병렬로 전송하고, 이 병렬 데이타 전송의 a배의 속도로 데이타를 출력하는 데이타 전송로, 상기 데이타 전송로는 상기 a개의 데이타를 데이타 전송을 제어하는 클록의 a사이클을 사용하여 전송하고, 전송된 a개의 데이타를 상기 데이타 전송을 제어하는 클록의 1사이클에서 하나씩 출력하고, 또한 상기 데이타 전송로는 파이프 라인 분리부를 포함하여 N개의 파이프 라인 스테이지로 분리 가능하고, N개로 분리된 파이프 라인 스테이지는 각각 데이타를 일시적으로 유지하고 ; 및 상기 파이프 라인 스테이지 분리부를 제어하기 위한 제어부를 포함하고, 상기 제어부는 a개의 데이타의 전송이 a사이클에 대응하는 사이클로부터 개시될 때, n(=N-1)개의 상기 파이프 라인 분리부중, n(n=a/m;m은 상기 분리되어 인접하는 파이프 라인 스테이지간의 데이타 전송에 필요한 사이클의 수)-1개를 스루하여, 상기 N개의 파이프 라인 스테이지 모두를 분리하지 않고, a개의 데이타의 전송이 a사이클과는 다른 사이클로부터 개시될 때, 상기 n개의 파이프 라인 분리부 모두를 활성화시켜, 상기 N개의 파이프 라인 스테이지 모두를 분리하는 것을 특징으로 하는 데이타 전송 시스템.

청구항 15

데이타를 a개씩 전송하는 데이타 전송 시스템에 있어서, a개의 데이타를 병렬로 전송하고, 이 병렬 데이타 전송의 a배의 속도로 데이타를 출력하는 데이타 전송로, 상기 데이타 전송로는 상기 a개의 데이타를 데이타 전송을 제어하는 클록의 a사이클을 사용하여 전송하고, 전송된 a개의 데이타를 상기 데이타 전송을 제어하는 클럭의 1사이클에서 하나씩 출력하고, 상기 데이타 전송로에 결합된, k개의 레지스터(단, 상기 k개의 레지스터에는 각각 데이타의 전송순으로 0번으로부터 k-1번 까지의 번호를 부여하고) ; 및 상기 데이타 전송로로부터 상기 레지스터에의 데이타 전송을 제어하기 위한 제1 제 어부, 상기 제1 제어부는 상기 a개의 데이타의 전송이 a사이클에 대응하는 사이클로부터 개시될 때, 0번으로부터 a-1번 까지의 레지스터의 조와, a번으로부터 2a-1번 까지의 레지스터의 조로 교대로 a개의 데이타를 a사이클 마다 전송시키고, 상기 a개의 데이타의 전송이 a사이클로부터 i(mod 2a)사이클 벗어난 사이클로부터 개시될 때, 상기 레지스터의 조를 재편성하여, i(mod 2a)번으로부터 i+a-1(mod 2a)번 까지의 레지스터의 조와, i+a(mod 2a)번으로부터의 i+2a-1(mod 2a)번 까지의 조로 교대로 a개의 데이타를 a사이클 마다 전송시키고, 및 상기 레지스터로부터의 데이타 전송을 제어하기 위한 것으로, 상기 레지스터의 번호순으로 상기 클럭에 동기시켜 데이타를 시리얼로 전송시키는(단, k-1번의 다음은 0번으로 복귀) 제2 제어부를 포함하는 것을 특징으로 하는 데이타 전송 시스템.

청구항 16

데이타를 a개씩 전송하는 데이타 전송 시스템에 있어서, a개의 데이타를 병렬로 전송하고, 이 병렬 데이타 전송의 a배의 속도에서 데이타를 출력하는 데이타 전송로, 상기 데이타 전송로는 상기 a개의 데이타를 데이타 전송을 제어하는 클럭의 a사이클을 사용하여 전송하고, 전송된 a개의 데이타를 상기 데이타 전송을 제어하는 클록의 1사이클에서 하나씩 출력하며, 또한 상기 데이타 전송로는 파이프 라인 분리부를 포

함하여 N개의 파이프 라인 스테이지로 분리 가능하며, N개로 분리된 파이프 라인 스테이지는 각각 데이타를 일시적으로 유지하고, 상기 데이타 전송로에 결합된 k개의 레지스터(단, 상기 k개의 레지스터에는 각각 데이타의 전송순으로 0번으로부터 k-1번 까지의 번호를 부여하고) ; 상기 파이프 라인 스테이지 분리부를 제어하기 위한 제1 제어부, 상기 제1 제어부는 a개의 데이타 전송이 a사이클에 대응하는 사이클로부터 개시될 때, n(=N-1)개의 상기 파이프 라인 분리부중, n(n=a/m;m은 상기 분리되어 인접하는 파이프 라인 스테이지 간의 데이타 전송에 필요한 사이클의 수)-1개를 스루하고, 상기 N개의 파이프 라인 스테이지 모두를 분리하지 않고, a개의 데이타의 전송이 a사이클로부터 벗어난 사이클로부터 개시될 때, 상기 n개의 파이프 라인 분리부 모두를 활성화시켜, 상기 N개의 파이프 라인 스테이지 모두를 분리하고 ; 상기 데이타 전송로부터 상기 레지스터에의 데이타 전송을 제어하기 위한 제2 제어부, 상기 제2 제어부는 상기 a개의 데이타의 전송이 a사이클에 대응하는 사이클 로부터 개시될 때, 0번으로부터 a-1번 까지의- 레지스터의 조와, a번으로부터 2a-1번까지의 레지스터의 조로 교대로 a사이클 마다 a개의 데이타를 전송시키고, 상기 a개의 데이타의 전송이 a사이클로부터 i(mod 2a)사이클 벗어난 사이클로부터 개시될 때, 상기 레지스터의 조를 재편성하여, i(mod 2a)번으로부터 i+a-1(mod 2a)번 까지의 레지스터의 조와, i+a(mod 2a)번으로부터 i+2a-1(mod 2a) 번 까지의 조로 교대로 a사이클마다 a개의 데이타를 전송시키고 ; 및 상기 레지스터로부터의 데이타 전송을 제어하기 위한 것으로, 상기 레지스터의 번호순으로 상기 클록에 동기시켜 데이타를 시리얼 전송시키는(단, k-1번의 다음 은 0번으로 복귀) 제3 제어부를 포함하는 것을 특징으로 하는 데이타 전송 시스템.

청구항 17

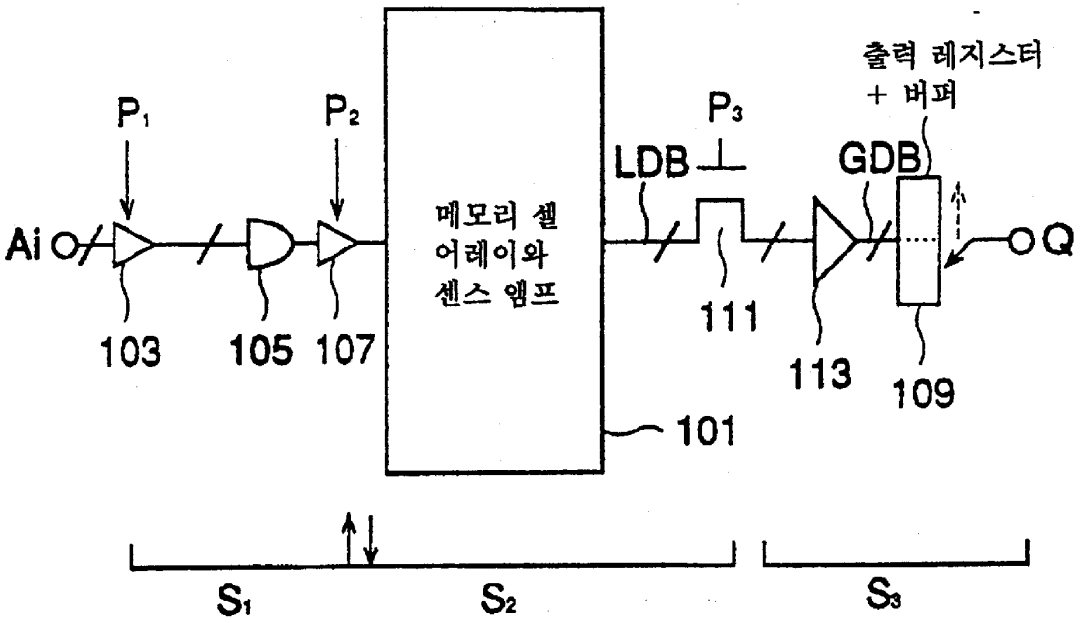
싱크로너스 메모리 시스템에 있어서,시스템 클럭에 동기하여 제어되는 싱크로너스 메모리부 ; 및 상기 싱크로너스 메모리부로부터의 버스트 데이타 액세스를 제어하는 제어부를 포함하고, 상기 제어부는 상기 시스템 클럭의 주파수가 낮을 때, 버스트 데이타 액세스 도중에 새로운 버스트 데이타 액세스를 위한 선두 어드레스를 입력하는 사이클의 제한을 설정하지 않고, 항상 상기 선두 어드레스를 입력하고, 상기 시스템 클럭의 주파수가 높을 때, 버스트 데이타 액세스 도중에 새로운 버스트 데이타 액세스를 위한 선두 어드레스를 입력하는 사이클의 제한을 설정하고, 이 제한된 사이클에서만 상기 선두 어드레스를 입력하는 것을 특징으로 하는 싱크 로너스 메모리 시스템.

청구항 18

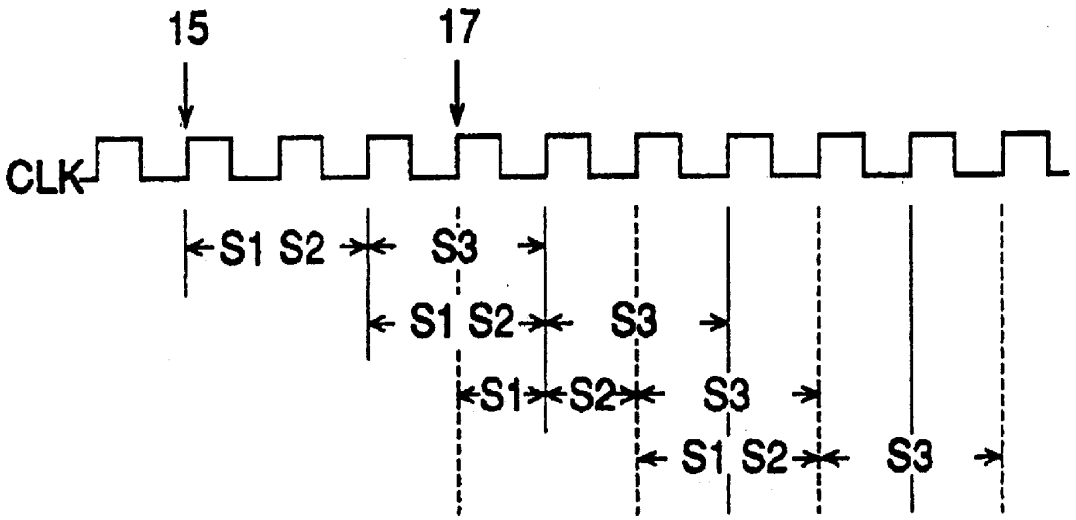
싱크로너스 메모리 시스템에 있어서, 시스템 클럭에 동기하여 제어되는 싱크로너스 메모리부, 상기 싱크로너스 메모리부는 메모리로부터 a비트의 데이타를 병렬로 전송하고, 병렬로 전송된 a비트의 데이타를 a사이클을 사용하여 출력하고, 또한 상기 싱크로너스 메모리 부는 내부의 파이프 라인 스테이지의 수를 변경 가능하고 ; 및 상기 싱크로너스 메모리 부를 제어하는 제어부를 포함하고, 상기 제어부는 상기 a사이클과는 다른 사이클로부터라도 사이클의 변경을 요구하는 제1 방법 및 상기 a사이클에 대응한 사이클로부터 항상 사이클의 변경을 요구하는 제2 방법중 어느 한 쪽의 방법에 대응하고, 상기 제어부가 상기 제1 방법일 때, 제어부는 상기 파이프 라인 스테이지의 수를 일정 수, 및 상기 파이프 라인 스테이지의 수를 상기 일정 수로부터 증가시키는 어느 한 쪽으로 제어하고, 상기 제어부가 상기 제2 방법일 때, 상기 제어부는 상기 파이프 라인 스테이지의 수를 상기 일정 수 그대로 제어하는 것을 특징으로 하는 싱크로너스 메모리 시스템.

도면

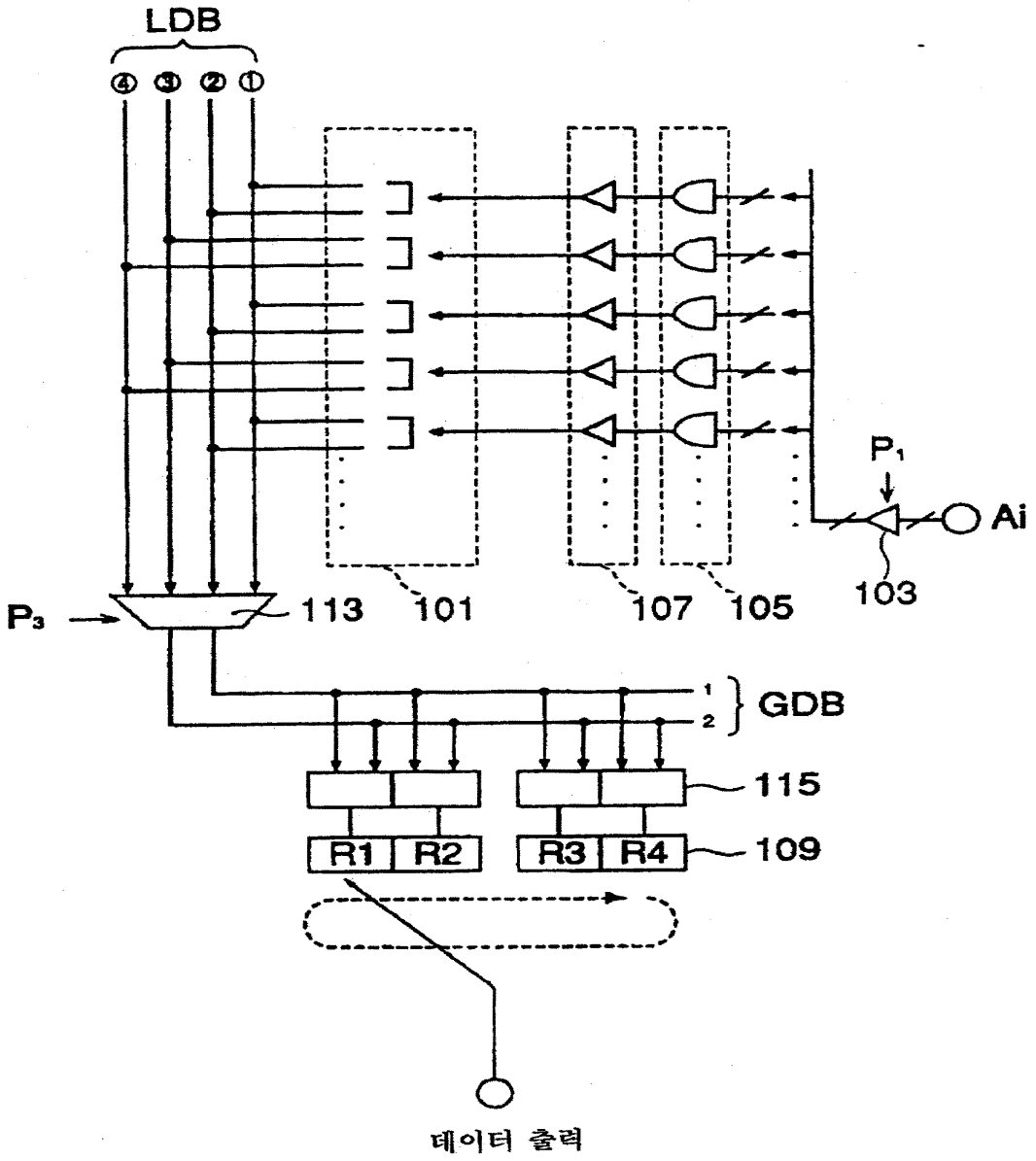
도면1



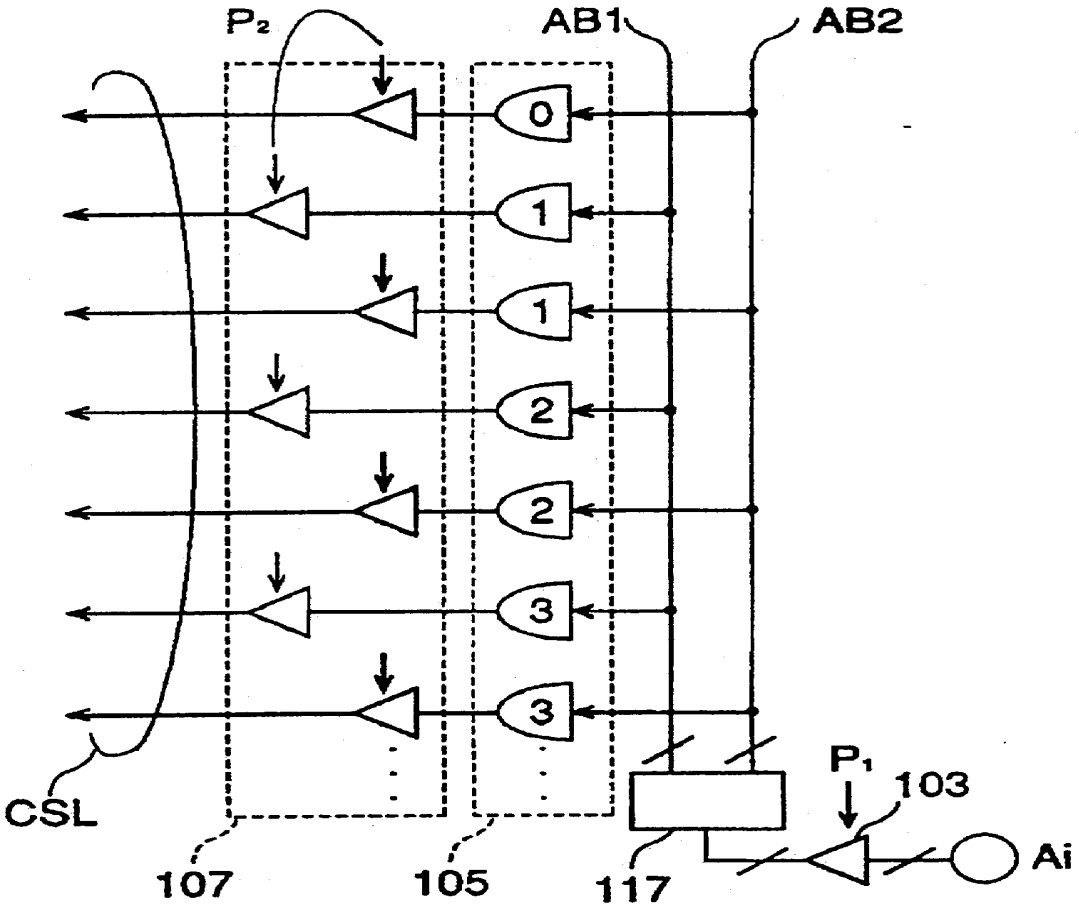
도면2


15
17
CLK
S1 S2
S3
S1 S2
S3
S1
S2
S3
S1 S2
S3

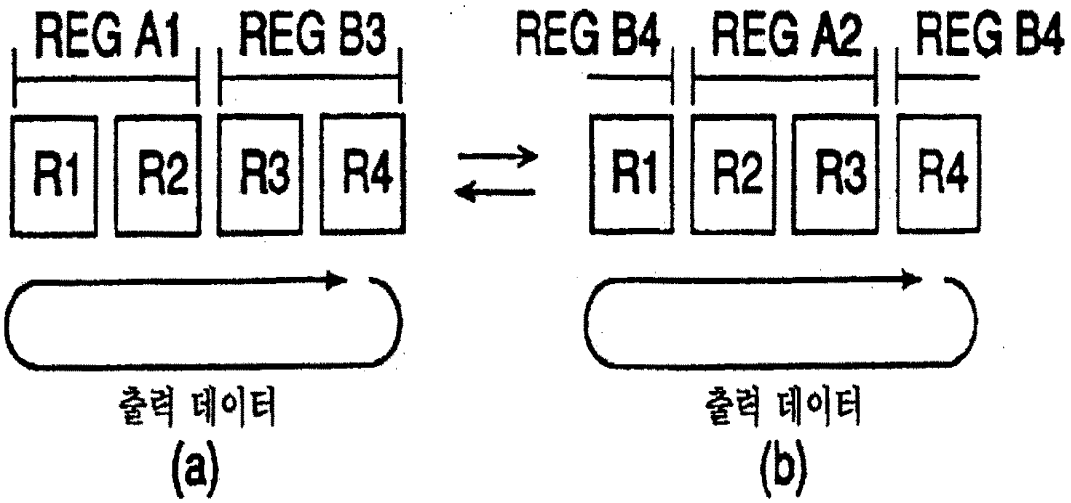
도면3


LDB
④ ③ ② ①
P1
Ai
103
P3
113
101
107
105
1
2
GDB
115
R1
R2
R3
R4
109
데이터 출력

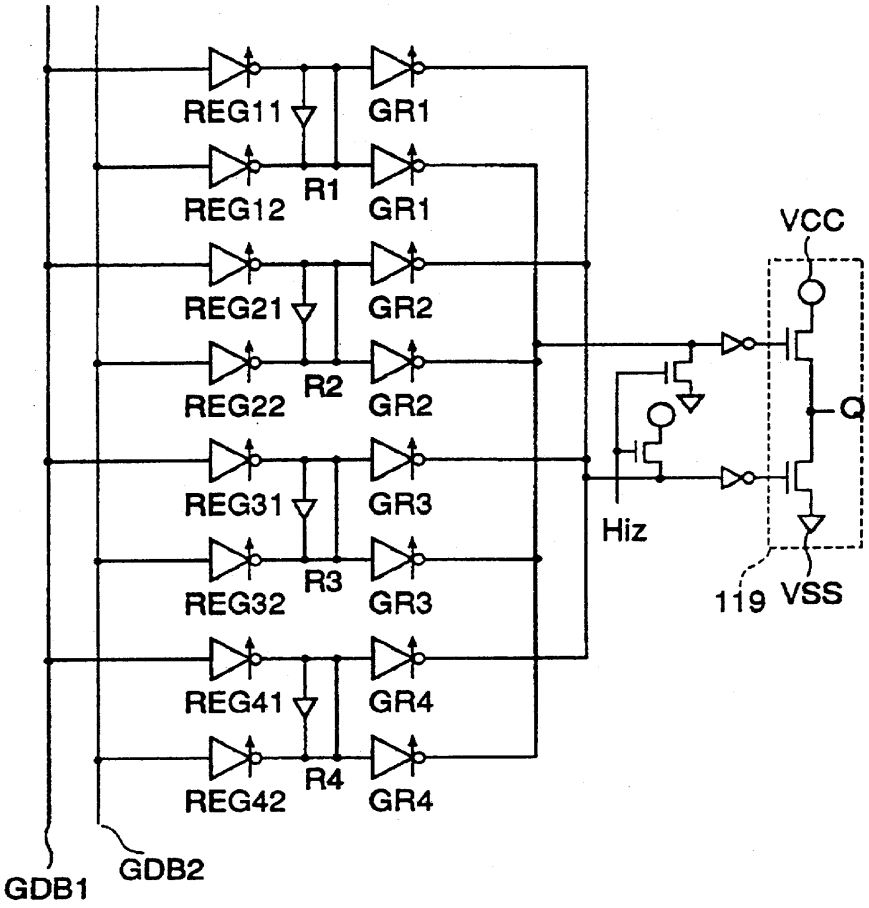
도면4


P2
AB1
AB2
0
1
1
2
2
3
3
CSL
107
105
117
P1
103
Ai

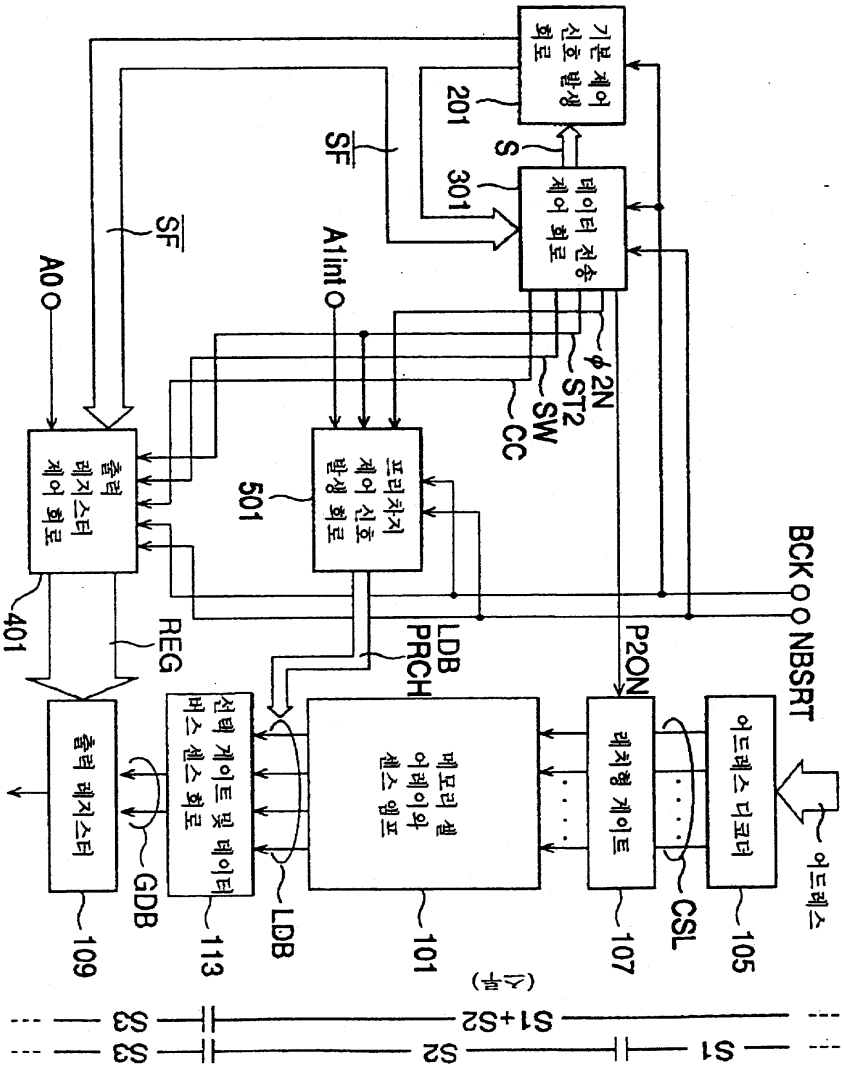
도면5


REG A1
REG B3
R1
R2
R3
R4
출력 데이터
(a)
REG B4
REG A2
REG B4
R1
R2
R3
R4
출력 데이터
(b)

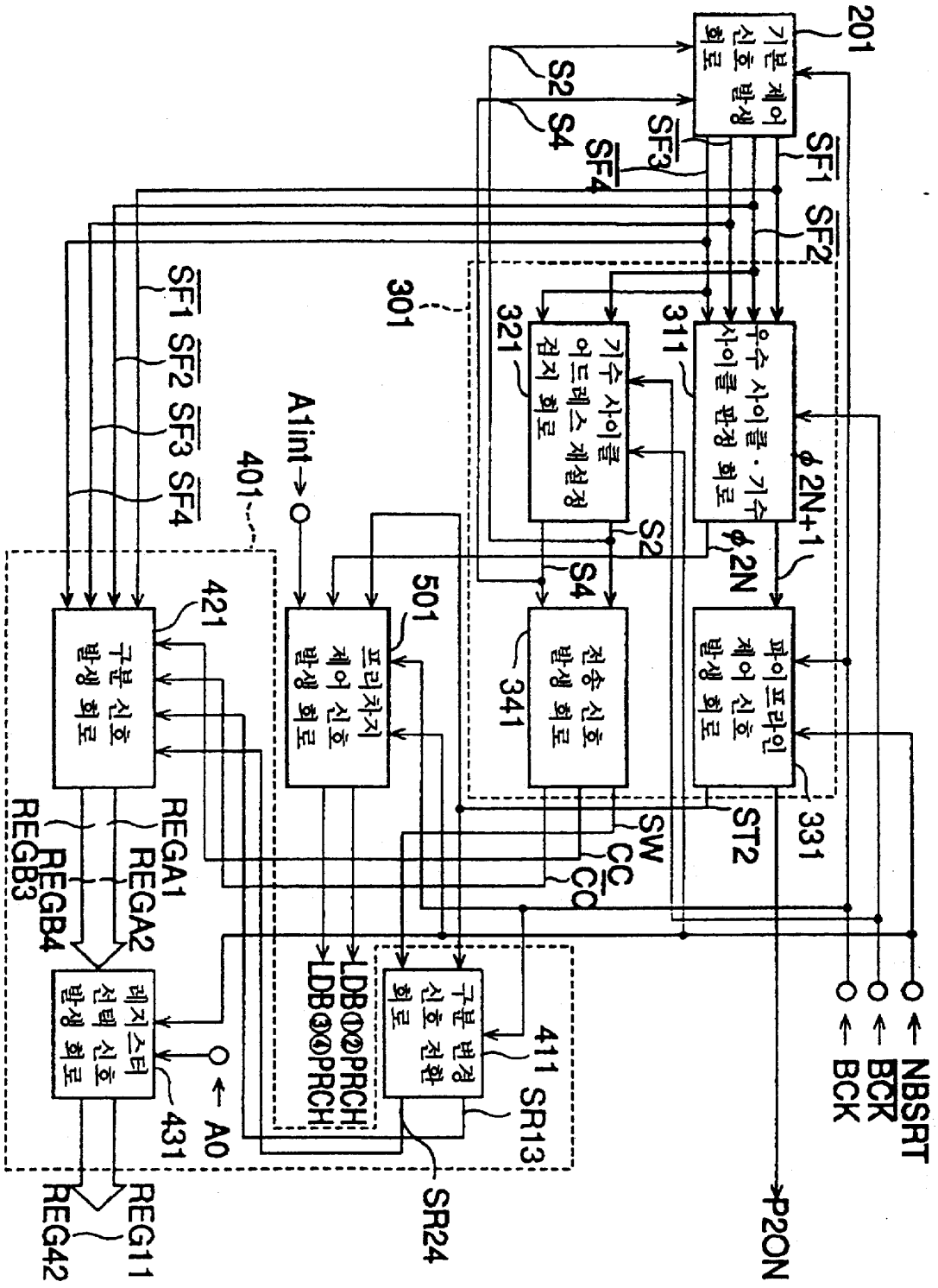
도면6


REG11
GR1
REG12
R1
GR1
REG21
GR2
REG22
R2
GR2
REG31
GR3
REG32
R3
GR3
REG41
GR4
REG42
R4
GR4
GDB1
GDB2
VCC
Hiz
Q
119
VSS

도면7

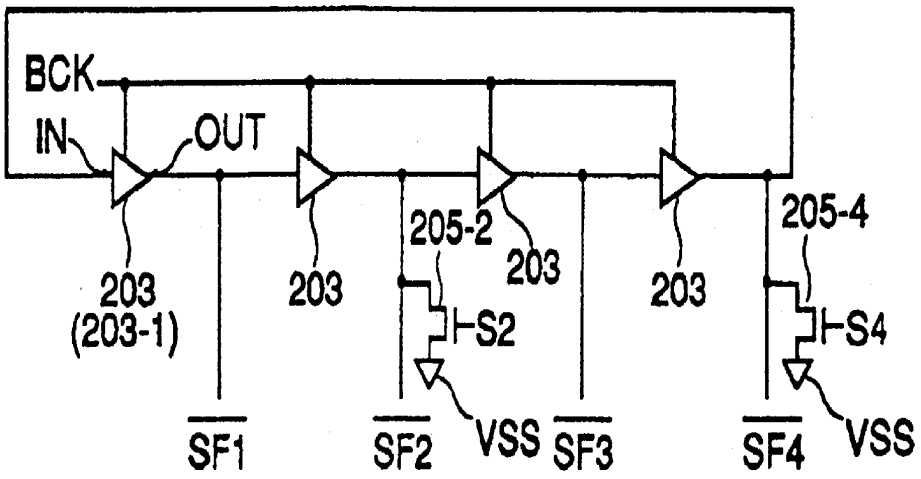

기본 제어 신호 발생 회로
201
S
301
데이터 전송 제어 회로
SF
SF
A1int
A0
φ2N
ST2
SW
CC
출력 레지스터 제어 회로
401
501
프리차지 제어 신호 발생 회로
BCK
NBSRT
REG
LDB
PRCH
P2ON
어드레스
출력 레지스터
109
선택 게이트 및 데이터 버스 센스 회로
113
GDB
LDB
메모리 셀 어레이와 센스 앰프
101
래치형 게이트
107
CSL
어드레스 디코더
105
(소부)
S3
S2
S1+S2
S1

도면8

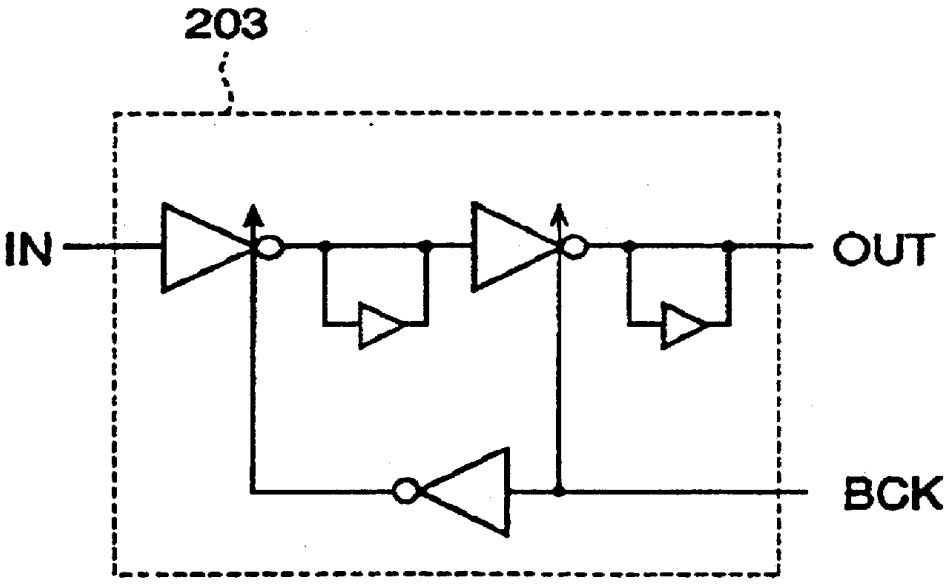

201
기본 제어 신호 발생 회로
S2
S4
SF3
SF4
SF1
SF2
301
311
우수 사이클 판정 회로
321
기수 사이클 어드레스 재설정 검지 회로
φ2N+1
φ2N
A1int
401
501
421
구분 신호 발생 회로
프리차지 제어 신호 발생 회로
전송 신호 발생 회로
341
파이프라인 제어 신호 발생 회로
331
ST2
SW
CC
REGA1
REGA2
REGB3
REGB4
LDB①②PRCH
LDB③④PRCH
411
구분 변경 신호 전환 회로
SR13
SR24
레지스터 선택 신호 발생 회로
431
A0
REG11
REG42
P2ON
NBSRT
BCR
BCK

도면9

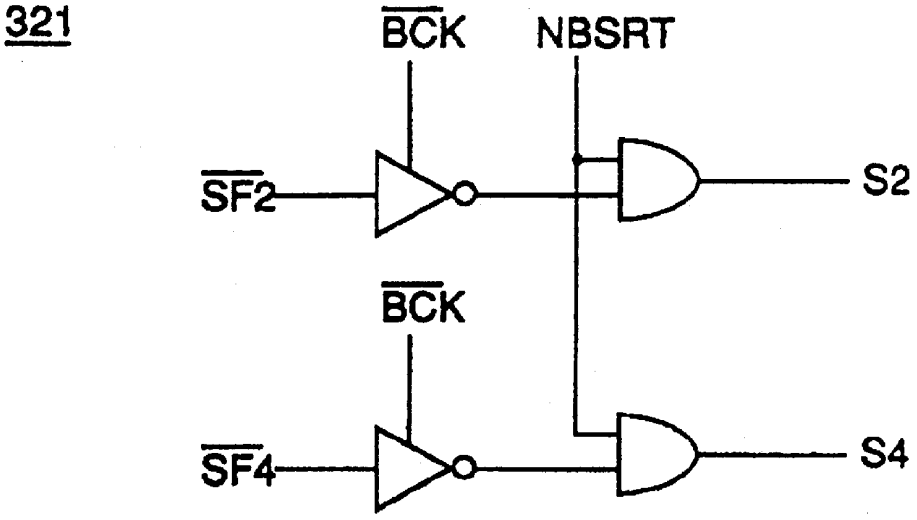
201


BCK
IN
OUT
203
(203-1)
203
205-2
203
S2
203
205-4
S4
SF1
SF2
VSS
SF3
SF4
VSS

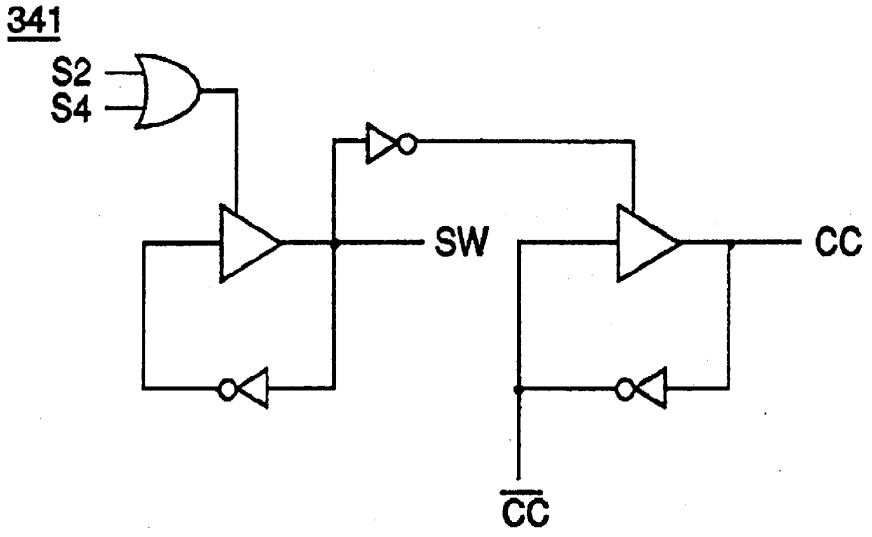
도면10


203
IN
OUT
BCK

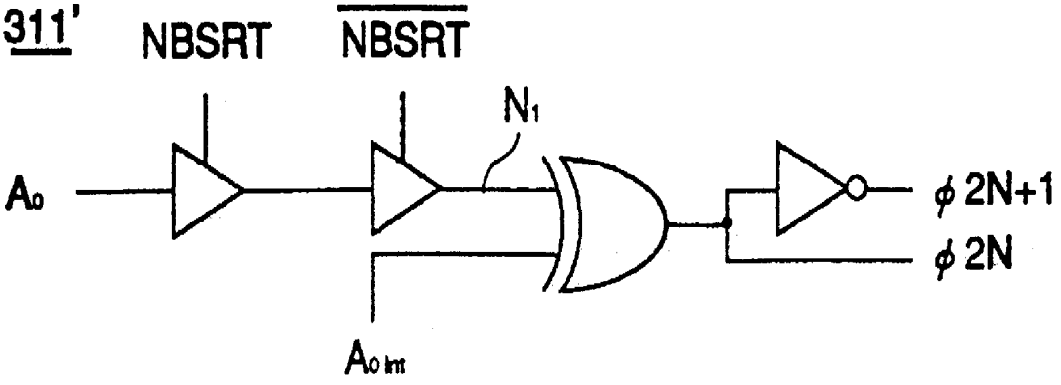
도면11



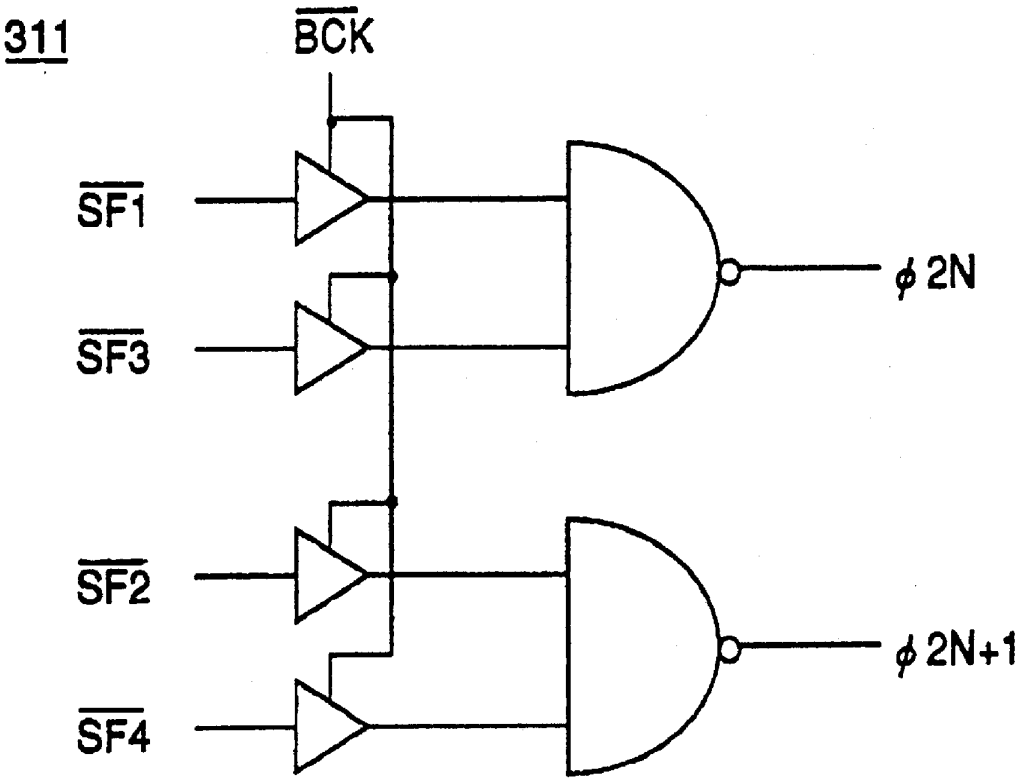
도면12



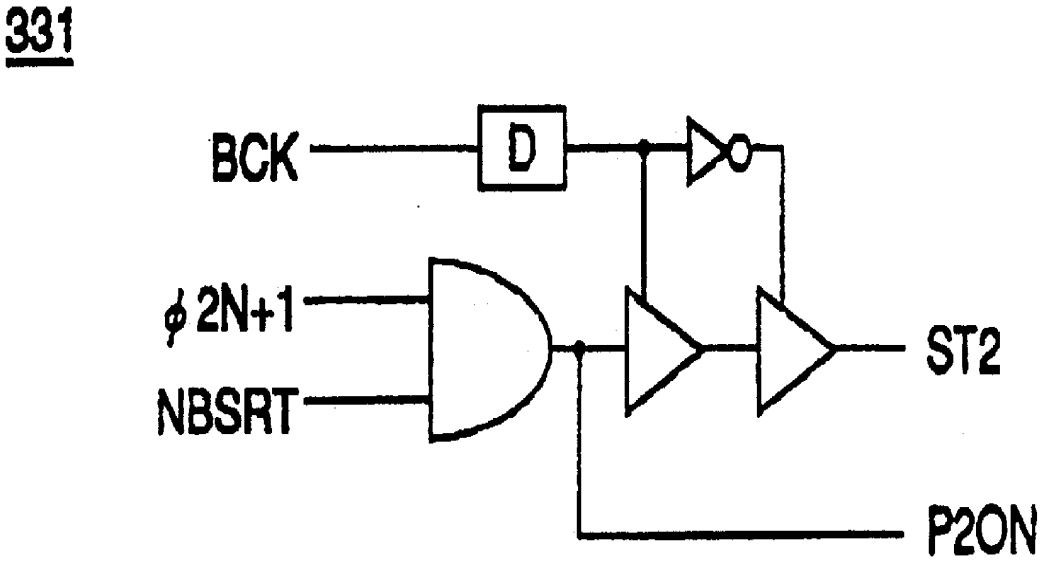
도면13



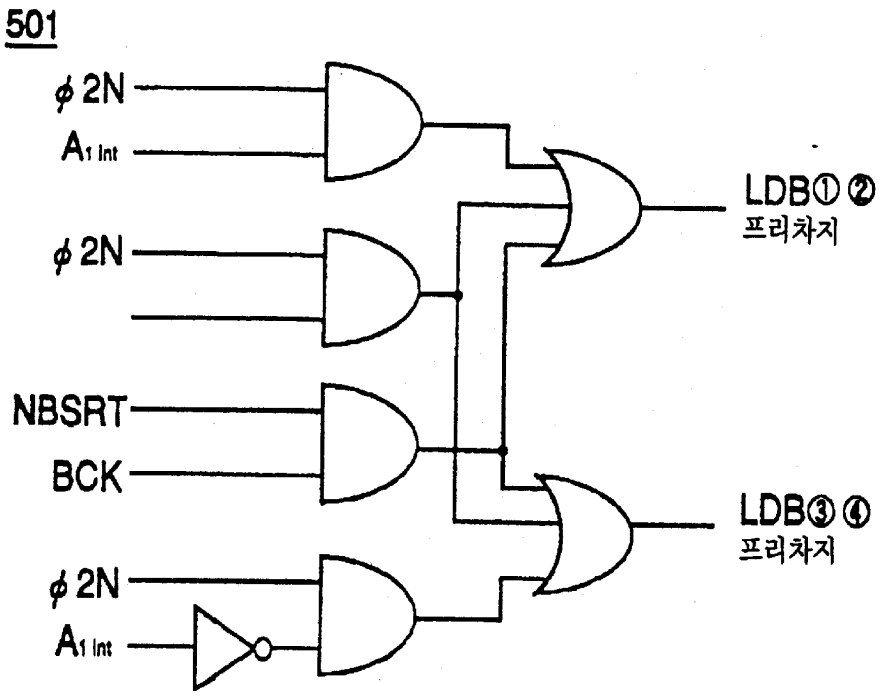
도면14



도면15



도면16



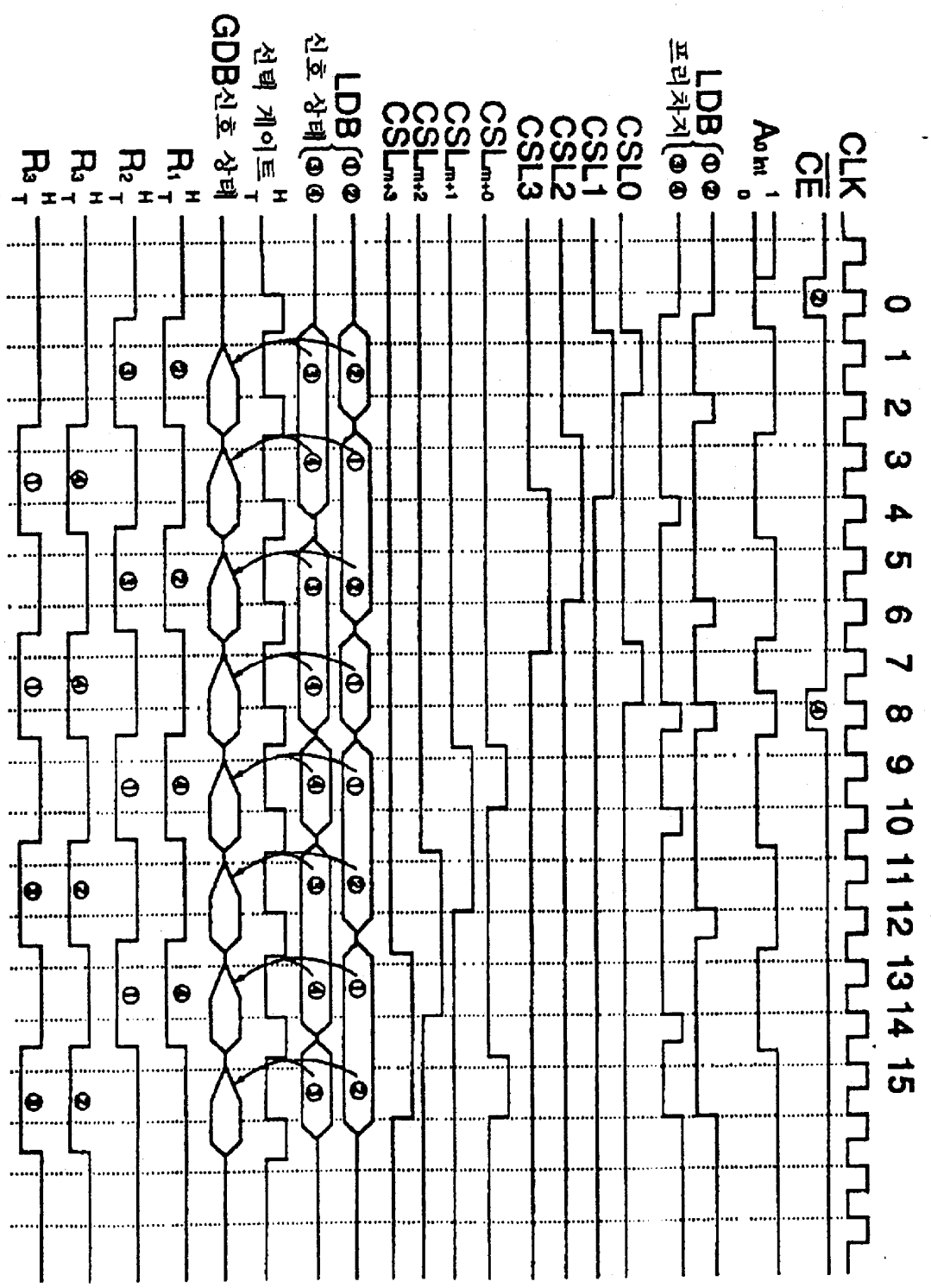
도면17

LDB	①	②	③	④
A0	0	1	0	1
A1	0	0	1	1
	AB1		AB2	

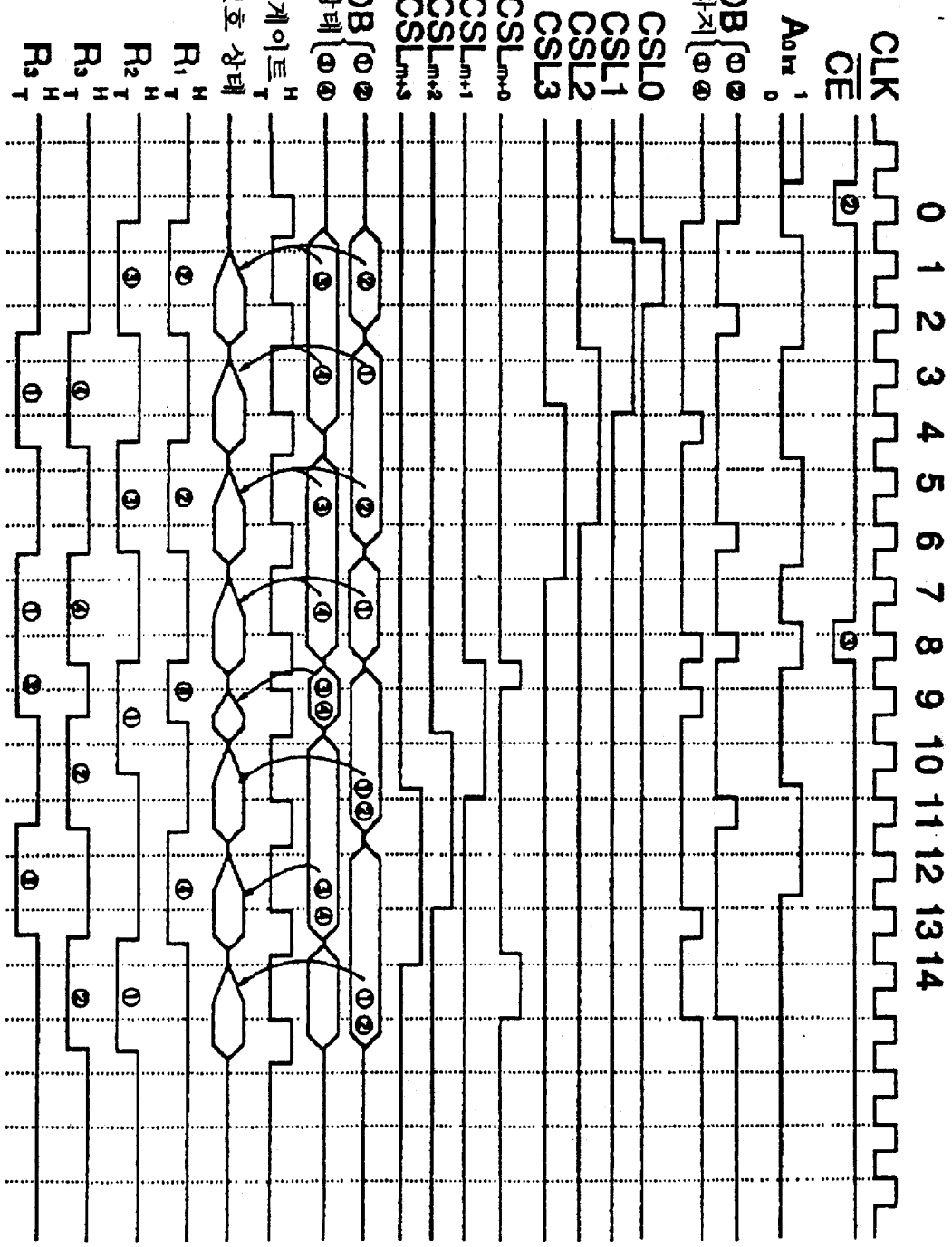
도면18

CSL0	①②	CSL1	③④	CSL2	①②	CSL3	③④
CSLm+0	③④	CSLm+1	①②	CSLm+2	③④	CSLm+3	①②
	LDB		LDB		LDB		LDB

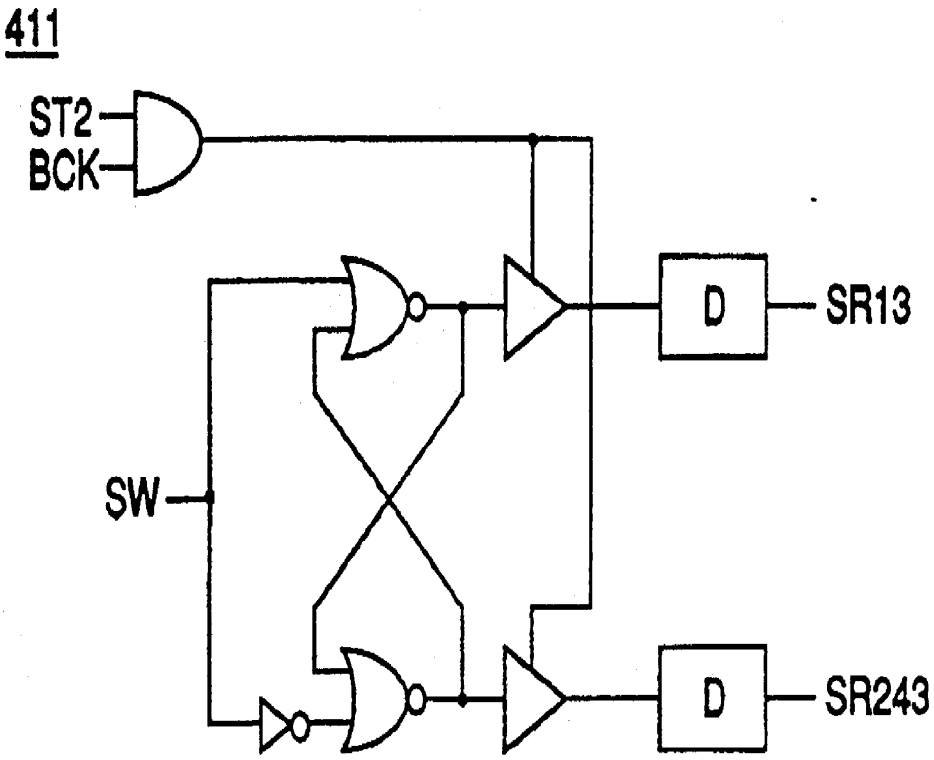
도면19


CLK
CE
Am-1 ~ A0
LDB ① ②
프리차지 ③ ④
CSL0
CSL1
CSL2
CSL3
CSLm-0
CSLm-1
CSLm-2
CSLm-3
LDB ① ②
신호 상태 ③ ④
선택 게이트
GDB신호 상태
R1
R2
R3
R3
H
T
0 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15

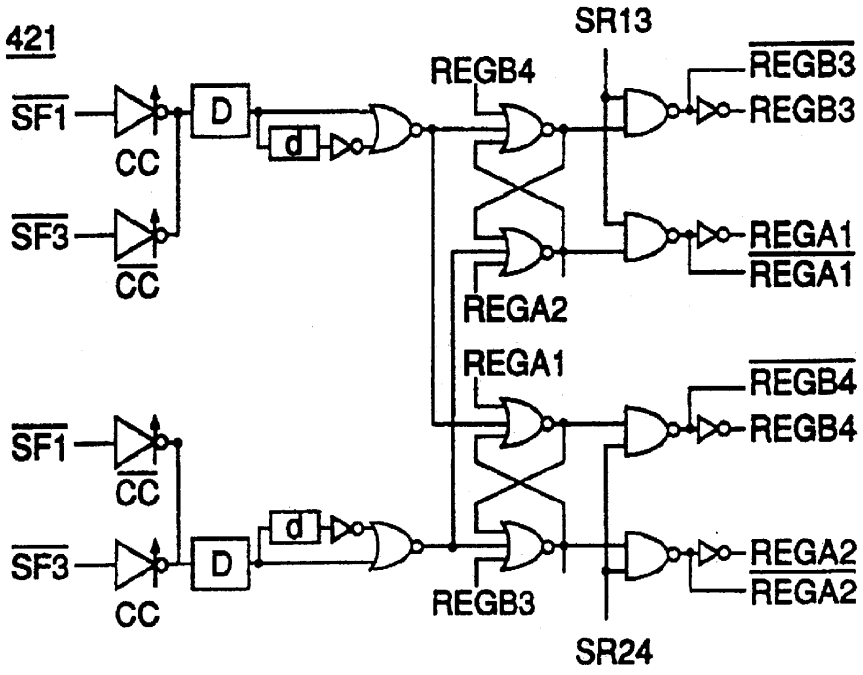
도면20


CLK
CE
Am-1 ~ A0
LDB 프리차지
CSL0
CSL1
CSL2
CSL3
CSLm+0
CSLm+1
CSLm+2
CSLm+3
LDB 신호 상태
선택 게이트
GDB신호 상태
R1
R2
R3
R4
0 1 2 3 4 5 6 7 8 9 10 11 12 13 14

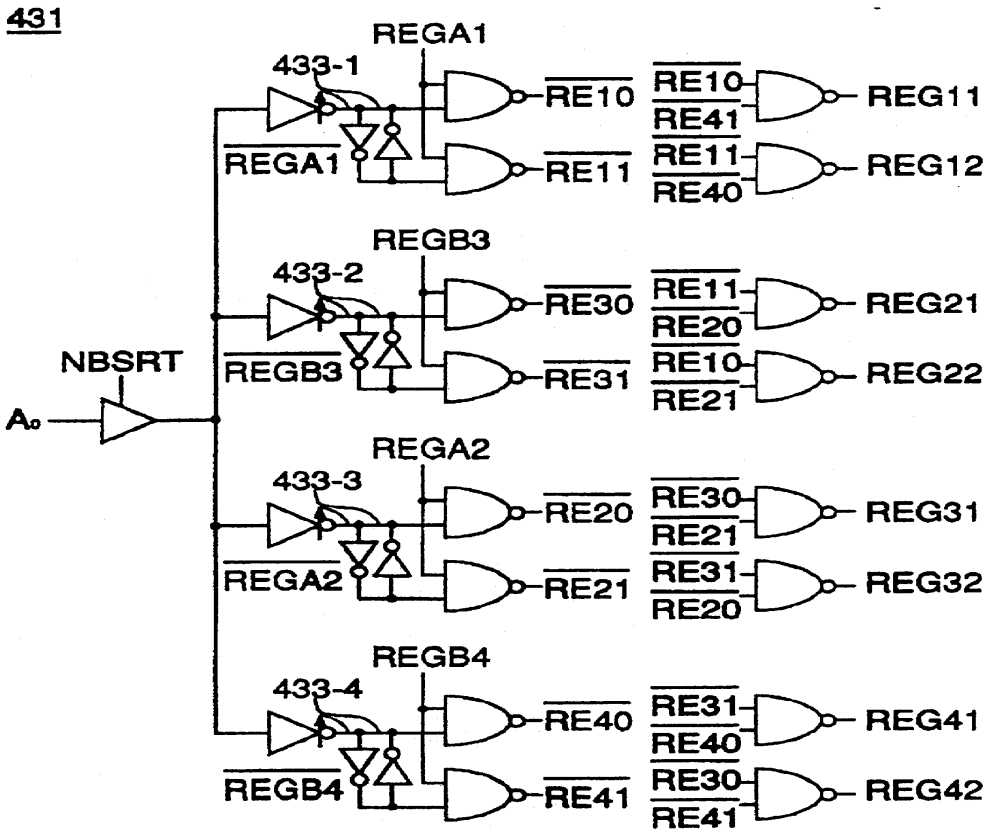
도면21


411
ST2
BCK
SW
D
SR13
D
SR243

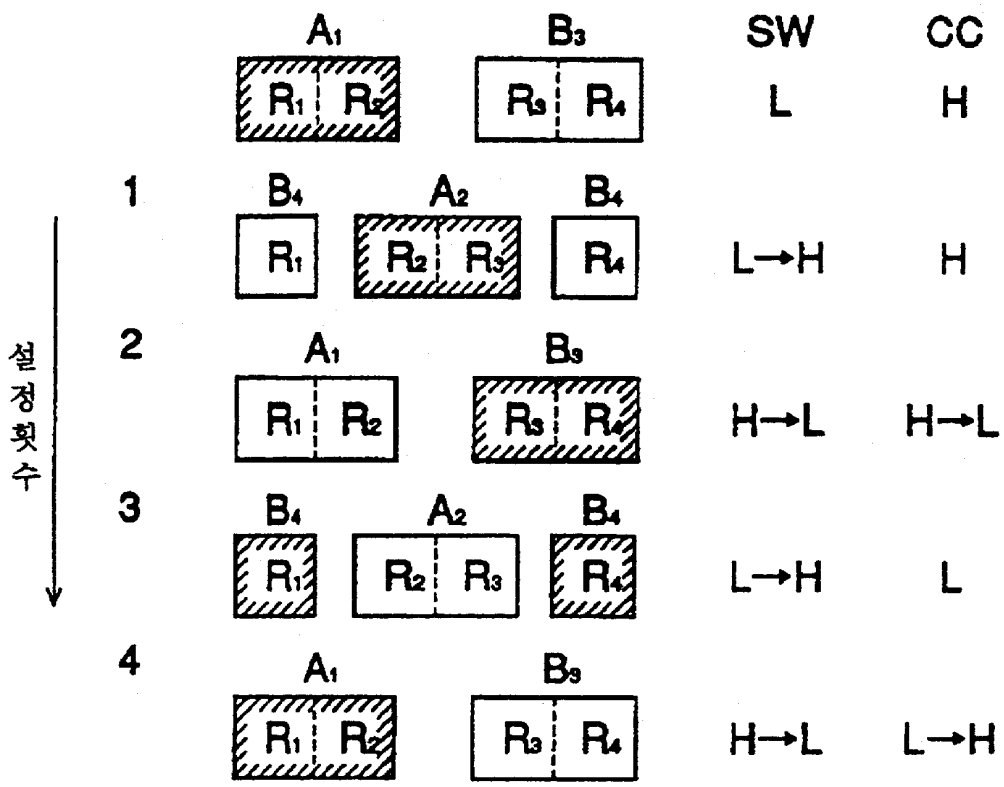
도면22


421
SF1
CC
SF3
CC
D
d
REGB4
SR13
REGB3
REGB3
REGA1
REGA1
REGA2
REGA1
REGB4
REGB4
SF1
CC
SF3
CC
D
d
REGB3
REGA2
REGA2
SR24

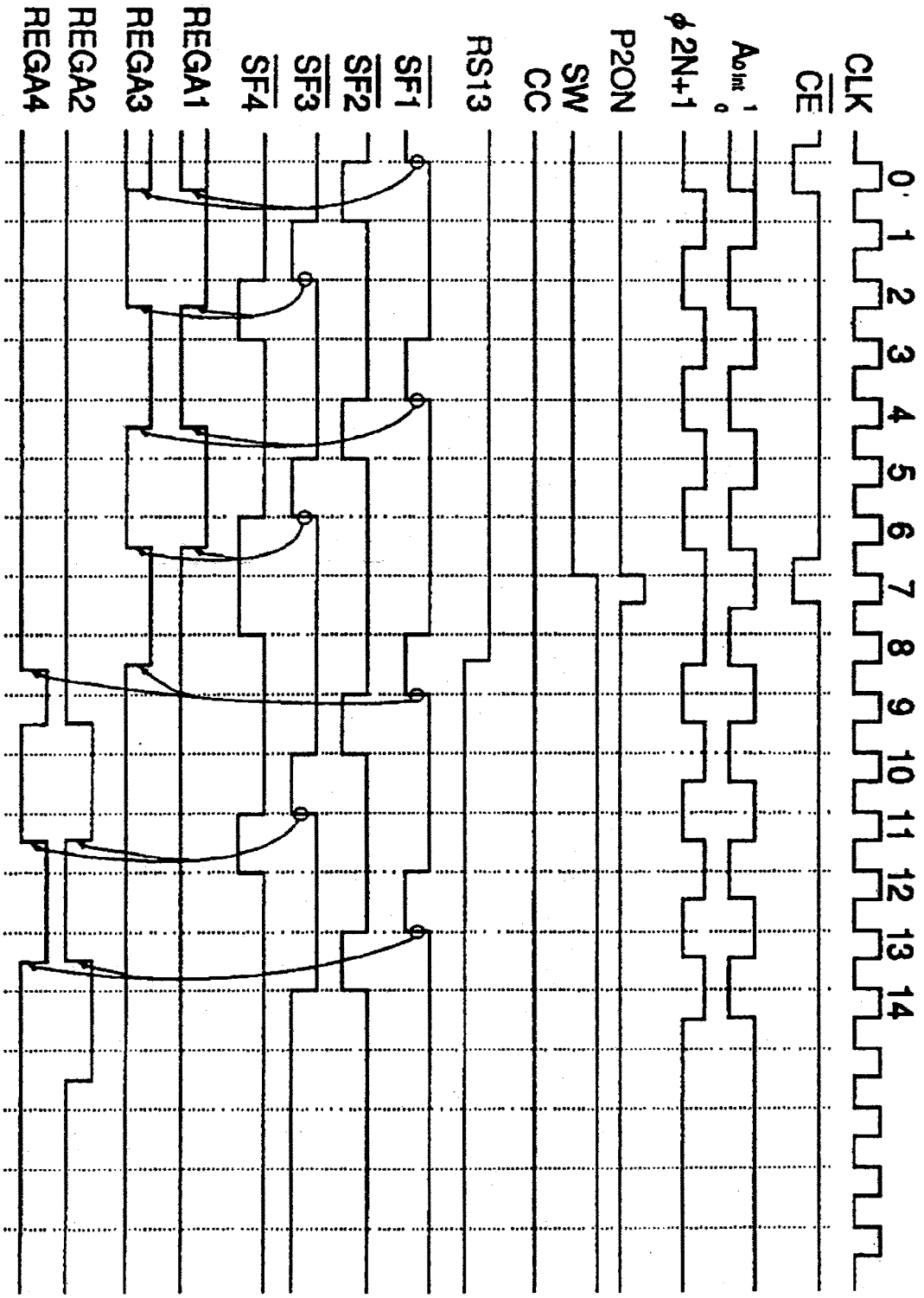
도면23


431
REGA1
433-1
RE10
RE10
RE41
REG11
REGA1
RE11
RE11
RE40
REG12
REGB3
433-2
RE30
RE11
RE20
REG21
NBSRT
REGB3
RE31
RE10
RE21
REG22
A0
REGA2
433-3
RE20
RE30
RE21
REG31
REGA2
RE21
RE31
RE20
REG32
REGB4
433-4
RE40
RE31
RE40
REG41
REGB4
RE41
RE30
RE41
REG42

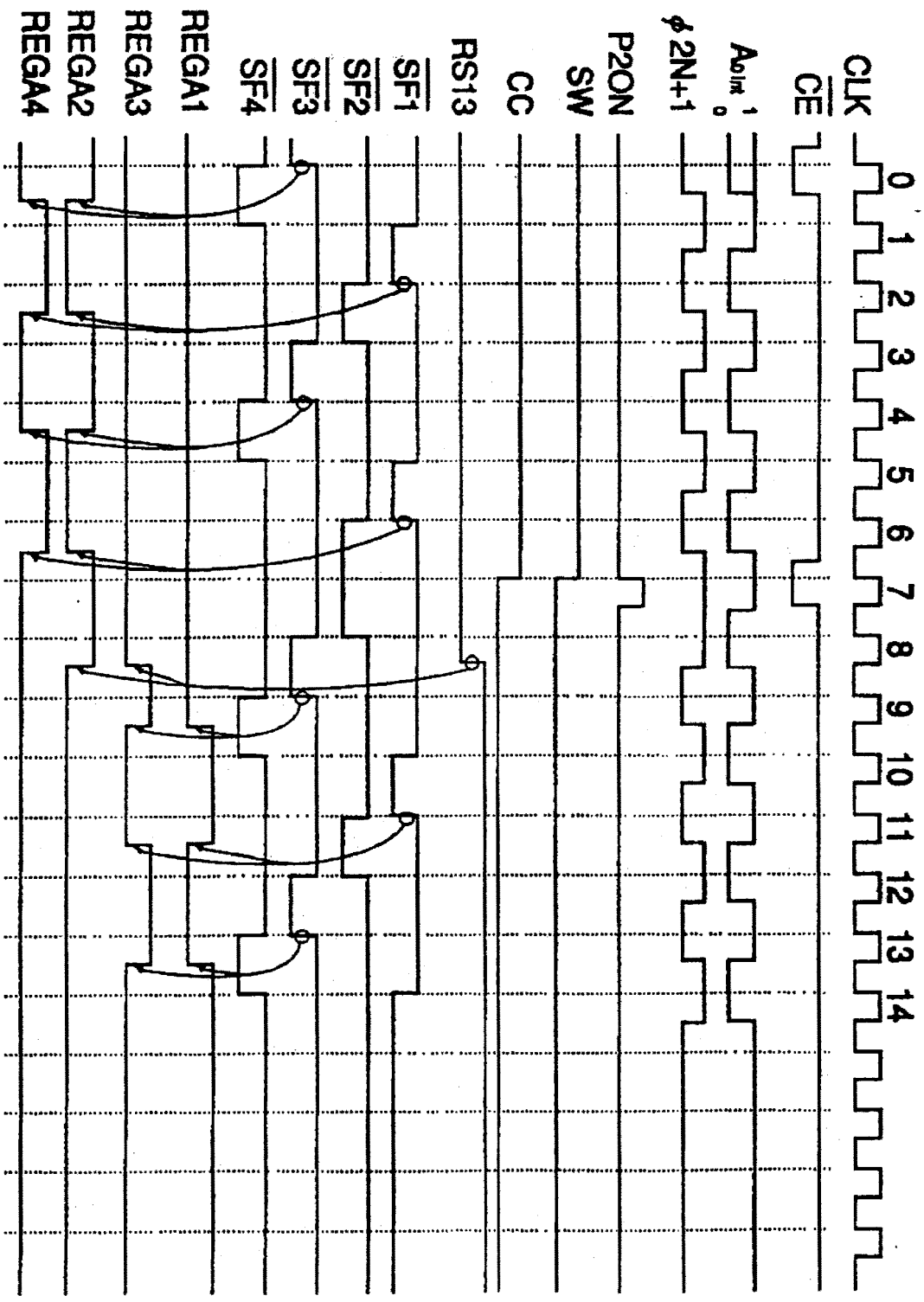
도면24


A1
B3
SW
CC
R1
R2
R3
R4
L
H
1
B4
A2
B4
L→H
H
2
A1
B3
H→L
H→L
3
B4
A2
B4
L→H
L
4
A1
B3
H→L
L→H
설정횟수

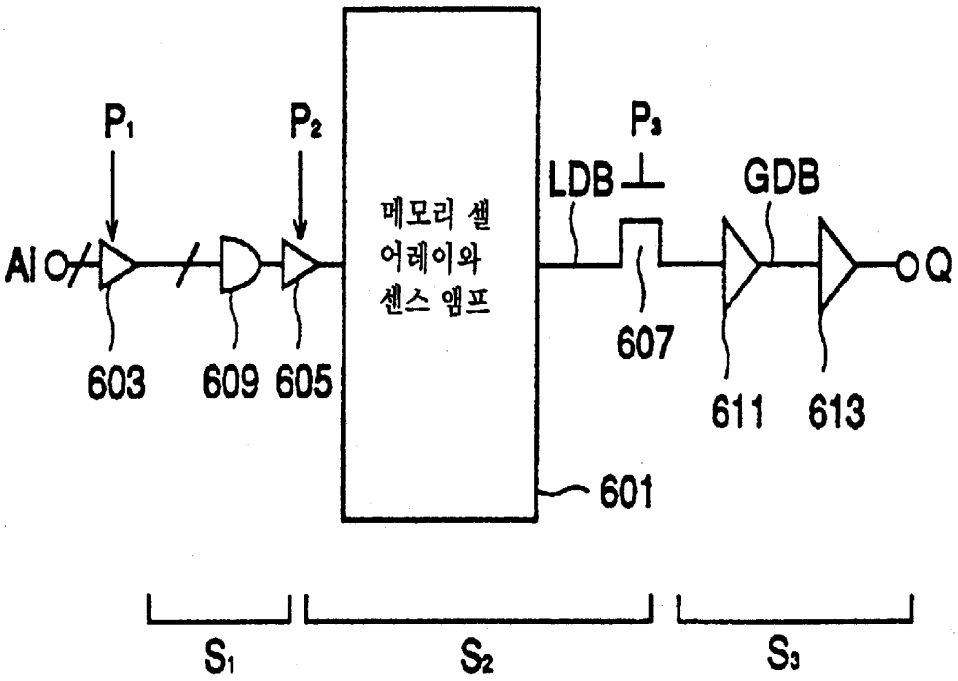
도면25


CLK
CE
A0 int 1 0
φ 2N+1
P2ON
SW CC
RS13
SF1
SF2
SF3
SF4
REGA1
REGA3
REGA2
REGA4
0 1 2 3 4 5 6 7 8 9 10 11 12 13 14

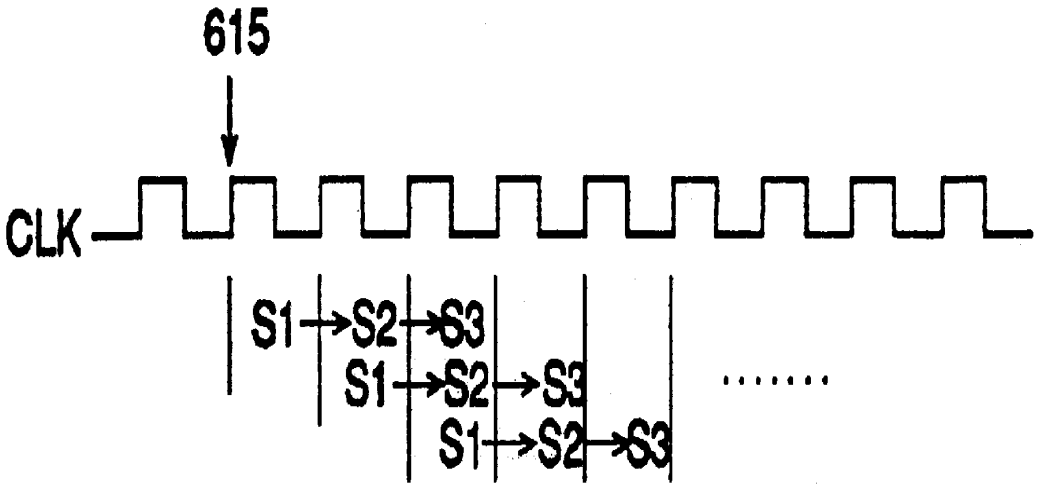
도면26


CLK
CE
Ao
1
0
φ2N+1
P2ON
SW
CC
RS13
SF1
SF2
SF3
SF4
REGA1
REGA2
REGA3
REGA4
0
1
2
3
4
5
6
7
8
9
10
11
12
13
14

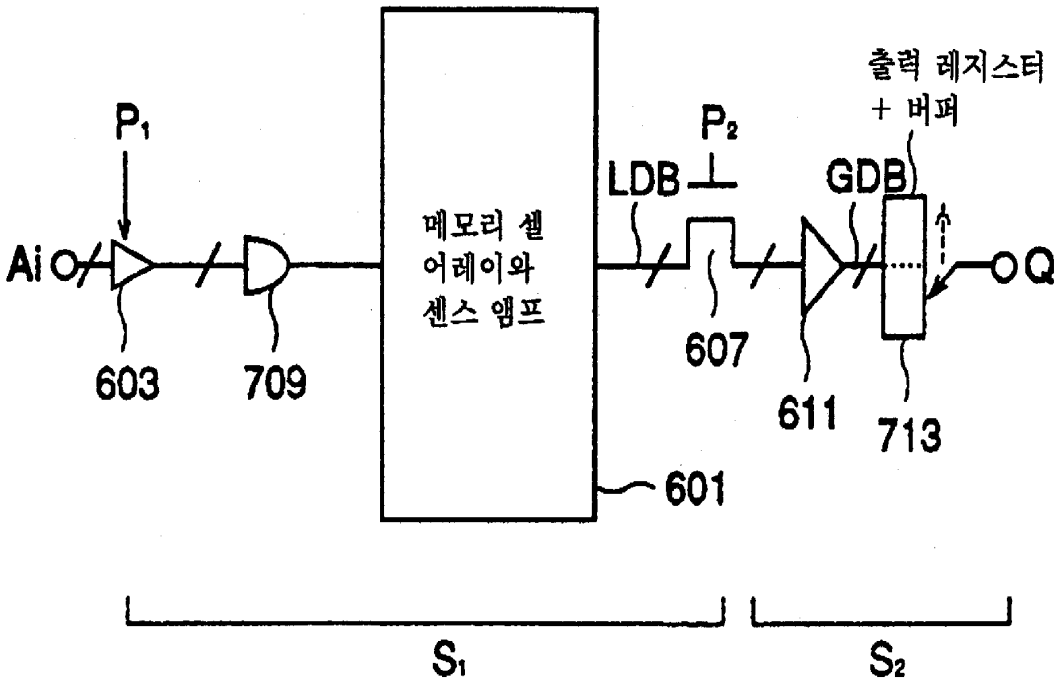
도면27


P1
P2
P3
LDB
GDB
AI
메모리 셀
어레이와
센스 앰프
Q
603
609
605
607
611
613
601
S1
S2
S3

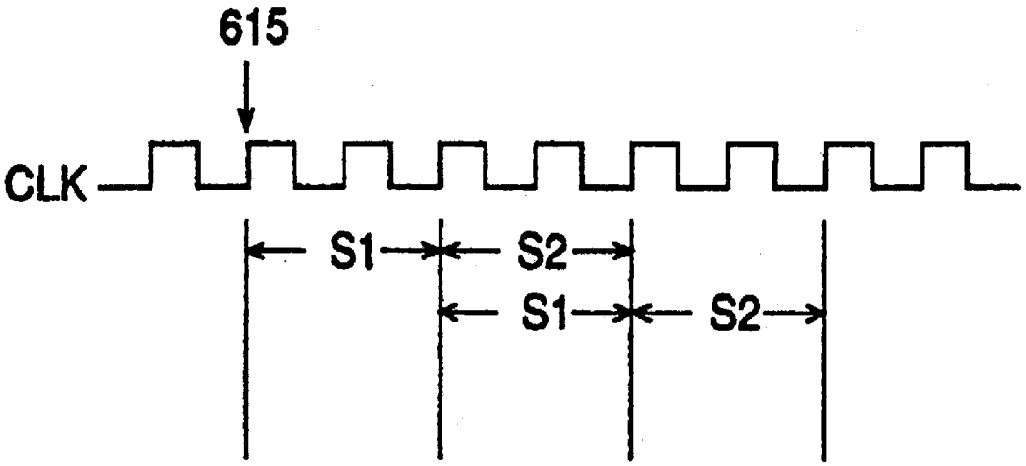
도면28


615
CLK
S1→S2→S3
S1→S2→S3
S1→S2→S3
.....

도면29


P1
Ai
603
709
메모리 셀
어레이와
센스 앰프
601
P2
LDB
607
출력 레지스터
+ 버퍼
GDB
611
713
Q
S1
S2

도면30


615
CLK
S1
S2
S1
S2

도면31

