

TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告（条約第21条(3)）

(57) 要約：一形態に係る半導体モジュールは、回路基板と、第1主電極パッドが回路基板の第1入力用配線パターンに対向し且つ接続され、第1ゲート電極パッドが回路基板の第1制御配線用パターンに接続される第1縦型トランジスタと、第4主電極パッドが回路基板の第2入力用配線パターンに対向し且つ接続されるとともに、第2ゲート電極パッドが回路基板の第2制御用配線パターンに対向し且つ接続された第2縦型トランジスタと、第1及び第2入力用配線パターンを接続しておりサージ電圧を吸収するサージ電圧吸収素子と、第1縦型トランジスタの第2主電極パッドと第2縦型トランジスタの第3主電極パッドとを接続する板状部材とを備える。

明 細 書

発明の名称：半導体モジュール

技術分野

- [0001] 本開示は半導体モジュールに関する。
- [0002] 本出願は、2016年11月24日出願の日本出願第2016-227744号に基づく優先権を主張し、前記日本出願に記載された全ての記載内容を援用するものである。

背景技術

- [0003] インバータ回路といった電力変換回路を含む半導体モジュールでは、上アーム及び下アームを構成するスイッチング素子であるトランジスタをターンオン又はターンオフした直後に、電力変換回路の正側入力端子と負側入力端子の間にサージ電圧が発生することが知られている。上記サージ電圧を抑制するために、特許文献1では、サージ電圧吸収素子としてのスナバコンデンサを、正側入力端子と負側入力端子との間に接続している。

先行技術文献

特許文献

- [0004] 特許文献1：特開2015-135895号公報
特許文献2：特開2014-187874号公報

発明の概要

- [0005] 本開示の一側面に係る半導体モジュールは、（A）絶縁基板と、上記絶縁基板の表面上に形成された第1入力用配線パターン、第2入力用配線パターン、第1制御用配線パターン及び第2制御用配線パターンとを有する回路基板と、（B）第1主電極パッド、第2主電極パッド及び第1ゲート電極パッドを有する第1縦型トランジスタであって、上記第2主電極パッド及び上記第1ゲート電極パッドは上記第1主電極パッドと反対側に形成されており、上記第1主電極パッドが上記第1入力用配線パターンと対向し且つ上記第1入力用配線パターンに電氣的に接続された状態で上記回路基板に搭載され、

上記第1ゲート電極パッドは上記第1制御用配線パターンに電氣的に接続される上記第1縦型トランジスタと、(C)第3主電極パッド、第4主電極パッド及び第2ゲート電極パッドを有する第2縦型トランジスタであって、上記第4主電極パッド及び上記第2ゲート電極パッドは上記第3主電極パッドと反対側に形成されており、上記第4主電極パッドが上記第2入力用配線パターンと対向し且つ上記第2入力用配線パターンに電氣的に接続されるとともに、上記第2ゲート電極パッドが上記第2制御用配線パターンと対向し且つ上記第2制御用配線パターンに電氣的に接続された状態で上記回路基板に搭載される上記第2縦型トランジスタと、(D)上記第1入力用配線パターンと上記第2入力用配線パターンとの間を接続しておりサージ電圧を吸収するサージ電圧吸収素子と、(E)上記第1縦型トランジスタ及び上記第2縦型トランジスタ上に配置されており、裏面側導電領域を有する板状部材と、を備え、上記第2主電極パッドと上記第3主電極パッドとは、上記板状部材の上記裏面側導電領域によって互いに電氣的に接続される。

図面の簡単な説明

[0006] [図1]図1は、一実施形態に係る半導体モジュールの概略構成を示す平面図である。

[図2]図2は、図1のII-II線に沿った断面を矢印方向に見た場合において、回路基板上の主な構成を示す模式図である。

[図3]図3は、図1に示した半導体モジュールにおいて、導電板を取り除いた場合の回路基板上の構成を示す模式図である。

[図4]図4は、図1に示した半導体モジュールの等価回路を示す図面である。

[図5]図5は、半導体モジュールの変形例の概略構成を示す平面図である。

[図6]図6は、図5に示した半導体モジュールの等価回路を示す図面である。

発明を実施するための形態

[0007] 特許文献1に記載の技術では、スナバコンデンサ（サージ電圧吸収素子）の熱による劣化を防止するために、スイッチング素子であるトランジスタなどを実装する基板上において、トランジスタを実装する部分と、スナバコン

デンサを実装する部分とを別々に形成し、それらを熱的に分離している。この場合、トランジスタと、スナバコンデンサとの距離が長くなる傾向にあるため、サージ電圧を十分に抑制できないおそれがある。

[0008] そこで、サージ電圧をより確実に抑制可能な半導体モジュールを提供することを本開示の目的の1つとする。

[0009] 以下、図面を参照して本開示の技術の実施形態について説明する。図面の説明において、同一要素には同一符号を付し、重複する説明を省略する。

[実施形態の説明]

最初に、本開示の技術の実施形態の内容を列記して説明する。

[0010] 本開示の一側面に係る半導体モジュールは、(A) 絶縁基板と、上記絶縁基板の表面上に形成された第1入力用配線パターン、第2入力用配線パターン、第1制御用配線パターン及び第2制御用配線パターンとを有する回路基板と、(B) 第1主電極パッド、第2主電極パッド及び第1ゲート電極パッドを有する第1縦型トランジスタであって、上記第2主電極パッド及び上記第1ゲート電極パッドは上記第1主電極パッドと反対側に形成されており、上記第1主電極パッドが上記第1入力用配線パターンと対向し且つ上記第1入力用配線パターンに電氣的に接続された状態で上記回路基板に搭載され、上記第1ゲート電極パッドは上記第1制御用配線パターンに電氣的に接続される上記第1縦型トランジスタと、(C) 第3主電極パッド、第4主電極パッド及び第2ゲート電極パッドを有する第2縦型トランジスタであって、上記第4主電極パッド及び上記第2ゲート電極パッドは上記第3主電極パッドと反対側に形成されており、上記第4主電極パッドが上記第2入力用配線パターンと対向し且つ上記第2入力用配線パターンに電氣的に接続されるとともに、上記第2ゲート電極パッドが上記第2制御用配線パターンと対向し且つ上記第2制御用配線パターンに電氣的に接続された状態で上記回路基板に搭載される上記第2縦型トランジスタと、(D) 上記第1入力用配線パターンと上記第2入力用配線パターンとの間を接続しておりサージ電圧を吸収するサージ電圧吸収素子と、(E) 上記第1縦型トランジスタ及び上記第2縦

型トランジスタ上に配置されており、裏面側導電領域を有する板状部材と、を備え、上記第2主電極パッドと上記第3主電極パッドとは、上記板状部材の上記裏面側導電領域によって互いに電氣的に接続される。

[0011] 上記構成では、第1縦型トランジスタの第2主電極パッドと第2縦型トランジスタの第3主電極パッドとが板状部材の裏面側導電領域を介して電氣的に接続されていることから、第1縦型トランジスタ及び第2縦型トランジスタは直列接続されている。第1縦型トランジスタの第1主電極パッドが第1入力用配線パターンに電氣的に接続されており、第2縦型トランジスタの第4主電極パッドが第2入力用配線パターンに接続されている。よって、第1縦型トランジスタ及び第2縦型トランジスタの直列回路に対して、第1入力用配線パターンを介して、第1縦型トランジスタに正電圧を供給し、第2入力用配線パターンを介して第2縦型トランジスタに負電圧を供給できる。このように、第1縦型トランジスタに正電圧を供給し、第2縦型トランジスタに負電圧を供給した状態で、第1制御用配線パターン及び第2制御用配線パターンを介して第1縦型トランジスタの第1ゲート電極パッド及び第2縦型トランジスタの第2ゲート電極パッドに制御信号を入力することで、半導体モジュールは電力変換回路として機能する。半導体モジュールでは、第1入力用配線パターン及び第2入力用配線パターンがサージ電圧吸収素子で接続されていることから、半導体モジュールの動作時に生じるサージ電圧を吸収できる。第1縦型トランジスタは、第1主電極が第1入力用配線パターンと対向し且つ第1入力用配線パターンに電氣的に接続された状態で回路基板に搭載されており、第2縦型トランジスタは、第4主電極パッドが第2入力用配線パターンと対向し且つ第2入力用配線パターンに電氣的に接続された状態で回路基板に搭載されている。そのため、第1縦型トランジスタ及び第2縦型トランジスタからサージ電圧吸収素子までの電流経路を短縮できるので、インダクタンスを低減できる。その結果、半導体モジュールの動作時に生じるサージ電圧をより確実に抑制可能である。

[0012] 上記板状部材は、切欠き部を有し、上記板状部材は、上記切欠き部から上

記第1ゲート電極パッドを露出するように、上記第1縦型トランジスタ上に配置されていてもよい。これにより、板状部材を、第1縦型トランジスタ及び第2縦型トランジスタからみて回路基板と反対側に配置しても、第1縦型トランジスタの第1ゲート電極パッドと、第1制御用配線パターンとを容易に接続できる。

[0013] 上記板状部材は、上記板状部材を貫通する貫通孔を有し、上記サージ電圧吸収素子は、上記貫通孔内に配置されていてもよい。これにより、サージ電圧吸収素子と板状部材との干渉を防止できる。

[0014] 上記第1入力用配線パターンにおける上記第1縦型トランジスタが搭載される第1トランジスタ搭載領域と、上記第2入力用配線パターンにおける上記第2縦型トランジスタが搭載される第2トランジスタ搭載領域とは対向配置されており、上記第1トランジスタ搭載領域と上記第2トランジスタ搭載領域の互いに対向する対向縁部は平行であり、上記サージ電圧吸収素子は、上記第1トランジスタ搭載領域と上記第2トランジスタ搭載領域それぞれの上記対向縁部の間を接続していてもよい。

[0015] これにより、対向縁部の延在方向と直交する方向において、第1縦型トランジスタと第2縦型トランジスタとの間にサージ電圧吸収素子を配置可能である。そのため、第1縦型トランジスタ及び第2縦型トランジスタからサージ電圧吸収素子までの電流経路をより短くできる。その結果、半導体モジュールの動作時に生じるサージ電圧を、一層効率的に抑制可能である。

[0016] 上記回路基板は、上記絶縁基板上に出力用配線パターンを有し、上記出力用配線パターンは、上記板状部材の上記裏面側導電領域と電氣的に接続されていてもよい。この場合、出力用配線パターンを介して、出力電力を取り出し得る。

[0017] 本開示の更なる一側面に係る半導体モジュールは、上面に第1入力用配線パターン及び第2入力用配線パターンを有する回路基板と、前記回路基板の上側に配置され前記回路基板に対向する下面に裏面側導電領域を有する板状部材と、下面に第1主電極パッド、上面に第2主電極パッド及び第1ゲート

電極パッドを有し、前記第 1 主電極パッドが前記第 1 入力用配線パターンと電氣的に接続され且つ前記第 2 主電極パッドが前記裏面側導電領域と電氣的に接続されるように前記回路基板と前記板状部材との間に挟まれて配置される第 1 縦型トランジスタと、上面に第 3 主電極パッド、下面に第 4 主電極パッド及び第 2 ゲート電極パッドを有し、前記第 4 主電極パッドが前記第 2 入力用配線パターンと電氣的に接続され且つ前記第 3 主電極パッドが前記裏面側導電領域と電氣的に接続されるように前記回路基板と前記板状部材との間に挟まれて配置される第 2 縦型トランジスタと、前記第 1 入力用配線パターンと前記第 2 入力用配線パターンとの間を接続する容量性素子と、前記第 1 ゲート電極パッドに電氣的に接続される第 1 制御端子と、前記第 2 ゲート電極パッドに電氣的に接続される第 2 制御端子と、前記裏面側導電領域に電氣的に接続される出力端子とを含む。

[0018] 上記半導体モジュールでは、第 1 入力用配線パターン及び第 2 入力用配線パターンが容量性素子で接続されていることから、半導体モジュールの動作時に生じるサージ電圧を吸収できる。第 1 縦型トランジスタは、第 1 主電極が第 1 入力用配線パターンと電氣的に接続されるよう回路基板と板状部材との間に挟まれて配置され、第 2 縦型トランジスタは、第 4 主電極パッドが第 2 入力用配線パターンと電氣的に接続されるように回路基板と板状部材との間に挟まれて配置される。そのため、第 1 縦型トランジスタ及び第 2 縦型トランジスタから容量性素子までの電流経路を短縮できるので、インダクタンスを低減できる。その結果、半導体モジュールの動作時に生じるサージ電圧をより確実に抑制可能である。

[実施形態の詳細]

本開示の技術の実施形態の具体例を、以下に図面を参照しつつ説明する。本発明はこれらの例示に限定されるものではなく、請求の範囲によって示され、請求の範囲内と均等の範囲内とでのすべての変更が含まれることが意図される。図面の説明においては同一要素には同一符号を付し、重複する説明を省略する。

[0019] 図1及び図2に示した半導体モジュール1は、インバータ装置といった電力変換装置として機能する。半導体モジュール1は、回路基板10と、第1トランジスタTr1と、第2トランジスタTr2と、少なくとも一つのサージ電圧吸収素子20と、導電板（板状部材）30とを備える。図2は、図1のII-II線に沿った断面を矢印方向に見た場合において、回路基板上の主な構成を示す模式図である。図2では、図1に示した第2導線W2及びケースC等を省略している。

[0020] 半導体モジュール1は、第1ダイオードDi1と第2ダイオードDi2とを有してもよい。更に、半導体モジュール1は、回路基板10及び回路基板10上に実装される第1トランジスタTr1、第2トランジスタTr2などを収容するケースCを備えてもよい。

[0021] 図1では、ケースCを一点鎖線で模式的に示している。ケースCは、例えば樹脂で構成されてもよい。ケースCは、回路基板10が搭載される放熱板を底板とし、その底板と、回路基板10等を覆う樹脂性のカバーとから構成されてもよい。ケースC内に収容された回路基板10上の構造（第1トランジスタTr1、第2トランジスタTr2など）は、例えばシリコーンゲルで埋設されている。

[0022] 以下では、断らない限り、半導体モジュール1が、第1ダイオードDi1、第2ダイオードDi2及びケースCを備えるとともに、3つのサージ電圧吸収素子20を備えた形態について説明する。

[0023] 図3は、図1に示した半導体モジュールにおいて、導電板を取り除いた場合の回路基板上の構成を示す模式図である。図1及び図3に示したように、回路基板10は、絶縁基板11を有し、絶縁基板11の表面11a上には、Pパッド12、Nパッド13、Oパッド14、第1制御信号用パッド15及び第2制御信号用パッド16が形成されている。表面11a上には、補助パッド17が形成されていてもよい。断らない限り、補助パッド17が形成された形態を説明する。

[0024] 絶縁基板11は例えばセラミックス基板である。絶縁基板11の材料の例

は、AlN、SiN及びAl₂O₃を含む。絶縁基板11の厚さ方向に見た形状（即ち例えば上方から見た平面形状）は限定されないが、例えば矩形及び正方形が挙げられる。絶縁基板11の裏面（第1トランジスタTr1、第2トランジスタTr2などが搭載される面と反対側）には、銅などからなる放熱層が形成されてもよい。

[0025] Pパッド（第1入力用配線パターン）12は、第1トランジスタ搭載領域121と、外部接続領域122とを有する導電層であり、例えば銅からなる。第1トランジスタ搭載領域121は、第1トランジスタTr1が搭載される領域である。第1トランジスタ搭載領域121には、第1ダイオードDi1も搭載される。外部接続領域122は、第1トランジスタ搭載領域121から継ぎ目無く続いており、正電圧用端子41の一端が接続される領域である。正電圧用端子41の他端は、ケースC外部に引き出されている。

[0026] Nパッド（第2入力用配線パターン）13は、第2トランジスタ搭載領域131と、第1外部接続領域132と、第2外部接続領域133とを有する導電層であり、例えば銅からなる。第2トランジスタ搭載領域131は、第2トランジスタTr2が搭載される領域である。第2トランジスタ搭載領域131には、第2ダイオードDi2も搭載される。第1外部接続領域132は、第2トランジスタ搭載領域131から継ぎ目無く続いており、負電圧用端子42の一端が接続される領域である。第2外部接続領域133は、第2トランジスタ搭載領域131から継ぎ目無く続いており、第2補助端子43の一端が接続される領域である。本実施形態において、第2外部接続領域133は、第2トランジスタ搭載領域131に対して第1外部接続領域132と反対側に配置されている。負電圧用端子42及び第2補助端子43の他端は、ケースC外部に引き出されている。

[0027] Nパッド13は、Pパッド12と対向配置されている。具体的には、Nパッド13は、Nパッド13の縁部（対向縁部）13aが、Pパッド12の縁部（対向縁部）12aと対向し且つ平行の状態で配置されている。

[0028] Oパッド（出力用配線パターン）14は、出力端子44の一端が接続され

る導電層であり、例えば銅からなる。本実施形態において、Oパッド14は、第1トランジスタ搭載領域121に対して外部接続領域122と反対側でPパッド12から離れて形成され、且つ第2外部接続領域133の側方に配置されている。出力端子44の他端は、ケースC外部に引き出されている。

[0029] 第1制御信号用パッド（第1制御用配線パターン）15は、第1制御端子45の一端が接続される導電層であり、例えば銅からなる。本実施形態において、第1制御信号用パッド15は、外部接続領域122の側方に配置されている。第1制御端子45の他端は、ケースC外部に引き出されている。

[0030] 第2制御信号用パッド（第2制御用配線パターン）16は、第2制御端子46の一端が接続される導電層であり、例えば銅からなる。本実施形態において、第2制御信号用パッド16は、第2外部接続領域133に対してOパッド14と反対側において、第2外部接続領域133の側方に配置されている。第2制御端子46の他端は、ケースC外部に引き出されている。

[0031] 補助パッド17は、第1補助端子47の一端が接続される導電層であり、例えば銅からなる。本実施形態において、補助パッド17は、第1制御信号用パッド15と外部接続領域122の間に配置されている。第1補助端子47の他端は、ケースC外部に引き出されている。

[0032] 絶縁基板11の表面11a上に形成されている上述したパッド（Pパッド12、Nパッド13、Oパッド14など）の形状及び配置は、図1及び図3に例示した形態に限定されず、第1トランジスタTr1、第2トランジスタTr2、第1ダイオードDi1、第2ダイオードDi2などの搭載容易性及び配線容易性などを考慮して適宜設定されていけばよい。

[0033] 第1トランジスタTr1及び第2トランジスタTr2は、縦型トランジスタであり、チップ状を呈する。第1トランジスタTr1及び第2トランジスタTr2の材料の例は、SiC、GaN等のワイドバンドギャップ半導体及びSiを含む。第1トランジスタTr1及び第2トランジスタTr2は、MOSFET（Metal-Oxide-Semiconductor Field-Effect Transistor）でもよいし、絶縁ゲートバ

イポーラトランジスタ（IGBT：Insulated Gate Bipolar Transistor）でもよい。以下、断らない限り、第1トランジスタTr1及び第2トランジスタTr2はMOSFETであり、互いに同じ構成を有する。

[0034] 第1トランジスタTr1は、ソース電極パッドSPと、ゲート電極パッドGPと、ドレイン電極パッドDPとを有する。ソース電極パッドSPとゲート電極パッドGPとは、第1トランジスタTr1の厚さ方向（絶縁基板11の厚さ方向）において、ドレイン電極パッドDPと反対側の第1トランジスタTr1の面に配置されている。図3では、図示の都合上、第1トランジスタ搭載領域121と対向配置されているドレイン電極パッドDPを、第1トランジスタTr1の外形より若干内側に破線で示しているが、ドレイン電極パッドDPは、第1トランジスタTr1においてソース電極パッドSPとゲート電極パッドGPと反対側の全面に形成され得る。第1トランジスタTr1では、ゲート電極パッドGPに印加される制御信号に応じてソース電極パッドSP及びドレイン電極パッドDP間の導通状態が制御される。これにより、第1トランジスタTr1は、スイッチング素子として機能する。

[0035] 本実施形態において、第1トランジスタTr1のドレイン電極パッドDP、ソース電極パッドSP及びゲート電極パッドGPは、第1トランジスタTr1の第1主電極パッド、第2主電極パッド及び第1ゲート電極パッドである。

[0036] 第1トランジスタTr1は、ドレイン電極パッドDPが、Pパッド12の第1トランジスタ搭載領域121と対向し且つ第1トランジスタ搭載領域121に電氣的に接続されるように、回路基板10上に搭載されている。ドレイン電極パッドDPは、例えば半田、焼結材など介して、第1トランジスタ搭載領域121に固定され得る。この構成では、第1トランジスタTr1のソース電極パッドSP及びゲート電極パッドGPは、回路基板10と反対側の第1トランジスタTr1の面に配置される。第1トランジスタTr1のゲート電極パッドGPは、第1導線（第1接続部）W1により第1制御信号用

パッド15と接続される。第1導線W1としては、例えばワイヤ、リボンなどが挙げられる。

[0037] 第1トランジスタTr1のドレイン電極パッドDPが、Pパッド12と電氣的に接続されているので、正電圧用端子41を介して、第1トランジスタTr1のドレイン電極パッドDPに正電圧が入力され得る。第1トランジスタTr1のゲート電極パッドGPが、第1導線W1を介して第1制御信号用パッド15と電氣的に接続されているので、第1制御端子45を介して、第1トランジスタTr1に制御信号が入力され得る。

[0038] 第2トランジスタTr2は、ソース電極パッドSPと、ゲート電極パッドGPと、ドレイン電極パッドDPとを有する。ソース電極パッドSPとゲート電極パッドGPとは、第2トランジスタTr2の厚さ方向（絶縁基板11の厚さ方向）において、ドレイン電極パッドDPと反対側の第2トランジスタTr2の面に配置されている。第2トランジスタTr2では、ゲート電極パッドGPに印加される制御信号に応じてソース電極パッドSP及びドレイン電極パッドDP間の導通状態が制御される。これにより、第2トランジスタTr2は、スイッチング素子として機能する。

[0039] 本実施形態において、第2トランジスタTr2のドレイン電極パッドDP、ソース電極パッドSP及びゲート電極パッドGPは、第2トランジスタTr2の第3主電極パッド、第4主電極パッド及び第2ゲート電極パッドである。

[0040] 第2トランジスタTr2は、ソース電極パッドSP及びゲート電極パッドGPが回路基板10と対向するように、回路基板10に搭載されている。具体的には、第2トランジスタTr2は、そのソース電極パッドSPが、Nパッド13の第2トランジスタ搭載領域131と対向し且つ第2トランジスタ搭載領域131に電氣的に接続されるとともに、第2トランジスタTr2のゲート電極パッドGPが、第2制御信号用パッド16と対向し且つ第2制御信号用パッド16に電氣的に接続されるように、回路基板10に搭載されている。第2トランジスタTr2のソース電極パッドSP及びゲート電極パッ

ドG Pと、第2トランジスタ搭載領域131及び第2制御信号用パッド16とは、例えば半田、焼結材などを介して固定され得る。このような第2トランジスタTr2の搭載状態では、ドレイン電極パッドD Pは、回路基板10と反対側の第2トランジスタTr2の面に位置する。

[0041] 第2トランジスタTr2のソース電極パッドS Pが、Nパッド13と電氣的に接続されているので、負電圧用端子42を介して、第2トランジスタTr2のソース電極パッドS Pに負電圧が入力され得るとともに、第2補助端子43を介して第2トランジスタTr2のソース電極パッドS Pの電位を半導体モジュール1の外部に取り出し得る。第2補助端子43を介して取り出された第2トランジスタTr2のソース電極パッドS Pの電位は、例えば第2トランジスタTr2の制御信号の生成に利用され得る。第2トランジスタTr2のゲート電極パッドG Pと第2制御信号用パッド16とが電氣的に接続されているので、第2制御端子46を介して第2トランジスタTr2に制御信号が入力され得る。

[0042] 第1ダイオードDi1及び第2ダイオードDi2のそれぞれは、第1トランジスタTr1及び第2トランジスタTr2に対する還流ダイオードである。第1ダイオードDi1及び第2ダイオードDi2は互いに同じ構成を有する。

[0043] 第1ダイオードDi1は、カソードC Pが第1トランジスタ搭載領域121と対向し且つ第1トランジスタ搭載領域121に電氣的に接続されるように、回路基板10上に搭載されている。図3では、図示の都合上、第1トランジスタ搭載領域121と対向配置されているカソードC Pを、第1ダイオードDi1の外形より若干内側に破線で示しているが、カソードC Pは、第1ダイオードDi1においてアノードA Pと反対側の全面に形成され得る。第1ダイオードDi1のカソードC Pは、例えば半田、焼結材などを介して、第1トランジスタ搭載領域121に固定され得る。これにより、第1ダイオードDiのカソードC Pと第1トランジスタTr1のドレイン電極パッドD Pとは第1トランジスタ搭載領域121を介して電氣的に接続され、正電

圧用端子41から供給される正電圧は、第1ダイオードD11のカソードCPにも供給され得る。上記構成では、第1ダイオードD11のアノードAPは、回路基板10と反対側の第1ダイオードD11の面に位置する。

[0044] 第2ダイオードD12は、アノードAPが第2トランジスタ搭載領域131と対向し且つ第2トランジスタ搭載領域131に電氣的に接続されるように、回路基板10上に搭載されている。図3では、図示の都合上、第2トランジスタ搭載領域131と対向配置されているアノードAPを、第2ダイオードD12の外形より若干内側に破線で示しているが、アノードAPは、第2ダイオードD12においてカソードCPと反対側の全面に形成され得る。第2ダイオードD12のアノードAPは、例えば半田、焼結材などを介して、第2トランジスタ搭載領域131に固定され得る。これにより、第2ダイオードD12のアノードAPと第2トランジスタTr2のソース電極パッドSPとは第2トランジスタ搭載領域131を介して電氣的に接続され、負電圧用端子42から第2トランジスタTr2に供給される負電圧は、第2ダイオードD12のアノードAPにも供給され得る。上記構成では、第2ダイオードD12のカソードCPは、回路基板10と反対側の第2ダイオードD12の面に位置する。

[0045] サージ電圧吸収素子20は、サージ電圧を吸収するための素子である。サージ電圧吸収素子20の例はコンデンサであり、このサージ電圧吸収用コンデンサの例はセラミックコンデンサである。サージ吸収用コンデンサの容量は、想定されるサージ電圧を吸収可能な容量であればよい。

[0046] 図1～図3に示したように、サージ電圧吸収素子20は、Pパッド12の縁部12aとNパッド13の縁部13aとの間を接続している。具体的には、サージ電圧吸収素子20の一端は、縁部12aのうち第1トランジスタ搭載領域121の部分に接続され、他端は、縁部13aのうち第2トランジスタ搭載領域131の部分に接続されている。複数のサージ電圧吸収素子20は、縁部12a（縁部13a）の延在方向において互いに離間して配置されている。

[0047] 導電板30は、回路基板10と導電板30とにより、第1トランジスタTr1、第1ダイオードDi1、第2トランジスタTr2及び第2ダイオードDi2を挟むように、第1トランジスタTr1、第1ダイオードDi1、第2トランジスタTr2及び第2ダイオードDi2上に設けられている。導電板30は、導電材料からなる板状部材であればよく、例えば金属板である。導電板30の材料としては、例えば銅またはアルミが挙げられる。導電板30の厚さは、例えば0.3mm程度である。導電板30は、導電材料からなるため、導電板30の表面30aは導電領域（表面側導電領域）であり、裏面30bも導電領域（裏面側導電領域）であり、導電領域である表面30a及び裏面30bは電氣的に互いに接続されている。

[0048] 図1に示したように、導電板30は、その厚さ方向に見て（即ち平面視で）、略矩形又は略正方形を呈し、第1トランジスタTr1のゲート電極パッドGPに対向する部分に切欠き部31を有する。導電板30は、切欠き部31から第1トランジスタTr1のゲート電極パッドGPが露出するように、第1トランジスタTr1、第1ダイオードDi1、第2トランジスタTr2及び第2ダイオードDi2上に配置されている。導電板30は、第1トランジスタTr1のソース電極パッドSP、第1ダイオードDi1のアノードAP、第2トランジスタTr2のドレイン電極パッドDP及び第2ダイオードDi2のカソードCPと例えば半田、焼結材などで固定され、電氣的に接続されている。換言すれば、第1トランジスタTr1のソース電極パッドSP、第1ダイオードDi1のアノードAP、第2トランジスタTr2のドレイン電極パッドDP及び第2ダイオードDi2のカソードCPは、導電板30を介して互いに電氣的に接続されている。

[0049] 導電板30は、サージ電圧吸収素子20の位置に対応する部分に、貫通孔32を有する。貫通孔32は、サージ電圧吸収素子20を通すための孔部であり、サージ電圧吸収素子20と貫通孔32とが接触しない程度の大きさを有し得る。これにより、導電板30を、回路基板10と対向配置しても、導電板30とサージ電圧吸収素子20との干渉が確実に防止されている。

[0050] 導電板30は、第2導線W2により、Oパッド14に接続されている。第2導線W2としては、例えばワイヤ、リボンなどが挙げられる。導電板30とOパッド14間には、大きな電流が流れやすいので、第2導線W2が例えばワイヤである場合、複数本のワイヤで導電板30とOパッド14とが接続されていてもよい。導電板30は、第3導線W3により、補助パッド17に接続されている。第3導線W3としては、例えばワイヤ、リボンなどが挙げられる。

[0051] 上記構成では、第1トランジスタTr1及び第1ダイオードDi1は、電氣的に逆並列接続されており、第2トランジスタTr2及び第2ダイオードDi2は、電氣的に逆並列接続されており、第1トランジスタTr1及び第2トランジスタTr2は、電氣的に直列接続されている。したがって、半導体モジュール1は、図4に示した半導体モジュール1の等価回路のように電力変換回路2として機能する。図4に示した電力変換回路2は、単相インバータ回路であり、この場合、半導体モジュール1は、例えば2in1タイプの半導体モジュールである。図4では、半導体モジュール1の要素と対応する回路要素には同じ符号を付している。半導体モジュール1が備える第1トランジスタTr1及び第2トランジスタTr2は、電力変換回路2において、それぞれ上アーム及び下アームを構成する。

[0052] 導電板30は、第2導線W2により、Oパッド14に接続されていることから、電力変換回路2の出力電圧は、出力端子44を介して半導体モジュール1の外部に取り出され得る。導電板30は、第3導線W3により、補助パッド17に接続されていることから、第1トランジスタTr1のソース電極パッドSPの電位を、第1補助端子47を介して半導体モジュール1の外部に取り出し得る。第1補助端子47を介して取り出された第1トランジスタTr1のソース電極パッドSPの電位は、例えば第1トランジスタTr1の制御信号の生成に利用され得る。

[0053] 半導体モジュール1では、第1トランジスタTr1のドレイン電極パッドDPは、Pパッド12に電氣的に接続され、第2トランジスタTr2のソー

ス電極パッドSPは、Nパッド13に電氣的に接続されている。したがって、正電圧用端子41及び負電圧用端子42により、正電圧用端子41及び負電圧用端子42間に電氣的に直列接続された第1トランジスタTr1及び第2トランジスタTr2に電力を供給可能である。

[0054] 更に、第1トランジスタTr1のゲート電極パッドGP及び第2トランジスタTr2のゲート電極パッドGPはそれぞれ第1制御端子45及び第2制御端子46に電氣的に接続されている。したがって、第1制御端子45及び第2制御端子46を介して第1トランジスタTr1及び第2トランジスタTr2に制御信号を供給できる。

[0055] よって、半導体モジュール1では、第1トランジスタTr1及び第2トランジスタTr2を交互にオン／オフ動作させることで、正電圧用端子41及び負電圧用端子42の間に印加される直流電圧を、交流電圧に変換して、出力端子44から交流電圧を出力し得る。

[0056] 正電圧用端子41及び負電圧用端子42間に、直列接続された第1トランジスタTr1及び第2トランジスタTr2を含む電力変換回路2では、第1トランジスタTr1及び第2トランジスタTr2のそれぞれをターンオン又はターンオフしたときに、サージ電圧が生じる。

[0057] 半導体モジュール1では、Pパッド12の第1トランジスタ搭載領域121及びNパッド13の第2トランジスタ搭載領域131が、サージ電圧吸収素子20で互いに接続されている。したがって、サージ電圧吸収素子20は、図4に示したように、正電圧用端子41と負電圧用端子42との間に電氣的に直列接続されている第1トランジスタTr1と第2トランジスタTr2に対して電氣的に並列接続されている。そのため、半導体モジュール1の構成では、サージ電圧吸収素子20によって、上記サージ電圧を吸収できる。

[0058] サージ電圧の大きさは、電流を*i*とし、インダクタンスを*L*としたとき、 $L \times di/dt$ で定まる。サージ電圧の大きさを規定するインダクタンスには、電流*i*が流れる経路の配線インダクタンスも含まれる。 di/dt は、第1トランジスタTr1及び第2トランジスタTr2のスイッチング速度に

依存する。スイッチング速度は高速化が図られてきているので、 d_i/d_t は大きくなる傾向にある。特に、第1トランジスタ T_{r1} 及び第2トランジスタ T_{r2} の材料にワイドバンドギャップ半導体を使用している場合、スイッチング速度が S_i の場合に比べて速いことから、 d_i/d_t が大きくなりやすい。よって、サージ電圧を効果的に抑制するには、サージ電圧吸収素子20を、第1トランジスタ T_{r1} 及び第2トランジスタ T_{r2} に対し、物理的（電気配線の長さ的）に近くに配置して、インダクタンス L に含まれるケースC内部の配線インダクタンスの寄与分を抑えることが重要である。

[0059] 第2トランジスタ T_{r2} の回路基板10への搭載形態としては、例えば特許文献1のように、ドレイン電極パッドDPが回路基板10に対向するように、第2トランジスタ T_{r2} を回路基板10に搭載することも考えられる。しかしながら、このような搭載形態において、サージ電圧を吸収するためにPパッド12とNパッド13とをサージ電圧吸収素子20で互いに接続する場合には、第2トランジスタ T_{r2} を、例えばOパッド14に搭載し、第2トランジスタ T_{r2} と、Nパッド13とを導線を介して接続しなければならない。この場合、サージ電圧吸収素子20と、第2トランジスタ T_{r2} との間の電流経路（電気配線）が長くなる。

[0060] 半導体モジュール1では、下アーム側の第2トランジスタ T_{r2} を、上アーム側の第1トランジスタ T_{r1} に対して上下反転させて回路基板10に搭載している。そのため、第1トランジスタ T_{r1} をPパッド12上に搭載するとともに、第2トランジスタ T_{r2} をNパッド13上に搭載しながら、導電板30を介して第2トランジスタ T_{r2} のドレイン電極パッドDPと、第1トランジスタ T_{r1} のソース電極パッドSPとを互いに電氣的に接続することで、第1トランジスタ T_{r1} と第2トランジスタ T_{r2} とを直列接続している。

[0061] このように、半導体モジュール1の構成では、サージ電圧吸収素子20がその間を接続するPパッド12及びNパッド13に、第1トランジスタ T_{r1} 及び第2トランジスタ T_{r2} をそれぞれ搭載できている。そのため、第1

トランジスタ T_{r1} 及び第2トランジスタ T_{r2} を、サージ電圧吸収素子 20 に対して近くに配置できるので、サージ電圧吸収素子 20 と、第1トランジスタ T_{r1} 及び第2トランジスタ T_{r2} との間の電流経路の配線インダクタンスを低減可能である。その結果、サージ電圧が効率的に抑制されるので、第1トランジスタ T_{r1} 及び第2トランジスタ T_{r2} の直列回路において、第1トランジスタ T_{r1} のドレイン電極パッド DP と第2トランジスタ T_{r2} のソース電極パッド SP とに印加される電圧を安定化可能である。

[0062] 半導体モジュール 1 では、回路基板 10 に対して第1トランジスタ T_{r1} 及び第2トランジスタ T_{r2} を挟むように配置された導電板 30 を介して第1トランジスタ T_{r1} 及び第2トランジスタ T_{r2} を直列接続している。そのため、絶縁基板 11 上のパッド（例えば P パッド 12 、 N パッド 13 及び O パッド 14 ）の形状、配置などの設計自由度が向上する。

[0063] 例えば、図1及び図3に示したように、 P パッド 12 及び N パッド 13 を、少なくとも P パッド 12 の第1トランジスタ搭載領域 121 と N パッド 13 の第2トランジスタ搭載領域 131 とが対向し、対向する縁部 $12a$ 及び縁部 $13a$ が平行になるように形成できる。この場合、縁部 $12a$ と縁部 $13b$ とを互いに接続するようにサージ電圧吸収素子 20 を配置できる。その結果、縁部 $12a$ （又は縁部 $13b$ ）の延在方向に直交する方向において、第1トランジスタ T_{r1} と第2トランジスタ T_{r2} との間にサージ電圧吸収素子 20 による電流経路が形成されるので、サージ電圧吸収素子 20 と、第1トランジスタ T_{r1} 及び第2トランジスタ T_{r2} との間の電流経路がより短くなり、インダクタンスの影響を一層低減できる。更に、 P パッド 12 及び N パッド 13 を近づけて配置できるので、半導体モジュール 1 を小型化可能である。

[0064] 絶縁基板 11 上の例えば P パッド 12 、 N パッド 13 及び O パッド 14 の設計自由度が向上することで、例えば、 O パッド 14 の配置の自由度も向上する。よって、半導体モジュール 1 の設計が容易である。

[0065] 半導体モジュール 1 では、第2トランジスタ T_{r2} 及び第2ダイオード D

i 2 を、第 1 トランジスタ T r 1 及び第 1 ダイオード D i 1 に対して、上下反転させて回路基板 1 0 に搭載している。そのため、回路基板 1 0 に対して対向配置された一枚の導電板 3 0 によって、第 1 トランジスタ T r 1 のソース電極パッド S P、第 1 ダイオード D i 1 のアノード A P、第 2 トランジスタ T r 2 のドレイン電極パッド D P 及び第 2 ダイオード D i 2 のカソード C P の間の電氣的な接続が可能である。したがって、P パッド 1 2 と N パッド 1 3 とをサージ電圧吸収素子 2 0 で接続してサージ電圧が抑制された半導体モジュール 1 を低コストで製造可能である。

[0066] 導電板 3 0 は、第 1 トランジスタ T r 1 のゲート電極パッド G P と対向する部分に切欠き部 3 1 を有する。そのため、回路基板 1 0 と、導電板 3 0 とで第 1 トランジスタ T r 1、第 2 トランジスタ T r 2 を挟むように、導電板 3 0 を配置しても、第 1 トランジスタ T r 1 のゲート電極パッド G P が導電板 3 0 から確実に露出するので、ゲート電極パッド G P と、第 1 制御信号用パッド 1 5 とを第 1 導線 W 1 で容易に接続可能である。

[0067] 通常、サージ電圧吸収素子 2 0 の厚さ（又は高さ）は、第 1 トランジスタ T r 1 及び第 2 トランジスタ T r 2 の厚さより厚い傾向にある。半導体モジュール 1 が備える導電板 3 0 は、サージ電圧吸収素子 2 0 を通すための貫通孔 3 2 を有する。そのため、P パッド 1 2 と N パッド 1 3 とをサージ電圧吸収素子 2 0 で互いに接続していても、導電板 3 0 の貫通孔 3 2 にサージ電圧吸収素子 2 0 を通すことで、導電板 3 0 と、サージ電圧吸収素子 2 0 との間の物理的な干渉を防止できる。そのため、回路基板 1 0 と、導電板 3 0 とで第 1 トランジスタ T r 1、第 2 トランジスタ T r 2 を挟むように、導電板 3 0 を配置可能である。

[0068] 上記のように切欠き部 3 1 及び貫通孔 3 2 を形成しておけば、導電板 3 0 は、その厚さ方向にみて（即ち平面視で）、例えば第 1 トランジスタ搭載領域 1 2 1 及び第 2 トランジスタ搭載領域 1 3 1 をカバーするような板状部材として製造できる。したがって、導電板 3 0 の製造も容易であり、この観点からも半導体モジュール 1 の製造コストを低減可能である。

[0069] 本開示によれば、サージ電圧をより確実に抑制可能である。

[0070] 以上、本開示の技術の実施形態及びその変形例について説明したが、本発明は、これまで説明した種々の形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲で種々の変更が可能である。

[0071] 例えば、サージ電圧吸収素子として、コンデンサを例示した。しかしながら、サージ電圧吸収素子は、サージ電圧を吸収可能な素子であればよい。例えば、コンデンサと抵抗とが組み合わされたRC回路（又はRCスナバ素子）でもよい。

[0072] 図1では、Pパッドに1つの第1トランジスタ及びNパッドに1つの第2トランジスタが搭載された形態を例示した。しかしながら、第1トランジスタの数は複数でもよく、第2トランジスタの数も複数でもよい。

[0073] 図5では、3つの第1トランジスタ T_{r1} 及び3つの第2トランジスタ T_{r2} を備えた半導体モジュールの例を示している。図6は、図5に示した半導体モジュール1Aの等価回路である電力変換回路2Aを示している。図5に示した半導体モジュール1Aでは、3つの第1トランジスタ T_{r1} に対応して3つの第1ダイオード D_{i1} を有し、3つの第2トランジスタ T_{r2} に対応して3つの第2ダイオード D_{i2} を例示しているが、ダイオードの数は、トランジスタの数と異なってもよい。

[0074] 半導体モジュール1Aにおける第1トランジスタ T_{r1} 、第1ダイオード D_{i1} 、第2トランジスタ T_{r2} 及び第2ダイオード D_{i2} の回路基板10への搭載状態は、半導体モジュール1の場合と同様である。

[0075] 半導体モジュール1Aが第1トランジスタ T_{r1} を3つ有することにより、導電板30は、各第1トランジスタ T_{r1} のゲート電極パッドGPを露出するように、各第1トランジスタ T_{r1} のゲート電極パッドGPに対応した切欠き部31を有すればよい。第2制御信号用パッド16及びNパッド13は、3つの第2トランジスタ T_{r2} がそれぞれ上記実施形態で説明した第2制御信号用パッド16及びNパッド13との接続関係を実現可能に形成されていればよい。

- [0076] 半導体モジュール 1 A では、半導体モジュール 1 A の等価回路である電力変換回路 2 A のように、複数の第 1 トランジスタ T_{r1} は並列接続され、複数の第 2 トランジスタ T_{r2} も並列接続されている。したがって、半導体モジュール 1 A には、大電流を流すことが可能である。
- [0077] 半導体モジュールは、単相インバータ回路といった単相の電力変換回路の構成に限定されず、二相又は三相の電力変換回路の構成を有してもよい。トランジスタの数及びサージ電圧吸収素子の数の例、更に、入力端子（正電圧用端子及び負電圧用端子）、出力端子、及び制御端子の数などの例は、図面に示されている数に限定されない。半導体モジュールは、第 1 トランジスタ及び第 2 トランジスタをそれぞれ少なくとも一つずつ備えていればよい。同様に、半導体モジュールは、サージ電圧吸収素子を、少なくとも一つ備えていればよい。
- [0078] 第 1 トランジスタ及び第 2 トランジスタの配置状態及び第 1 トランジスタ及び第 2 トランジスタと種々のパッド（P パッド、N パッド、O パッドなど）との配線構造などは、例示したものに限定されないが、サージ電圧を低減する観点から配線インダクタンスを最小にするように最適化されていることが好ましい。
- [0079] 回路基板は、出力用配線パターンを有しなくてもよい。この場合、例えば、導電板に出力端子の一端を直接接続すればよい、或いは、導電板に一体的に設けられた出力端子を用いればよい。
- [0080] 半導体モジュールが有する板状部材の例も導電板に限らない。回路基板上に配置される第 1 縦型トランジスタ及び第 2 縦型トランジスタの第 2 主電極パッドと第 3 主電極パッドとを電氣的に接続可能なように、裏面側導電領域を有する板状部材であればよい。例えば、板状部材は、絶縁基板の裏面（回路基板側の面）に導電層（裏面側導電領域）が形成された構成を有してもよい。板状部材は、裏面側導電領域と電氣的に接続された表面側導電領域を有する部材であってもよい。例えば、板状部材は、絶縁基板の裏面（回路基板側の面）に導電層（裏面側導電領域）が形成されるとともに、上記絶縁基板

の表面に導電層（表面側導電領域）が形成されており、絶縁基板の表面及び裏面の上記導電層が互いに電氣的に接続された構成を有してもよい。板状部材が上記のように、裏面側導電領域と表面側導電領域とを有し、回路基板が出力用配線パターンを有する形態では、例えば表面側導電領域と出力用配線パターンとを互いに電氣的に接続することによって、裏面側導電領域と出力用配線パターンとを互いに電氣的に接続し得る。板状部材が上記のように、裏面側導電領域と表面側導電領域とを有し、回路基板が出力用配線パターンを有しない形態では、例えば表面側導電領域に出力端子の一端を直接接続することによって、裏面側導電領域と出力端子とを互いに電氣的に接続してもよい。

符号の説明

[0081] 1, 1A…半導体モジュール、10…回路基板、11…絶縁基板、12…Pパッド（第1入力用配線パターン）、12a…縁部（対向縁部）、13…Nパッド（第2入力用配線パターン）、13a…縁部（対向縁部）、14…Oパッド（出力用配線パターン）、15…第1制御信号用パッド（第1制御用配線パターン）、16…第2制御信号用パッド（第2制御用配線パターン）、20…サージ電圧吸収素子、DP…ドレイン電極パッド（第1主電極パッド、第3主電極パッド）、GP…ゲート電極パッド（第1ゲート電極パッド、第2ゲート電極パッド）、SP…ソース電極パッド（第2主電極パッド、第4主電極パッド）、Tr1…第1トランジスタ（第1縦型トランジスタ）、Tr2…第2トランジスタ（第2縦型トランジスタ）。

請求の範囲

[請求項1]

絶縁基板と、前記絶縁基板の表面上に形成された第1入力用配線パターン、第2入力用配線パターン、第1制御用配線パターン及び第2制御用配線パターンとを有する回路基板と、

第1主電極パッド、第2主電極パッド及び第1ゲート電極パッドを有する第1縦型トランジスタであって、前記第2主電極パッド及び前記第1ゲート電極パッドは前記第1主電極パッドと反対側に形成されており、前記第1主電極パッドが前記第1入力用配線パターンと対向し且つ前記第1入力用配線パターンに電氣的に接続された状態で前記回路基板に搭載され、前記第1ゲート電極パッドは前記第1制御用配線パターンに電氣的に接続される前記第1縦型トランジスタと、

第3主電極パッド、第4主電極パッド及び第2ゲート電極パッドを有する第2縦型トランジスタであって、前記第4主電極パッド及び前記第2ゲート電極パッドは前記第3主電極パッドと反対側に形成されており、前記第4主電極パッドが前記第2入力用配線パターンと対向し且つ前記第2入力用配線パターンに電氣的に接続されるとともに、前記第2ゲート電極パッドが前記第2制御用配線パターンと対向し且つ前記第2制御用配線パターンに電氣的に接続された状態で前記回路基板に搭載される前記第2縦型トランジスタと、

前記第1入力用配線パターンと前記第2入力用配線パターンとの間を接続しておりサージ電圧を吸収するサージ電圧吸収素子と、

前記第1縦型トランジスタ及び前記第2縦型トランジスタ上に配置されており、裏面側導電領域を有する板状部材と、を備え、

前記第2主電極パッドと前記第3主電極パッドとは、前記板状部材の前記裏面側導電領域によって互いに電氣的に接続される、半導体モジュール。

[請求項2]

前記板状部材は、切欠き部を有し、

前記板状部材は、前記切欠き部から前記第1ゲート電極パッドを露

出するように、前記第1縦型トランジスタ上に配置されている、請求項1に記載の半導体モジュール。

[請求項3] 前記板状部材は、前記板状部材を貫通する貫通孔を有し、
前記サージ電圧吸収素子は、前記貫通孔内に配置されている、請求項1又は請求項2に記載の半導体モジュール。

[請求項4] 前記第1入力用配線パターンにおける前記第1縦型トランジスタが搭載される第1トランジスタ搭載領域と、前記第2入力用配線パターンにおける前記第2縦型トランジスタが搭載される第2トランジスタ搭載領域とは対向配置されており、

前記第1トランジスタ搭載領域と前記第2トランジスタ搭載領域の互いに対向する対向縁部は平行であり、

前記サージ電圧吸収素子は、前記第1トランジスタ搭載領域と前記第2トランジスタ搭載領域それぞれの前記対向縁部の間を接続している、請求項1から請求項3のいずれか1項に記載の半導体モジュール。

[請求項5] 前記回路基板は、前記絶縁基板上に出力用配線パターンを有し、
前記出力用配線パターンは、前記板状部材の前記裏面側導電領域と電氣的に接続されている、請求項1から請求項4のいずれか1項に記載の半導体モジュール。

[請求項6] 上面に第1入力用配線パターン及び第2入力用配線パターンを有する回路基板と、

前記回路基板の上側に配置され前記回路基板に対向する下面に裏面側導電領域を有する板状部材と、

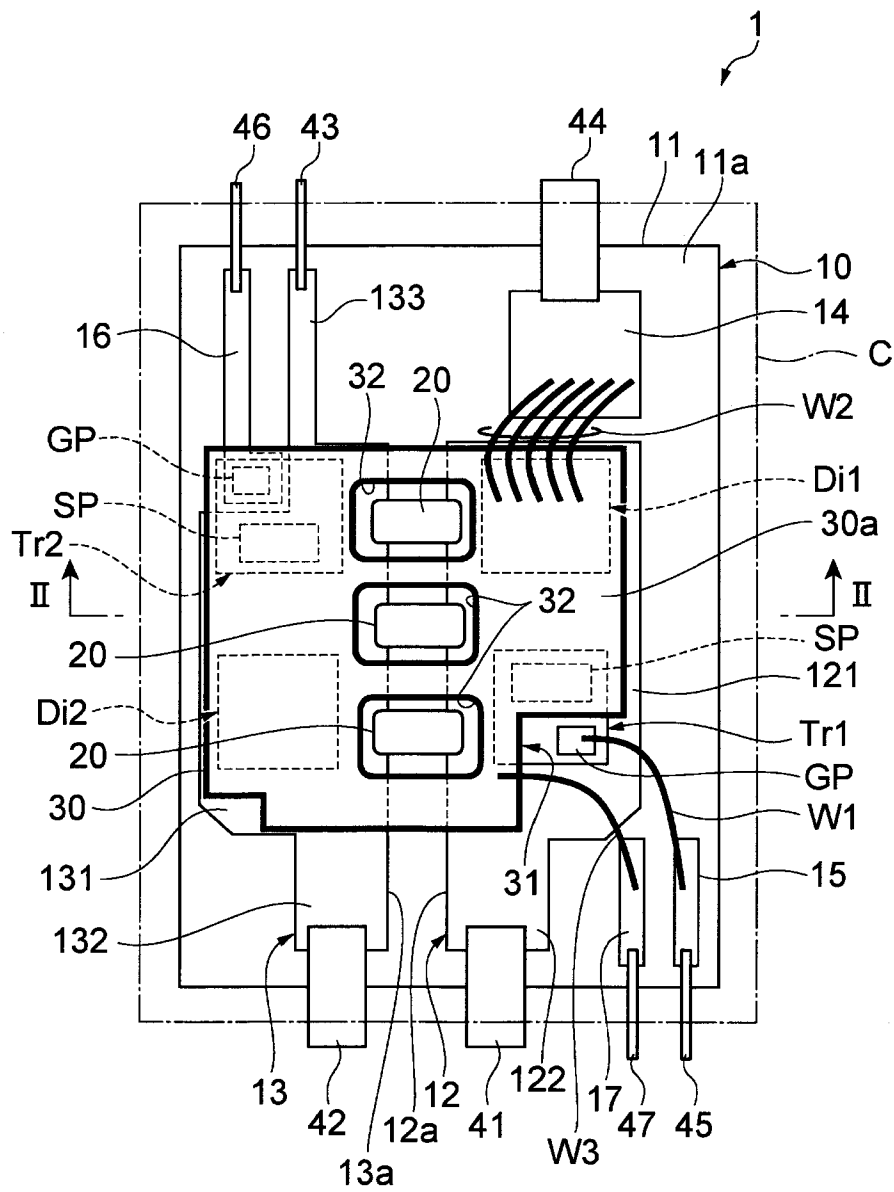
下面に第1主電極パッド、上面に第2主電極パッド及び第1ゲート電極パッドを有し、前記第1主電極パッドが前記第1入力用配線パターンと電氣的に接続され且つ前記第2主電極パッドが前記裏面側導電領域と電氣的に接続されるように前記回路基板と前記板状部材との間に挟まれて配置される第1縦型トランジスタと、

上面に第3主電極パッド、下面に第4主電極パッド及び第2ゲート電極パッドを有し、前記第4主電極パッドが前記第2入力用配線パターンと電氣的に接続され且つ前記第3主電極パッドが前記裏面側導電領域と電氣的に接続されるように前記回路基板と前記板状部材との間に挟まれて配置される第2縦型トランジスタと、

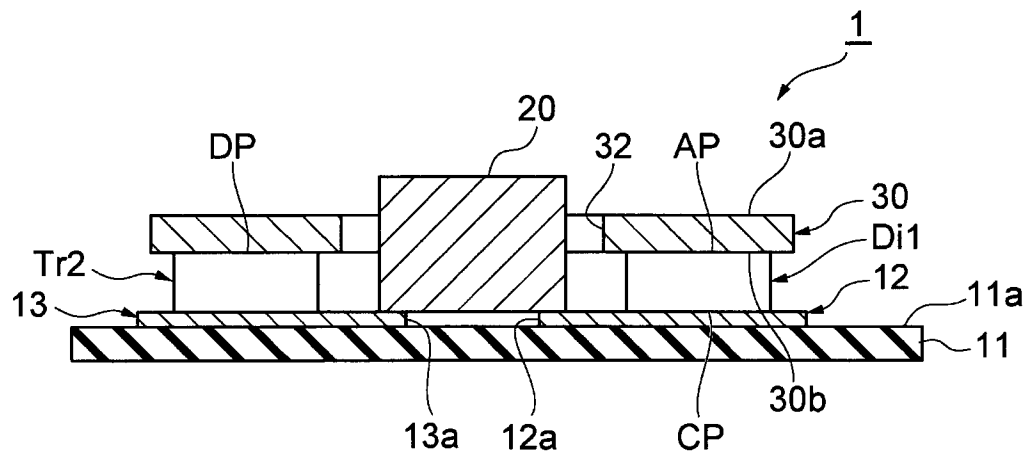
前記第1入力用配線パターンと前記第2入力用配線パターンとの間を接続する容量性素子と、

前記第1ゲート電極パッドに電氣的に接続される第1制御端子と、
前記第2ゲート電極パッドに電氣的に接続される第2制御端子と、
前記裏面側導電領域に電氣的に接続される出力端子と、
を含む半導体モジュール。

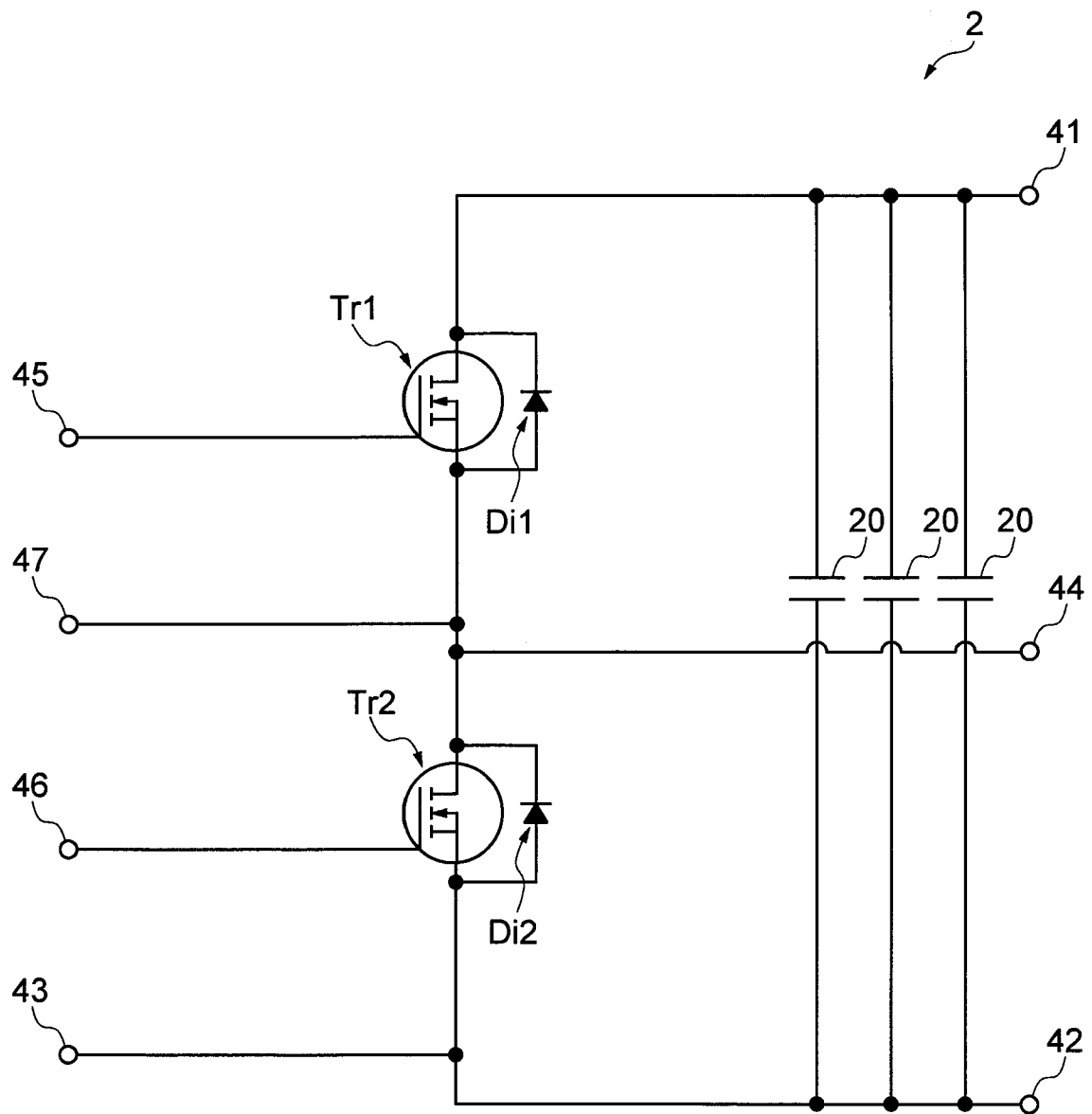
[図1]



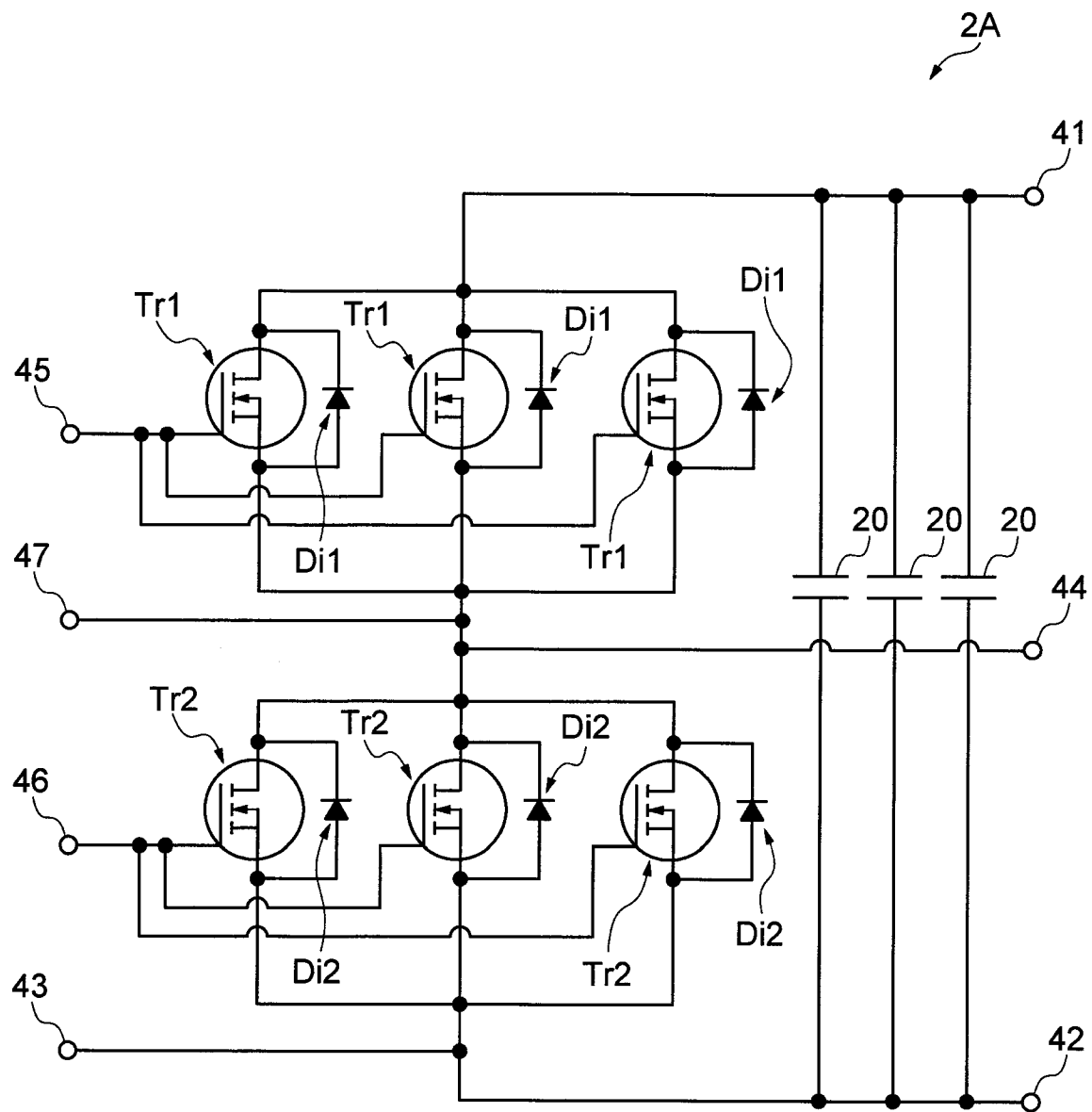
[図2]



[図4]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/028626

A. CLASSIFICATION OF SUBJECT MATTER

H01L25/07(2006.01)i, H01L23/48(2006.01)i, H01L25/18(2006.01)i, H02M7/48(2007.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L25/07, H01L23/48, H01L25/18, H02M7/48

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2014-187874 A (Yaskawa Electric Corp.), 02 October 2014 (02.10.2014), paragraphs [0006], [0046] to [0060]; fig. 16 to 20 & US 2013/0258736 A1 paragraphs [0064] to [0078]; fig. 16 to 20 & WO 2012/073571 A1 & CN 103238269 A	6 1-2, 4-5 3
Y A	JP 2011-36016 A (Daikin Industries, Ltd.), 17 February 2011 (17.02.2011), paragraphs [0098], [0117] to [0125]; fig. 14 to 15 (Family: none)	1-2, 4-5 3

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
06 October 2017 (06.10.17)

Date of mailing of the international search report
16 October 2017 (16.10.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/028626

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2016-26466 A (Hitachi Automotive Systems, Ltd.), 12 February 2016 (12.02.2016), paragraphs [0113] to [0117]; fig. 27 (Family: none)	2 3

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L25/07(2006.01)i, H01L23/48(2006.01)i, H01L25/18(2006.01)i, H02M7/48(2007.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L25/07, H01L23/48, H01L25/18, H02M7/48

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2014-187874 A（株式会社安川電機）2014.10.02, 段落[0006], [0046]-[0060], 図16-20 & US 2013/0258736 A1, 段落[0064]-[0078], 図16-20 & WO 2012/073571 A1 & CN 103238269 A	6 1-2, 4-5 3
Y A	JP 2011-36016 A（ダイキン工業株式会社）2011.02.17, 段落[0098], [0117]-[0125], 図14-15（ファミリーなし）	1-2, 4-5 3

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

06.10.2017

国際調査報告の発送日

17.10.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/JP）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

豊島 洋介

5D

6310

電話番号 03-3581-1101 内線 3551

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号