

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4718863号
(P4718863)

(45) 発行日 平成23年7月6日(2011.7.6)

(24) 登録日 平成23年4月8日(2011.4.8)

(51) Int.Cl.	F I	
HO 1 L 21/336 (2006.01)	HO 1 L 29/78	6 2 7 G
HO 1 L 29/786 (2006.01)	HO 1 L 29/78	6 1 3 B
HO 1 L 27/112 (2006.01)	HO 1 L 29/78	6 1 8 Z
HO 1 L 21/8246 (2006.01)	HO 1 L 27/10	4 3 3
HO 1 L 27/10 (2006.01)	HO 1 L 27/10	4 6 1
請求項の数 14 (全 36 頁) 最終頁に続く		

(21) 出願番号 特願2005-49592(P2005-49592)
 (22) 出願日 平成17年2月24日(2005.2.24)
 (65) 公開番号 特開2005-277406(P2005-277406A)
 (43) 公開日 平成17年10月6日(2005.10.6)
 審査請求日 平成20年1月15日(2008.1.15)
 (31) 優先権主張番号 特願2004-50345(P2004-50345)
 (32) 優先日 平成16年2月25日(2004.2.25)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 大力 浩二
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

審査官 河本 充雄

最終頁に続く

(54) 【発明の名称】 半導体装置及び半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

集積回路と、前記集積回路に電気的に接続されたアンテナと、を有し、
 前記集積回路は、
 複数の第1の薄膜トランジスタからなる複数の半導体素子と、
 複数の第2の薄膜トランジスタからなり、識別用のROMとして用いる複数のメモリ素子と、を有し、

前記第2の薄膜トランジスタが有するソース領域またはドレイン領域のいずれか一方は、前記第2の薄膜トランジスタが有するゲート電極と電気的に接続されており、

前記第2の薄膜トランジスタの活性層は、半導体膜のうち、位置と大きさがランダムな微結晶を有する第2の領域を用いており、

前記第1の薄膜トランジスタの活性層は、前記半導体膜のうち、前記微結晶よりも粒径の大きい結晶粒を有し、前記第2の領域よりも結晶性の高い第1の領域を用いていることを特徴とする半導体装置。

【請求項2】

集積回路と、前記集積回路に電気的に接続されたアンテナと、を有し、
 前記集積回路は、
 識別用のROMとして用いる複数のメモリ素子と、
 マイクロプロセッサと、
 接続端子と、

前記アンテナによって前記接続端子に入力された交流の信号から電源電圧を生成する第1の回路と、

前記交流の信号を復調して信号を形成する第2の回路と、

前記信号によって前記複数のメモリ素子から読み出されたデータに従いスイッチを制御することで、前記アンテナにかかる負荷を変調する第3の回路と、を有し、

前記複数のメモリ素子に用いられている複数の第2の薄膜トランジスタの活性層は、半導体膜のうち、位置と大きさがランダムな微結晶を有する第2の領域を用いており、

前記マイクロプロセッサ及び前記第1の回路乃至前記第3の回路に用いられている複数の第1の薄膜トランジスタの活性層は、前記半導体膜のうち、前記微結晶よりも粒径の大きい結晶粒を有し、前記第2の領域よりも結晶性の高い第1の領域を用いており、

10

前記第2の薄膜トランジスタが有するソース領域またはドレイン領域のいずれか一方は、前記第2の薄膜トランジスタが有するゲート電極と電氣的に接続されていることを特徴とする半導体装置。

【請求項3】

集積回路と、前記集積回路に電氣的に接続されたアンテナと、を有し、

前記集積回路は、

複数の第1の薄膜トランジスタからなる複数の半導体素子と、

複数の第2の薄膜トランジスタからなり、識別用のROMとして用いる複数のメモリ素子と、を有し、

前記第2の薄膜トランジスタが有するソース領域またはドレイン領域のいずれか一方は、前記第2の薄膜トランジスタが有するゲート電極と電氣的に接続されており、

20

前記第1の薄膜トランジスタの活性層は、半導体膜のうち、第1の領域を用いており、

前記第2の薄膜トランジスタの活性層は、前記半導体膜のうち、前記第1の領域とは異なる第2の領域を用いており、

前記第1の領域は、一方向に向かって連続的に成長した結晶粒を含んでおり、

前記第2の領域は、前記第2の薄膜トランジスタのチャネル長の2分の1以上、前記チャネル長の3倍以下の範囲の粒径を有する結晶粒を含んでいることを特徴とする半導体装置。

【請求項4】

集積回路と、前記集積回路に電氣的に接続されたアンテナと、を有し、

30

前記集積回路は、

識別用のROMとして用いる複数のメモリ素子と、

マイクロプロセッサと、

接続端子と、

前記アンテナによって前記接続端子に入力された交流の信号から電源電圧を生成する第1の回路と、

前記交流の信号を復調して信号を形成する第2の回路と、

前記信号によって前記複数のメモリ素子から読み出されたデータに従いスイッチを制御することで、前記アンテナにかかる負荷を変調する第3の回路と、を有し、

前記マイクロプロセッサ及び前記第1の回路乃至前記第3の回路に用いられている複数の第1の薄膜トランジスタの活性層は、半導体膜のうち、第1の領域を用いており、

40

前記複数のメモリ素子に用いられている複数の第2の薄膜トランジスタの活性層は、前記半導体膜のうち、前記第1の領域とは異なる第2の領域を用いており、

前記第2の薄膜トランジスタが有するソース領域またはドレイン領域のいずれか一方は、前記第2の薄膜トランジスタが有するゲート電極と電氣的に接続されており、

前記第1の領域は、一方向に向かって連続的に成長した結晶粒を含んでおり、

前記第2の領域は、前記第2の薄膜トランジスタのチャネル長の2分の1以上、前記チャネル長の3倍以下の範囲の粒径を有する結晶粒を含んでいることを特徴とする半導体装置。

【請求項5】

50

請求項 3 または請求項 4 において、

前記第 1 の薄膜トランジスタが有する活性層は、キャリアの移動する方向と前記一方向とが一致するようにレイアウトされていることを特徴とする半導体装置。

【請求項 6】

集積回路と、前記集積回路に電氣的に接続されたアンテナと、を有し、
前記集積回路は、

複数の第 1 の薄膜トランジスタからなる複数の半導体素子と、
複数の第 2 の薄膜トランジスタからなり、識別用の ROM として用いる複数のメモリ素子と、を有し、

前記第 2 の薄膜トランジスタが有するソース領域またはドレイン領域のいずれか一方は、前記第 2 の薄膜トランジスタが有するゲート電極と電氣的に接続されており、

前記第 2 の薄膜トランジスタの活性層は、連続発振のレーザにより結晶化された半導体膜のうち、位置と大きさがランダムな微結晶を有する第 2 の領域を用いており、

前記第 1 の薄膜トランジスタの活性層は、前記半導体膜のうち、前記微結晶よりも粒径の大きい結晶粒を有し、前記第 2 の領域よりも結晶性の高い第 1 の領域を用いていることを特徴とする半導体装置。

【請求項 7】

集積回路と、前記集積回路に電氣的に接続されたアンテナと、を有し、
前記集積回路は、

識別用の ROM として用いる複数のメモリ素子と、

マイクロプロセッサと、

接続端子と、

前記アンテナによって前記接続端子に入力された交流の信号から電源電圧を生成する第 1 の回路と、

前記交流の信号を復調して信号を形成する第 2 の回路と、

前記信号によって前記複数のメモリ素子から読み出されたデータに従いスイッチを制御することで、前記アンテナにかかる負荷を変調する第 3 の回路と、を有し、

前記複数のメモリ素子に用いられている複数の第 2 の薄膜トランジスタの活性層は、連続発振のレーザにより結晶化された半導体膜のうち、位置と大きさがランダムな微結晶を有する第 2 の領域を用いており、

前記マイクロプロセッサ及び前記第 1 の回路乃至前記第 3 の回路に用いられている複数の第 1 の薄膜トランジスタの活性層は、前記半導体膜のうち、前記微結晶よりも粒径の大きい結晶粒を有し、前記第 2 の領域よりも結晶性の高い第 1 の領域を用いており、

前記第 2 の薄膜トランジスタが有するソース領域またはドレイン領域のいずれか一方は、前記第 2 の薄膜トランジスタが有するゲート電極と電氣的に接続されていることを特徴とする半導体装置。

【請求項 8】

請求項 6 または請求項 7 において、

前記第 1 の領域は、レーザ光の走査方向に向かって連続的に成長した前記結晶粒を含んでいることを特徴とする半導体装置。

【請求項 9】

請求項 8 において、

前記第 1 の薄膜トランジスタが有する活性層は、キャリアの移動する方向と前記走査方向とが一致するようにレイアウトされていることを特徴とする半導体装置。

【請求項 10】

請求項 6 乃至請求項 9 のいずれか 1 項において、

前記第 2 の領域は、前記第 2 の薄膜トランジスタのチャネル長の 2 分の 1 以上、前記チャネル長の 3 倍以下の範囲の粒径を有する前記微結晶を含んでいることを特徴とする半導体装置。

【請求項 11】

10

20

30

40

50

請求項 2、4 又は 7 のいずれか 1 項において、

前記第 1 の回路乃至前記第 3 の回路、及び前記マイクロプロセッサは、交互に形成される前記第 1 の領域と前記第 2 の領域のうち、前記第 1 の領域に設けられ、前記第 2 の領域を跨る配線により電氣的に接続されていることを特徴とする半導体装置。

【請求項 1 2】

請求項 2、4、7 又は 1 1 のいずれか 1 項において、

前記複数のメモリ素子のうち、隣り合うメモリセル間の電圧の比較によりデータを決定することを特徴とする半導体装置。

【請求項 1 3】

基板上に半導体膜を形成し、

前記半導体膜にレーザー光を一方向に照射して当該半導体膜に第 1 の領域及び当該第 1 の領域より結晶性の低い第 2 の領域を形成し、

前記第 1 の領域を用いて第 1 の薄膜トランジスタの活性層を形成し、前記第 1 の薄膜トランジスタを有する集積回路を形成し、

前記第 2 の領域を用いて第 2 の薄膜トランジスタの活性層を形成し、前記第 2 の薄膜トランジスタを有する識別用の ROM として用いるメモリ素子を形成し、

前記集積回路に電氣的に接続するアンテナを形成することを特徴とする半導体装置の作製方法。

【請求項 1 4】

基板上に半導体膜を形成し、

前記半導体膜にレーザー光を一方向に照射して当該半導体膜に第 1 の領域及び当該第 1 の領域より結晶性の低い第 2 の領域を形成し、

前記第 1 の領域を用いて第 1 の薄膜トランジスタの活性層を形成し、前記第 1 の薄膜トランジスタを有する集積回路を形成し、

前記第 2 の領域を用いて第 2 の薄膜トランジスタの活性層を形成し、前記第 2 の薄膜トランジスタを有する識別用の ROM として用いるメモリ素子を形成し、

前記第 1 の薄膜トランジスタ及び前記第 2 の薄膜トランジスタに電氣的に接続される配線と、アンテナとを同一工程で形成することを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、無線での通信が可能な半導体装置に関する。

【背景技術】

【0002】

無線で識別情報などのデータの送受信が可能な ID チップに代表される半導体装置は、様々な分野において実用化が進められており、新しい形態の通信情報端末としてさらなる市場の拡大が見込まれている。ID チップは、無線タグ、RFID (Radio frequency identification) タグ、IC タグとも呼ばれており、アンテナと、半導体基板を用いて形成された集積回路とを有しているタイプが、現在実用化されつつある。

【0003】

ID チップは、同じく無線でのデータの読み取りが可能な磁気カード、バーコードなどとは異なり、記憶されているデータを物理的方法で読み取られる恐れがなく、またそのデータが改ざんされにくいという点において優れている。また磁気カード、バーコードなどと異なり、ID チップの製造には比較的大規模な生産設備が必要となるため、偽造されにくいというメリットを有する。

【0004】

例えば下記特許文献 1 には、有価証券に微細な IC チップを搭載し、不正利用を防ぐとともに、紛失又は盗難された時に正規な管理元に取り戻せた場合には再利用が可能となる方法が提案されている。

【特許文献 1】特開 2001-260580 号公報

10

20

30

40

50

【発明の開示】

【発明が解決しようとする課題】

【0005】

ＩＤチップの偽造やＩＤチップ内に記録されているデータの不正な書き換えを、より確実に防止することができれば、例えばＩＤチップが取り付けられた対象物の偽造を防止することができ、また例えば、商品の産地、生産者、流通経路などの偽装を防止することができる。しかしＩＤチップの偽造やデータの不正な書き換えの技術が高度化されてくると、単にＩＤチップを用いるだけでは、偽造または偽装の防止、またはこれらの検挙が容易ではなくなる。

【0006】

なお、ＩＤチップが有する集積回路の中に、データの書き換えが不可能な不揮発性メモリを形成しておくことで、単に書き換え可能なメモリを用いている場合に比べて、ＩＤチップの偽造をより確実に防止することができる。そして、書き換えが不可能な不揮発性メモリのうち、例えばマスクＲＯＭは、プロセスを複雑化させることなく、比較的容易にＩＤチップに用いることができる。しかしながら、集積回路に格納するデータには、ＩＤチップ固有の識別番号などが含まれることから、マスクＲＯＭの形成に用いられるフォトリソグラフィのうち、固有のデータを決定するためのフォトリソグラフィは使い捨てとなるため、コストを抑えられないという問題が生じる。

【0007】

また原理的にＩＤチップは、磁気カード、バーコードなどよりも小型化が可能であり、よってその用途の幅をさらに拡大することが期待されている。ところがＩＤチップは、用途によって紙、プラスチックなどの可撓性を有する素材（フレキシブルな素材）に取り付けられることも想定されるが、ＩＤチップの基体として用いられる半導体基板は上述した素材に比べると機械的強度が低い。よって、フレキシブルな素材を支持体として用いている包装材料、タグ、証書、紙幣及び有価証券などにＩＤチップを形成すると、使用の過程においてＩＤチップが破損する恐れがあり、実用性に乏しい。

【0008】

なおＩＤチップ自体の面積を縮小化することで、ＩＤチップの機械的強度をある程度向上させることはできる。しかしこの場合、回路規模の確保が難しくなり、ＩＤチップの用途が制限されるので好ましくない。従ってＩＤチップの回路規模の確保を重要視すると、やみくもにＩＤチップの面積を縮小化することはできず、機械的強度の向上にも限界が生じる。

【0009】

さらに半導体基板を用いて形成されたＩＤチップの場合、半導体基板が導体として機能し電波を遮蔽するので、方向によっては電波の信号が減衰しやすいという問題もあった。

【0010】

上記問題に鑑み、本発明は、コストを抑えつつ、偽造または不正なデータの書き換えを防止することができ、集積回路の回路規模を抑えることなく機械的強度を高めることができる、半導体装置の提供を課題とする。

【課題を解決するための手段】

【0011】

本発明のＩＤチップに代表される半導体装置は、結晶性が高い第１の領域と、第１の領域よりも結晶性が劣っている第２の領域との、２つの領域を有する薄膜の半導体膜を用いる。具体的には、薄膜の半導体膜のうち、第１の領域を用いて、高速動作が要求される回路のＴＦＴ（薄膜トランジスタ）を形成し、第２の領域を用いて、識別用のＲＯＭに用いられるメモリ素子を形成する。

【0012】

第１の領域と第２の領域の作り分けは、例えば連続発振のレーザを用いた結晶化で実現することができる。連続発振のレーザの場合、パルス発振のレーザとは異なり、一方向に走査させながら半導体膜にレーザ光を照射して、結晶を走査方向に向かって連続的に成長

10

20

30

40

50

させ、該走査方向に沿って長く伸びた結晶粒の集まりを有する第1の領域を形成することができる。走査方向に沿って長く伸びた結晶粒の集まりを、TFTの活性層に用いることで、キャリアの移動する方向と交差するような結晶粒界がほとんど存在しない、比較的特性の揃ったTFTを形成できると考えられる。

【0013】

また、連続発振のレーザを用いた場合、走査方向に対して垂直方向におけるビームスポットの両端に、ビームスポットの中心と比較して結晶粒が著しく小さく、結晶性の劣っている第2の領域が形成される。本発明では、レーザにより結晶化された半導体膜のうち、結晶性の劣っている第2の領域を取って用いてメモリ素子を形成することで、各メモリ素子の特性にばらつきを与える。上記メモリ素子の特性のばらつきは、結晶性のばらつきに依存するため、回路構成やレイアウトを共通にし、なおかつ同じ作製工程を用いて形成しても不規則に発生させることができる。よって、各メモリ素子が有する特性のばらつきをデータとして用いることで、固有のデータが格納された不揮発性メモリを形成することができる。本明細書では、各メモリ素子が有する特性のばらつきをデータとして用いるROMを、以下、乱数ROMと呼ぶ。

10

【0014】

また集積回路は、基板上に形成されていても良いし、基板上に形成した後、別途用意されたフレキシブルな(可撓性を有する)基板に貼り合わされていても良い。そして本発明のIDチップは、集積回路に加えアンテナを有した形態も取りうる。集積回路は、アンテナで発生した交流の電圧を用いて動作を行ない、またアンテナに印加する交流の電圧を

20

【0015】

集積回路の貼り合わせは、耐熱性の高い基板と集積回路の間に金属酸化膜を設け、該金属酸化膜を結晶化により脆弱化して集積回路を剥離し、貼り合わせる方法、耐熱性の高い基板と集積回路の間に剥離層を設け、レーザ光の照射またはエッチングにより該剥離層を除去することで基板と集積回路とを剥離し、貼り合わせる方法、集積回路が形成された耐熱性の高い基板を機械的に削除または溶液やガスによるエッチングで除去することで集積回路を基板から切り離し、貼り合わせる方法等、様々な方法を用いることができる。

30

【0016】

また、別途作製された集積回路どうしを貼り合わせることで、集積回路を積層し、回路規模やメモリの容量を大きくするようにしても良い。集積回路は半導体基板で作製したIDチップに比べて飛躍的に薄いので、複数の集積回路を積層させてもIDチップの機械的強度をある程度維持することができる。積層した集積回路どうしの接続は、フリップチップ法、TAB(Tape Automated Bonding)法、ワイヤボンディング法などの、公知の接続方法を用いることができる。

【発明の効果】

【0017】

本発明は、回路構成やレイアウトは共通で良いので、マスクROMのように、IDチップごとにフォトマスクを使い捨てる必要がなく、よってIDチップの作製に費やされるコストを抑えることができる。また、マスクROM以外のフラッシュメモリなどの不揮発性メモリを作製する場合、作製工程を増やす必要があるため、コストを抑えることが難しい。しかし乱数ROMのメモリ素子としてTFTを用いる場合、このメモリ素子として用いられるTFTは、IDチップを構成する他の集積回路に用いられるTFTと同様の作製工程によって作製することができる。したがって、乱数ROM作製に伴うコストの上昇を抑えつつ、IDチップの偽造または不正なデータの書き換えを防止することができる。

40

【0018】

またマスクROMを用いた場合には、回路レイアウトを解析することで、識別番号を解読される恐れがある。しかし乱数ROMは、回路構成、レイアウト、作製工程を全て同一

50

にして形成することができるため、電気的なデータの読み出し以外の方法で、データの内容を読み取ることを防止することができる。

【0019】

また本発明の、IDチップは、絶縁分離されたTFETを用いて集積回路を形成するので、フレキシブルな基板を用いることが可能である。この場合、半導体基板を用いたIDチップほど面積を小さくせずとも、高い機械的強度を得ることができる。よって、回路規模を抑えなくともIDチップの機械的強度を高め、IDチップの用途範囲をより広げることができる。

【0020】

また本発明のIDチップでは、絶縁分離されたTFETを用いて集積回路を形成するので、半導体基板に形成されたトランジスタとは異なり、基板との間に寄生のダイオードが形成されにくい。従って、ソース領域またはドレイン領域に与えられた交流の信号の電位によって、ドレイン領域に大量の電流が流れ込むことがなく、劣化または破壊が起こりにくい。また本発明のIDチップでは、半導体基板を用いて形成されたIDチップよりも電波が遮蔽されにくく、電波の遮蔽により信号が減衰するのを防ぐことができるというメリットを有している。

【発明を実施するための最良の形態】

【0021】

以下、本発明の実施の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。

【0022】

まず図1(A)を用いて、連続発振のレーザを用いて結晶化された半導体膜の構成について説明する。図1(A)において、101はレーザ光のビームスポットに相当する。ビームスポット101は、白抜きの矢印で示すように、ビームスポット101の長軸方向に対して垂直の方向に走査されているものと仮定する。ビームスポット101によって結晶化された半導体膜は、その結晶性の違いにより、第1の領域102と第2の領域103に分類することができる。

【0023】

ビームスポット101の中心領域と重なる第1の領域102では、照射されるレーザ光のエネルギー密度が高いため、半導体膜が完全に溶融した状態を形成することができる。そして、この半導体膜が完全に溶融した領域は、ビームスポット101を走査させることで、連続的に半導体膜中を移動するため、走査方向に向かって連続的に成長した大粒径の結晶粒が形成される。具体的には、走査方向における幅が10~30 μm 、走査方向に対して垂直な方向における幅が1~5 μm 程度の結晶粒を形成することができる。

【0024】

ビームスポット101のエッジ近傍と重なる第2の領域103では、照射されるレーザ光のエネルギー密度が低いため、半導体膜が完全に溶融した状態を形成することが難しい。よって、第1の領域102とは異なり、位置と大きさがランダムであって、なおかつ粒径が0.2 μm ~数 μm 程度の比較的小さい結晶粒(微結晶)のみが形成されやすい。

【0025】

図20(A)、図20(B)に、連続発振のNd:YVO₄レーザの第2高調波を用いる結晶化により得られた、第1の領域の走査型電子顕微鏡(SEM: Scanning Electron Microscope)の像を示す。図20(A)は倍率が1万倍、図20(B)は倍率が3万倍のSEM像に相当する。また図21に、連続発振のNd:YVO₄レーザの第2高調波を用いる結晶化により得られた、第2の領域のSEMの像を示す。図21は倍率が3万倍のSEM像に相当する。なお図20及び図21の両方において用いている試料は、膜厚200nmの非晶質半導体膜を用い、走査速度75cm/secでレーザ光を照射したものであり、セコ液(HF:H₂O=2:1に添加剤としてK₂Cr₂O₇を用いて調合した薬液)で

10

20

30

40

50

のエッチング（セコ・エッチング）が施され、結晶粒界が顕在化されている。

【0026】

図20(A)、図20(B)から分かるように、第1の領域には、走査方向に向かって連続的に成長した、走査方向における幅が $10 \sim 30 \mu\text{m}$ 、走査方向に対して垂直な方向における幅が $1 \sim 5 \mu\text{m}$ 程度の結晶粒が、存在していることがわかる。また図21から分かるように、第2の領域には、粒径が $0.2 \mu\text{m} \sim$ 数 μm 程度の結晶粒が、存在していることがわかる。

【0027】

そして本発明では、集積回路のうち乱数ROM以外に用いられる半導体素子を、第1の領域102の半導体膜を用いて形成する。また乱数ROMに用いられるメモリ素子を、第2の領域103の半導体膜を用いて形成する。

10

【0028】

図1(B)に、第1の領域102に形成される、TFETの活性層104のレイアウトを示す。活性層104は、キャリアの移動する方向と、レーザ光の走査方向とが一致するようにレイアウトさせることが望ましい。キャリアの移動する方向と、レーザ光の走査方向とを一致させることで、キャリアの移動する方向を結晶粒界が横切らないようにし、比較的特性の揃ったTFETを形成できると考えられる。

【0029】

図1(C)に、第2の領域103に形成される、メモリ素子として用いられるTFETの活性層105のレイアウトを示す。活性層105は、チャンネル長 L が、結晶粒の粒径 X の半分から結晶粒の粒径の2倍 \sim 3倍程度、つまり $X/2 \leq L \leq 3X$ となるようにレイアウトするのが好ましい。上記構成により、活性層105に、キャリアの移動する方向を横切る結晶粒界が、1つ、または複数形成される。なお、キャリアの移動する方向を横切る結晶粒界の数は、各メモリ素子間のデータに違いが出せる程度に、活性層105間でばらついていることが望ましい。

20

【0030】

次に、乱数ROMの具体的な構成について、図2(A)を用いて説明する。図2(A)は乱数ROMの一形態を示しており、乱数ROMはデコーダ201、メモリセルアレイ202、読み出し回路203を有している。メモリセルアレイ202には、複数のメモリセル204がマトリクス状にレイアウトされており、各メモリセル204はワード線205と、ビット線206とに接続されている。

30

【0031】

デコーダ201によってワード線205が選択され、読み出し回路203によってビット線206が選択されることで、特定のアドレスのメモリセル204を選択することができる。選択されたメモリセル204からのデータの読み出しは、読み出し回路203において、選択されたビット線206の電位を増幅して読み出すことで行なうことができる。

【0032】

図2(B)に、メモリセル204の一例を示す。メモリセル204は、メモリ素子として用いるTFET207を有している。TFET207は、ソース領域とドレイン領域の一方がビット線206に、他方がワード線205に接続されている。またTFET207のゲート電極は、ワード線205に接続されている。

40

【0033】

メモリセル204において、ワード線205にTFET207の閾値電圧 V_{th} よりも高い電圧 V_{word} が印加されると、ビット線206の電圧 V_{bit} は、 $V_{word} - V_{th}$ となる。なおTFET207の閾値電圧 V_{th} は、結晶粒界に起因するばらつきを有するため、ビット線206の電圧 V_{bit} もばらつきを有する。図2(C)に、閾値電圧 V_{th} のばらつきを V_{th} としたときの、ビット線206の電圧 V_{bit} に対するメモリセル204の数の分布を示す。図2(C)に示すように、各メモリセル204のTFET207の閾値電圧 V_{th} がばらついていることで、ビット線206の電圧 V_{bit} が、各メモリセル204に対応する固有の値を有することになる。

50

【 0 0 3 4 】

次に図3を用いて、本発明のIDチップの、機能的な構成の一形態について説明する。

【 0 0 3 5 】

図3において、900はアンテナ、901は集積回路に相当する。アンテナ900は、アンテナコイル902と、アンテナコイル902内で形成される容量素子903とを有する。また、集積回路901は、復調回路909、変調回路904、整流回路905、マイクロプロセッサ906、メモリ907、負荷変調をアンテナ900に与えるためのスイッチ908、乱数ROM910を有している。なおメモリ907は1つに限定されず、複数であっても良く、SRAM、フラッシュメモリ、ROMまたはFRAM（登録商標）などを用いることができる。

10

【 0 0 3 6 】

リーダ/ライタから電波として送られてきた信号は、アンテナコイル902において電磁誘導により交流の電気信号に変換される。復調回路909では該交流の電気信号を復調し、後段のマイクロプロセッサ906に送信する。また整流回路905では、交流の電気信号を用いて電源電圧を生成し、後段のマイクロプロセッサ906に供給する。

【 0 0 3 7 】

マイクロプロセッサ906では、入力された信号に従って各種演算処理を行なう。メモリ907にはマイクロプロセッサ906において用いられるプログラム、データなどが記憶されている他、演算処理時の作業エリアとしても用いることができる。

【 0 0 3 8 】

また乱数ROM910には、IDチップに固有のデータが格納されている。マイクロプロセッサ906から乱数ROM910に、アドレスを指定する信号が送信されると、乱数ROM910では指定されたアドレスのメモリセルに格納されているデータを読み出し、マイクロプロセッサ906に送ることができる。

20

【 0 0 3 9 】

そしてマイクロプロセッサ906から変調回路904にデータが送られると、変調回路904はスイッチ908を制御し、該データに従ってアンテナコイル902に負荷変調を加えることができる。リーダ/ライタは、アンテナコイル902に加えられた負荷変調を電磁波で受け取ることで、結果的にマイクロプロセッサ906からのデータを読み取ることができる。

30

【 0 0 4 0 】

なお本発明のIDチップは、必ずしもアンテナ900を有している必要はない。アンテナ900を有さない場合、IDチップに、アンテナ900との電氣的な接続を行なうための接続端子を設けるようにする。

【 0 0 4 1 】

なお、図3に示すIDチップは、本発明の一形態を示したのに過ぎず、本発明は上記構成に限定されない。本発明のIDチップは、必ずしもマイクロプロセッサ906とメモリ907とを有している必要はない。また信号の伝送方式は、図3に示したような電磁結合方式に限定されず、電磁誘導方式、マイクロ波方式やその他の伝送方式を用いても良い。

40

【 0 0 4 2 】

次に図4を用いて、集積回路のレイアウトと、レーザ光の照射によって形成される第1の領域及び第2の領域のレイアウトについて説明する。

【 0 0 4 3 】

図4に、矢印で示したレーザ光の走査方向に向かって、連続的に成長した大粒径の結晶粒が形成される第1の領域401と、微結晶が形成されやすい第2の領域402の、レイアウトの一例を示す。第1の領域401と第2の領域402は交互に形成されており、共に矢印で示すレーザ光の走査方向に向かって延びている。

【 0 0 4 4 】

また図4には、集積回路のレイアウトを示している。403は、集積回路のうち、乱数

50

ROM以外の回路群を示している。また、404は乱数ROMが有する読み出し回路、405は乱数ROMが有するデコーダ、406は乱数ROMが有するメモリセルアレイに相当する。

【0045】

少なくともメモリセルアレイ406は、微結晶が形成されやすい第2の領域402にレイアウトする。そして、乱数ROM以外の回路403は、連続的に成長した大粒径の結晶粒が形成される第1の領域401にレイアウトする。そして乱数ROM以外の回路403どうしを接続する配線（例えば407）や、乱数ROM以外の回路403と、読み出し回路404、デコーダ405またはメモリセルアレイ406とを接続する配線（例えば408）などを、第2の領域402を跨るようにレイアウトすることができる。

10

【0046】

なお、乱数ROM以外の回路403の全てを、必ずしも第1の領域401にレイアウトする必要はない。例えば、高速駆動が要求される回路、または半導体素子の特性のばらつきでの低減が要求される回路などを、第1の領域401にレイアウトし、それ以外の回路を第2の領域402にレイアウトするようにしても良い。

【0047】

また図4では、乱数ROMに用いられる読み出し回路404と、デコーダ405とを、共に第1の領域401にレイアウトしているが、本発明はこの構成に限定されない。メモリセルアレイ406と共に、読み出し回路404またはデコーダ405を、第2の領域402にレイアウトしても良い。

20

【0048】

次に、本発明のIDチップの詳しい作製方法について説明する。なお本実施の形態では、半導体素子として絶縁分離されたTFTを例示するが、集積回路に用いられる半導体素子はこれに限定されず、あらゆる回路素子を用いることができる。例えば、記憶素子、ダイオード、光電変換素子、抵抗素子、コイル、容量素子、インダクタなどが代表的に挙げられる。

【0049】

まず図5(A)に示すように、スパッタ法を用いて耐熱性を有する基板（第1の基板）500上に剥離層501を形成する。第1の基板500として、例えばバリウムホウケイ酸ガラスや、アルミノホウケイ酸ガラスなどのガラス基板、石英基板、セラミック基板等を用いることができる。また、SUS基板を含む金属基板または半導体基板の表面に絶縁膜を形成したものをを用いても良い。プラスチック等の可撓性を有する合成樹脂からなる基板は、一般的に上記基板と比較して耐熱温度が低い傾向にあるが、作製工程における処理温度に耐え得るのであれば用いることが可能である。

30

【0050】

剥離層501は、非晶質シリコン、多結晶シリコン、単結晶シリコン、微結晶シリコン（セミアモルファスシリコンを含む）等、シリコンを主成分とする層を用いることができる。剥離層501は、スパッタ法、減圧CVD法、プラズマCVD法等を用いて形成することができる。本実施の形態では、膜厚50nm程度の非晶質シリコンを減圧CVD法で形成し、剥離層501として用いる。なお剥離層501はシリコンに限定されず、エッチングにより選択的に除去できる材料で形成すれば良い。剥離層501の膜厚は、50~60nmとするのが望ましい。セミアモルファスシリコンの剥離層501に関しては、30~50nmとしてもよい。

40

【0051】

次に、剥離層501上に、下地膜502を形成する。下地膜502は第1の基板500中に含まれるNaなどのアルカリ金属やアルカリ土類金属が、半導体膜中に拡散し、TFTなどの半導体素子の特性に悪影響を及ぼすのを防ぐために設ける。また下地膜502は、後の半導体素子を剥離する工程において、半導体素子を保護する役目も有している。下地膜502は単層であっても複数の絶縁膜を積層したものであっても良い。よってアルカリ金属やアルカリ土類金属の半導体膜への拡散を抑えることができる酸化珪素や、窒化珪

50

素、窒化酸化珪素などの絶縁膜を用いて形成する。

【0052】

本実施の形態では、膜厚100nmのSiON膜、膜厚50nmのSiNO膜、膜厚100nmのSiON膜を順に積層して下地膜502を形成するが、各膜の材質、膜厚、積層数は、これに限定されるものではない。例えば、下層のSiON膜に代えて、膜厚0.5~3μmのシロキサン系樹脂をスピンコート法、スリットコーター法、液滴吐出法などによって形成しても良い。また、中層のSiNO膜に代えて、窒化珪素膜(SiNx、Si₃N₄等)を用いてもよい。また、上層のSiON膜に代えて、SiO₂膜を用いても良い。また、それぞれの膜厚は、0.05~3μmとするのが望ましく、その範囲から自由に選択することができる。

10

【0053】

或いは、剥離層501に最も近い、下地膜502の下層をSiON膜またはSiO₂膜で形成し、中層をシロキサン系樹脂で形成し、上層をSiO₂膜で形成しても良い。

【0054】

ここで、酸化珪素膜は、SiH₄/O₂、TEOS(テトラエトキシシラン)/O₂等の混合ガスを用い、熱CVD、プラズマCVD、常圧CVD、バイアスECRCVD等の方法によって形成することができる。また、窒化珪素膜は、代表的には、SiH₄/NH₃の混合ガスを用い、プラズマCVDによって形成することができる。また、酸化窒化珪素膜(SiO_xN_y:x>y)、窒化酸化珪素膜(SiNxOy:x>y)は、代表的には、SiH₄/N₂Oの混合ガスを用い、プラズマCVDによって形成することができる。

20

【0055】

次に、下地膜502上に半導体膜503を形成する。半導体膜503は、下地膜502を形成した後、大気に曝さずに形成することが望ましい。半導体膜の膜厚は20~200nm(望ましくは40~170nm、好ましくは50~150nm)とする。なお半導体膜503は、非晶質半導体であっても良いし、セミアモルファス半導体であっても良いし、多結晶半導体であっても良い。また半導体は珪素だけではなくシリコンゲルマニウムも用いることができる。シリコンゲルマニウムを用いる場合、ゲルマニウムの濃度は0.01~4.5atomic%程度であることが好ましい。

【0056】

非晶質半導体は、珪化物気体をグロー放電分解することにより得ることができる。代表的な珪化物気体としては、SiH₄、Si₂H₆が挙げられる。この珪化物気体を、水素、水素とヘリウムで希釈して用いても良い。

30

【0057】

なおセミアモルファス半導体とは、非晶質半導体と結晶構造を有する半導体(単結晶、多結晶を含む)の中間的な構造の半導体を含む膜である。このセミアモルファス半導体は、自由エネルギー的に安定な第3の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する結晶質なものであり、その粒径を0.5~20nmとして非単結晶半導体中に分散させて存在せしめることが可能である。セミアモルファス半導体は、そのラマンスペクトルが520cm⁻¹よりも低波数側にシフトしており、またX線回折ではSi(111)、(220)の結晶格子の回折ピークが観測される。また、未結合手(ダングリングボンド)の中和剤として水素またはハロゲンを少なくとも1原子%またはそれ以上含ませている。ここでは便宜上、このような半導体をセミアモルファス半導体(SAS)と呼ぶ。さらに、ヘリウム、アルゴン、クリプトン、ネオンなどの希ガス元素を含ませて格子歪みをさらに助長させることで安定性が増し良好なセミアモルファス半導体を得られる。

40

【0058】

またSASは珪化物気体をグロー放電分解することにより得ることができる。代表的な珪化物気体としては、SiH₄であり、その他にもSi₂H₆、SiH₂Cl₂、SiHCl₃、SiCl₄、SiF₄などを用いることができる。また水素や、水素にヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素を加えたガスで、この珪化物気体を希釈して用いることで、SASの形成を容易なものとするすることができる。

50

希釈率は2倍～1000倍の範囲で珪化物気体を希釈することが好ましい。またさらに、珪化物気体中に、 CH_4 、 C_2H_6 などの炭化物気体、 GeH_4 、 GeF_4 などのゲルマニウム化気体、 F_2 などを混入させて、エネルギーバンド幅を1.5～2.4 eV、若しくは0.9～1.1 eVに調節しても良い。

【0059】

例えば、 SiH_4 に H_2 を添加したガスを用いる場合、或いは SiH_4 に F_2 を添加したガスを用いる場合、形成したセミアモルファス半導体を用いてTFTを作製すると、該TFTのサブスレッショルド係数(S値)を0.35 V/sec以下、代表的には0.25～0.09 V/secとし、移動度を $10 \text{ cm}^2/\text{V sec}$ とすることができる。そして上記セミアモルファス半導体を用いたTFTで、例えば19段リングオシレータを形成した場合、電源電圧3～5 Vにおいて、その発振周波数は1 MHzから100 MHzあるいはそれ以上の特性を得ることができる。また電源電圧3～5 Vにおいて、インバータ1段あたりの遅延時間は26 ns以下とすることができる。

10

【0060】

そして図5(A)に示すように、半導体膜503を、レーザを用いて結晶化する。或いは、触媒元素を用いる結晶化法と、レーザを用いたレーザ結晶化法とを組み合わせも良い。

【0061】

レーザ結晶化の前に、レーザに対する半導体膜の耐性を高めるために、500、1時間の熱アニールを該半導体膜に対して行なうのが望ましい。そして連続発振が可能な固体レーザを用い、基本波の第2高調波～第4高調波のレーザ光を照射することで、大粒径の結晶を得ることができる。例えば、代表的には、Nd:YVO₄レーザ(基本波1064 nm)の第2高調波(532 nm)や第3高調波(355 nm)を用いるのが望ましい。具体的には、連続発振のYVO₄レーザから射出されたレーザ光を非線形光学素子により高調波に変換し、出力10 Wのレーザ光を得る。そして、好ましくは光学系により照射面に矩形または楕円形状のレーザ光に成形して、半導体膜に照射する。このときのパワー密度は0.01～100 MW/cm²程度(好ましくは0.1～10 MW/cm²)が必要である。そして、走査速度を10～2000 cm/sec程度とし、照射する。

20

【0062】

なおレーザは、公知の連続発振の気体レーザや固体レーザを用いることができる。気体レーザとして、Arレーザ、Krレーザなどがあり、固体レーザとして、YAGレーザ、YVO₄レーザ、YLFレーザ、YAlO₃レーザ、GdVO₄レーザ、ガラスレーザ、ルビーレーザ、アレキサンドライトレーザ、Ti:サファイアレーザなどの単結晶を用いたレーザがある。さらに、Y₂O₃レーザなどの多結晶を用いたセラミックレーザも固体レーザとして挙げられる。

30

【0063】

また、パルス発振のレーザ光の発振周波数を10 MHz以上とし、通常用いられている数十Hz～数百Hzの周波数帯よりも著しく高い周波数帯を用いてレーザ結晶化を行なっても良い。パルス発振でレーザ光を半導体膜に照射してから半導体膜が完全に固化するまでの時間は数十nsec～数百nsecと言われている。よって上記周波数帯を用いることで、半導体膜がレーザ光によって溶融してから固化するまでに、次のパルスのレーザ光を照射できる。したがって、半導体膜中において固液界面を連続的に移動させることができるので、走査方向に向かって連続的に成長した結晶粒を有する半導体膜が形成される。具体的には、含まれる結晶粒の走査方向における幅が10～30 μm、走査方向に対して垂直な方向における幅が1～5 μm程度の結晶粒の集合を形成することができる。該走査方向に沿って長く伸びた結晶軸が一方向に配向した結晶粒を形成することで、少なくともTFTのチャンネル長方向には結晶粒界のほとんど存在しない半導体膜の形成が可能となる。

40

【0064】

上述した半導体膜へのレーザ光の照射により、結晶性がより高められた半導体膜が形成

50

される。該半導体膜は、ビームスポットの中心領域とエッジ近傍とで、結晶性の異なる第1の領域504と、第2の領域505とに作り分けられる。第1の領域504は、走査方向における幅が10～30μm、走査方向に対して垂直な方向における幅が1～5μm程度の結晶粒を含んでいる。一方第2の領域505は、位置と大きさがランダムであって、なおかつ粒径が0.2μm～数μm程度の比較的小さい微結晶の結晶粒のみが形成されやすい。

【0065】

次に、図5(B)に示すように、結晶化された半導体膜の第1の領域504と、第2の領域505とをパターンニングし、第1の領域504から島状の半導体膜506、507を、第2の領域505から島状の半導体膜508を形成する。そして、島状の半導体膜506～508を覆うように、ゲート絶縁膜509を形成する。ゲート絶縁膜509は、プラズマCVD法又はスパッタリング法などを用い、窒化珪素、酸化珪素、窒化酸化珪素又は酸化窒化珪素を含む膜を、単層で、又は積層させて形成することができる。積層する場合には、例えば、基板側から酸化珪素膜、窒化珪素膜、酸化珪素膜の3層構造とするのが好ましい。

10

【0066】

なお、ゲート絶縁膜509を形成した後、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行ない、島状の半導体膜506～508を水素化する工程を行なっても良い。この水素化の工程により、熱的に励起された水素によりダングリングボンドを終端することができる。また、水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。また、後の工程において可撓性を有する第2の基板の上に半導体素子を貼り合わせた後、第2の基板を曲げることにより半導体膜中に欠陥が形成されたとしても、水素化により半導体膜中の水素の濃度を、 $1 \times 10^{19} \sim 1 \times 10^{22} \text{ atoms/cm}^3$ 好ましくは $1 \times 10^{19} \sim 5 \times 10^{20} \text{ atoms/cm}^3$ とすることで、半導体膜に含まれている水素によって該欠陥を終端させることができる。また該欠陥を終端させるために、半導体膜中にハロゲンを含ませておいても良い。

20

【0067】

次に図5(C)に示すように、ゲート電極510～512を形成する。本実施の形態では、SiとWをスパッタ法で積層するように形成した後、レジスト513をマスクとしてエッチングを行なうことにより、ゲート電極510～512を形成した。勿論、ゲート電極510～512の材料、構造、作製方法は、これに限定されるものではなく、適宜選択することができる。例えば、n型を付与する不純物がドーピングされたSiとNiSi(ニッケルシリサイド)との積層構造や、Ta₂N(窒化タンタル)とW(タングステン)の積層構造としてもよい。また、種々の導電材料を用いて単層で形成しても良い。

30

【0068】

また、レジストマスクの代わりに、SiO_x等のマスクを用いてもよい。この場合、パターンニングしてSiO_x、SiON等のマスク(ハードマスクと呼ばれる。)を形成する工程が加わるが、エッチング時におけるマスクの膜減りがレジストよりも少ないため、所望の幅のゲート電極510～512を形成することができる。また、マスクを用いずに、液滴吐出法を用いて選択的にゲート電極510～512を形成しても良い。

40

【0069】

導電材料としては、導電膜の機能に応じて種々の材料を選択することができる。また、ゲート電極とアンテナとを同時に形成する場合には、それらの機能を考慮して材料を選択すればよい。

【0070】

なお、ゲート電極をエッチング形成する際のエッチングガスとしては、CF₄、Cl₂、O₂の混合ガスやCl₂ガスを用いたが、これに限定されるものではない。

【0071】

次に図5(D)に示すように、pチャネル型TFETとなる島状の半導体膜507をレジ

50

スト515で覆い、ゲート電極510、512をマスクとして、島状の半導体膜506、508に、n型を付与する不純物元素（代表的にはP（リン）又はAs（砒素））を低濃度にドーピングする（第1のドーピング工程）。第1のドーピング工程の条件は、ドーピング量： $1 \times 10^{13} \sim 6 \times 10^{13} / \text{cm}^2$ 、加速電圧：50～70kVとしたが、これに限定されるものではない。この第1のドーピング工程によって、ゲート絶縁膜509を介してドーピングがなされ、島状の半導体膜506、508に、一对の低濃度不純物領域516、517が形成される。なお、第1のドーピング工程は、pチャネル型TFETとなる島状の半導体膜507をレジストで覆わずに行っても良い。

【0072】

次に図5（E）に示すように、レジスト515をアッシング等により除去した後、nチャネル型TFETとなる島状の半導体膜506、508を覆うように、レジスト518を新たに形成し、ゲート電極511をマスクとして、島状の半導体膜507に、p型を付与する不純物元素（代表的にはB（ホウ素））を高濃度にドーピングする（第2のドーピング工程）。第2のドーピング工程の条件は、ドーピング量： $1 \times 10^{16} \sim 3 \times 10^{16} / \text{cm}^2$ 、加速電圧：20～40kVとして行なう。この第2のドーピング工程によって、ゲート絶縁膜509を介してドーピングがなされ、島状の半導体膜507に、一对のp型の高濃度不純物領域520が形成される。

【0073】

次に図6（A）に示すように、レジスト518をアッシング等により除去した後、ゲート絶縁膜509及びゲート電極510～512を覆うように、絶縁膜521を形成する。本実施の形態では、膜厚100nmのSiO₂膜をプラズマCVD法によって形成した。その後、エッチバック法により、絶縁膜521、ゲート絶縁膜509を部分的にエッチングし、図6（B）に示すように、ゲート電極510～511の側壁に接するように、サイドウォール522～524を自己整合的（セルフアライン）に形成する。エッチングガスとしては、CHF₃とHeの混合ガスを用いた。なお、サイドウォールを形成する工程は、これらに限定されるものではない。

【0074】

なお、絶縁膜521を形成した時に、基板の裏面にも絶縁膜が形成された場合には、サイドウォールを形成した後に基板表面にレジストを形成し、裏面に形成された絶縁膜をエッチングし、除去するようにしても良い。または、サイドウォールをエッチバック法で形成する際に、絶縁膜521とゲート絶縁膜509の一部と、基板裏面に形成された絶縁膜の全てを同時に除去するようにしても良い。

【0075】

なおサイドウォール522、524は、後に高濃度のn型を付与する不純物をドーピングし、サイドウォール522、524の下部に低濃度不純物領域又はノンドーピングのオフセット領域を形成する際のマスクとして機能するものである。よって、低濃度不純物領域又はオフセット領域の幅を制御するには、サイドウォールを形成する際のエッチバック法の条件を適宜変更し、サイドウォールのサイズを調整すればよい。

【0076】

次に図6（C）に示すように、pチャネル型TFETとなる島状の半導体膜507を覆うように、レジスト526を新たに形成し、ゲート電極510、512及びサイドウォール522、524をマスクとして、n型を付与する不純物元素（代表的にはP又はAs）を高濃度にドーピングする（第3のドーピング工程）。第3のドーピング工程の条件は、ドーピング量： $1 \times 10^{13} \sim 5 \times 10^{15} / \text{cm}^2$ 、加速電圧：60～100kVとして行なう。この第3のドーピング工程によって、ドーピングがなされ、島状の半導体膜506、508に、一对のn型の高濃度不純物領域527、528が形成される。

【0077】

次に、レジスト526をアッシング等により除去した後、不純物領域の熱活性化を行っても良い。例えば、50nmのSiON膜を成膜した後、550℃、4時間、窒素雰囲気下において、加熱処理を行えばよい。また、水素を含むSiNx膜を、100nmの膜

10

20

30

40

50

厚に形成した後、410、1時間、窒素雰囲気下において、加熱処理を行なうことにより、多結晶半導体膜の欠陥を修復することができる。これは、例えば、多結晶半導体膜中に存在するダングリングボンドを終端させるものであり、水素化処理工程などと呼ばれる。

【0078】

上述した一連の工程により、nチャネル型TFT530、pチャネル型TFT531、nチャネル型TFT532が形成される。上記作製工程において、エッチバック法の条件を適宜変更し、サイドウォールのサイズを調整することで、チャネル長 $0.2\mu\text{m} \sim 2\mu\text{m}$ のTFTを形成することができる。なお、本実施の形態では、TFT530～532をトップゲート構造としたが、ボトムゲート構造（逆スタガ構造）としてもよい。

10

【0079】

さらに、この後、TFT530～532を保護するためのパッシベーション膜（図中では示していない）を形成しても良い。パッシベーション膜は、アルカリ金属やアルカリ土類金属のTFT530～532への侵入を防ぐことができる、窒化珪素、窒化酸化珪素、窒化アルミニウム、酸化アルミニウム、酸化珪素などを用いるのが望ましい。具体的には、例えば膜厚600nm程度のSiON膜を、パッシベーション膜として用いることができる。この場合、水素化処理工程は、該SiON膜形成後に行っても良い。他の例として、基板側から、SiON、SiNx、SiONの3層の絶縁膜が順次形成されてもよく、その構造や材料はこれらに限定されるものではない。上記構成を用いることで、TFT530～532が下地膜502とパッシベーション膜とで覆われるため、Naなどのアルカリ金属やアルカリ土類金属が、半導体素子に用いられている半導体膜中に拡散し、半導体素子の特性に悪影響を及ぼすのをより防ぐことができる。

20

【0080】

次に図6(D)に示すように、TFT530～532を覆うように、第1の層間絶縁膜533を形成する。第1の層間絶縁膜533は、ポリイミド、アクリル、ポリアミド等の、耐熱性を有する有機樹脂を用いることができる。また上記有機樹脂の他に、低誘電率材料（low-k材料）、シロキサン系材料を出発材料として形成されたSi-O-Si結合を含む樹脂（以下、シロキサン樹脂と呼ぶ）等を用いることができる。シロキサンは、シリコン（Si）と酸素（O）との骨格構造が構成される。置換基として少なくとも水素を含む有機基（例えばアルキル基、芳香族炭化水素）が用いられる。置換基として、フルオロ基を用いてもよい。または、置換基として少なくとも水素を含む有機基と、フルオロ基を用いても良い。第1の層間絶縁膜533の形成には、その材料に応じて、スピンコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法）印刷法（スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を採用することができる。また、無機材料を用いてもよく、その際には、酸化珪素、窒化珪素、酸窒化珪素、PSG（リンガラス）、BPSG（リンボロンガラス）、アルミナ膜等を用いることができる。なお、これらの絶縁膜を積層させて、第1の層間絶縁膜533を形成しても良い。

30

【0081】

さらに本実施の形態では、第1の層間絶縁膜533上に、第2の層間絶縁膜534を形成する。第2の層間絶縁膜534としては、DLC（ダイヤモンドライクカーボン）或いは窒化炭素（CN）等の炭素を有する膜、又は、酸化珪素膜、窒化珪素膜或いは窒化酸化珪素膜等を用いることができる。形成方法としては、プラズマCVD法や、大気圧プラズマCVD法等を用いることができる。あるいは、ポリイミド、アクリル、ポリアミド、レジスト又はベンゾシクロブテン等の感光性又は非感光性の有機材料や、シロキサン系樹脂等を用いてもよい。

40

【0082】

なお、第1の層間絶縁膜533又は第2の層間絶縁膜534と、後に形成される配線を構成する導電材料等との熱膨張率の差から生じる応力によって、第1の層間絶縁膜533又は第2の層間絶縁膜534の膜剥がれや割れが生じるのを防ぐために、第1の層間絶縁

50

膜 5 3 3 又は第 2 の層間絶縁膜 5 3 4 中にフィラーを混入させておいても良い。

【 0 0 8 3 】

次に図 6 (D) に示すように、第 1 の層間絶縁膜 5 3 3、第 2 の層間絶縁膜 5 3 4 にコンタクトホールを形成し、T F T 5 3 0 ~ 5 3 2 に接続する配線 5 3 5 ~ 5 3 9 を形成する。コンタクトホール開孔時のエッチングに用いられるガスは、 CHF_3 と He の混合ガスを用いたが、これに限定されるものではない。本実施の形態では、配線 5 3 5 ~ 5 3 9 を、基板側から、Ti、TiN、Al-Si、Ti、TiN に順次積層した 5 層構造とし、スパッタ法によって形成した後、パターニング形成した。

【 0 0 8 4 】

なお、Al において、Si を混入させることにより、配線パターニング時のレジストベークにおけるヒロックの発生を防止することができる。また、Si の代わりに、0.5% 程度の Cu を混入させても良い。また、Ti や TiN で Al-Si 層をサンドイッチすることにより、耐ヒロック性がさらに向上する。なお、パターニング時には、SiON 等からなる上記ハードマスクを用いるのが望ましい。なお、配線の材料や、形成方法はこれらに限定されるものではなく、前述したゲート電極に用いられる材料を採用しても良い。

【 0 0 8 5 】

なお、配線 5 3 5、5 3 6 は n チャネル型 T F T 5 3 0 の高濃度不純物領域 5 2 7 に、配線 5 3 6、5 3 7 は p チャネル型 T F T 5 3 1 の高濃度不純物領域 5 2 0 に、配線 5 3 8、5 3 9 は n チャネル型 T F T 5 3 2 の高濃度不純物領域 5 2 8 に、それぞれ接続されている。さらに配線 5 3 9 は、n チャネル型 T F T 5 3 2 のゲート電極 5 1 2 にも接続されている。n チャネル型 T F T 5 3 2 は、乱数 ROM のメモリ素子として用いることができる。

【 0 0 8 6 】

次に図 6 (E) に示すように、配線 5 3 5 ~ 5 3 9 を覆うように、第 2 の層間絶縁膜 5 3 4 上に第 3 の層間絶縁膜 5 4 1 を形成する。第 3 の層間絶縁膜 5 4 1 は、配線 5 3 5 が一部露出する様な位置に開口部を有するように形成する。なお第 3 の層間絶縁膜 5 4 1 は、第 1 の層間絶縁膜 5 3 3 と同様の材料を用いて形成することが可能である。

【 0 0 8 7 】

次に、第 3 の層間絶縁膜 5 4 1 上にアンテナ 5 4 2 を形成する。アンテナ 5 4 2 は、Ag、Au、Cu、Pd、Cr、Mo、Ti、Ta、W、Al、Fe、Co、Zn、Sn、Ni などの金属、金属化合物を 1 つまたは複数有する導電材料を用いることができる。そしてアンテナ 5 4 2 は、配線 5 3 5 と接続されている。なお図 6 (E) では、アンテナ 5 4 2 が配線 5 3 5 と直接接続されているが、本発明の ID チップはこの構成に限定されない。例えば別途形成した配線を用いて、アンテナ 5 4 2 と配線 5 3 5 とを電氣的に接続するようにしても良い。

【 0 0 8 8 】

アンテナ 5 4 2 は印刷法、フォトリソグラフィ法、蒸着法または液滴吐出法などを用いて形成することができる。本実施の形態では、アンテナ 5 4 2 が単層の導電膜で形成されているが、複数の導電膜が積層されたアンテナ 5 4 2 を形成することも可能である。例えば、Ni などで形成した配線に、Cu を無電解めっきでコーティングして、アンテナ 5 4 2 を形成しても良い。

【 0 0 8 9 】

なお液滴吐出法とは、所定の組成物を含む液滴を細孔から吐出して所定のパターンを形成する方法を意味し、インクジェット法などがその範疇に含まれる。また印刷法にはスクリーン印刷法、オフセット印刷法などが含まれる。印刷法、液滴吐出法を用いることで、露光用のマスクを用いずとも、アンテナ 5 4 2 を形成することが可能になる。また、液滴吐出法、印刷法だと、フォトリソグラフィ法と異なり、エッチングにより除去されてしまうような材料の無駄がない。また高価な露光用のマスクを用いなくとも良いので、ID チップの作製に費やされるコストを抑えることができる。

【 0 0 9 0 】

10

20

30

40

50

液滴吐出法または各種印刷法を用いる場合、例えば、CuをAgでコートした導電粒子なども用いることが可能である。なお液滴吐出法を用いてアンテナ542を形成する場合、該アンテナ542の密着性が高まるような処理を、第3の層間絶縁膜541の表面に施すことが望ましい。

【0091】

密着性を高めることができる方法として、具体的には、例えば触媒作用により導電膜または絶縁膜の密着性を高めることができる金属または金属化合物を第3の層間絶縁膜541の表面に付着させる方法、形成される導電膜または絶縁膜との密着性が高い有機系の絶縁膜、金属、金属化合物を第3の層間絶縁膜541の表面に付着させる方法、第3の層間絶縁膜541の表面に大気圧下または減圧下においてプラズマ処理を施し、表面の密着性を改善する方法などが挙げられる。また、上記導電膜または絶縁膜との密着性が高い金属として、チタン、チタン酸化物の他、3d遷移元素であるSc、Ti、V、Cr、Mn、Fe、Co、Ni、Cu、Znなどが挙げられる。また金属化合物として、上述した金属の酸化物、窒化物、酸窒化物などが挙げられる。上記有機系の絶縁膜として、例えばポリイミド、シロキサン系樹脂等が挙げられる。

10

【0092】

第3の層間絶縁膜541に付着させる金属または金属化合物が導電性を有する場合、アンテナの正常な動作が妨げられないように、そのシート抵抗を制御する。具体的には、導電性を有する金属または金属化合物の平均の厚さを、例えば1~10nmとしたり、該金属または金属化合物を酸化により部分的に、または全体的に絶縁化したりすれば良い。或いは、密着性を高めたい領域以外は、付着した金属または金属化合物をエッチングにより選択的に除去しても良い。また金属または金属化合物を、予め基板の全面に付着させるのではなく、液滴吐出法、印刷法、ゾル-ゲル法などを用いて特定の領域にのみ選択的に付着させても良い。なお金属または金属化合物は、第3の層間絶縁膜541の表面において完全に連続した膜状である必要はなく、ある程度分散した状態であっても良い。

20

【0093】

そして図7(A)に示すように、アンテナ542を形成した後、アンテナ542を覆うように、第3の層間絶縁膜541上に保護層545を形成する。保護層545は、後に剥離層501をエッチングにより除去する際に、アンテナ542を保護することができる材料を用いる。例えば、水またはアルコール類に可溶性エポキシ系、アクリレート系、シリコン系の樹脂を全面に塗布することで保護層545を形成することができる。

30

【0094】

本実施の形態では、スピンコート法で水溶性樹脂(東亜合成製:VL-WSHL10)を膜厚30 μ mとなるように塗布し、仮硬化させるために2分間の露光を行ったあと、UV光を裏側から2.5分、表側から10分、合計12.5分の露光を行って本硬化させて、保護層545を形成する。なお、複数の有機樹脂を積層する場合、有機樹脂同士では使用している溶媒によって塗布または焼成時に一部溶解したり、密着性が高くなりすぎたりする恐れがある。従って、第3の層間絶縁膜541と保護層545を共に同じ溶媒に可溶性有機樹脂を用いる場合、後の工程において保護層545の除去がスムーズに行なわれるように、第3の層間絶縁膜541を覆うように、無機絶縁膜(SiN_x膜、SiN_xO_y膜、AlN_x膜、またはAlN_xO_y膜)を形成しておくことが好ましい。

40

【0095】

次に図7(B)に示すように、IDチップどうしを分離するために溝546を形成する。溝546は、剥離層501が露出する程度であれば良い。溝546の形成は、ダイシング、スクライピングなどを用いることができる。なお、第1の基板500上に形成されているIDチップを分離する必要がない場合、必ずしも溝546を形成する必要はない。

【0096】

次に図7(C)に示すように、剥離層501をエッチングにより除去する。本実施の形態では、エッチングガスとしてフッ化ハロゲンを用い、該ガスを溝546から導入する。本実施の形態では、例えばClF₃(三フッ化塩素)を用い、温度:350、流量:3

50

00sccm、気圧：800Pa、時間：3hの条件で行なう。また、 CF_3 ガスに窒素を混ぜたガスを用いても良い。 CF_3 等のフッ化ハロゲンを用いることで、剥離層501が選択的にエッチングされ、第1の基板500をTFT530～532から剥離することができる。なおフッ化ハロゲンは、気体であっても液体であってもどちらでも良い。
【0097】

次に図8(A)に示すように、剥離されたTFT530～532及びアンテナ542を、接着剤550を用いて第2の基板551に貼り合わせる。接着剤550は、第2の基板551と下地膜502とを貼り合わせることができる材料を用いる。接着剤550は、例えば反応硬化型接着剤、熱硬化型接着剤、紫外線硬化型接着剤等の光硬化型接着剤、嫌気型接着剤などの各種硬化型接着剤を用いることができる。

10

【0098】

第2の基板551として、フレキシブルな紙またはプラスチックなどの有機材料を用いることができる。または第2の基板551として、フレキシブル無機材料を用いても良い。プラスチック基板は、極性基のついたポリノルボルネンからなるARTON(JSR製)を用いることができる。また、ポリエチレンテレフタレート(PET)に代表されるポリエステル、ポリエーテルスルホン(PES)、ポリエチレンナフタレート(PEN)、ポリカーボネート(PC)、ナイロン、ポリエーテルエーテルケトン(PEEK)、ポリスルホン(PSF)、ポリエーテルイミド(PEI)、ポリアリレート(PAR)、ポリブチレンテレフタレート(PBT)、ポリイミド、アクリロニトリルブタジエンスチレン樹脂、ポリ塩化ビニル、ポリプロピレン、ポリ酢酸ビニル、アクリル樹脂などが挙げられる。第2の基板551は集積回路において発生した熱を拡散させるために、2～30W/mK程度の高い熱伝導率を有する方が望ましい。

20

【0099】

次に図8(B)に示すように、保護層545を除去した後、アンテナ542を覆うように接着剤552を第3の層間絶縁膜541上に塗布し、カバー材553を貼り合わせる。カバー材553は第2の基板551と同様に、フレキシブルな紙またはプラスチックなどの有機材料を用いることができる。接着剤552の厚さは、例えば10～200 μ mとすれば良い。

【0100】

また接着剤552は、カバー材553と第3の層間絶縁膜541及びアンテナ542とを貼り合わせることができる材料を用いる。接着剤552は、例えば反応硬化型接着剤、熱硬化型接着剤、紫外線硬化型接着剤等の光硬化型接着剤、嫌気型接着剤などの各種硬化型接着剤を用いることができる。

30

【0101】

上述した各工程を経て、IDチップが完成する。上記作製方法によって、トータルの膜厚0.3 μ m以上3 μ m以下、代表的には2 μ m程度の飛躍的に薄い集積回路を第2の基板551とカバー材553との間に形成することができる。なお集積回路の厚さは、半導体素子自体の厚さのみならず、接着剤550と接着剤552間に形成された各種絶縁膜及び層間絶縁膜の厚さを含めるものとする。またIDチップが有する集積回路の占める面積を、5mm四方(25mm²)以下、より望ましくは0.3mm四方(0.09mm²)～4mm四方(16mm²)程度とすることができる。

40

【0102】

なお集積回路を、第2の基板551とカバー材553の間のより中央に位置させることで、IDチップの機械的強度を高めることができる。具体的には、第2の基板551とカバー材553の間の距離をdとすると、第2の基板551と、集積回路の厚さ方向における中心との距離xが、以下の数1を満たすように、接着剤550、接着剤552の厚さを制御することが望ましい。

【0103】

【数 1】

$$\frac{1}{2}d - 30\mu\text{m} < x < \frac{1}{2}d + 30\mu\text{m}$$

【0104】

また好ましくは、以下の数 2 を満たすように、接着剤 5 5 0、接着剤 5 5 2 の厚さを制御する。

【0105】

【数 2】

$$\frac{1}{2}d - 10\mu\text{m} < x < \frac{1}{2}d + 10\mu\text{m}$$

10

【0106】

また、図 19 に示すように、集積回路における T F T の島状の半導体膜の下面から下部の下地膜の下面までの距離 (t_{under}) と、島状の半導体膜下面から上部の第 3 の層間絶縁膜 5 4 1 の上面までの距離 (t_{over}) が、等しく又は概略等しくなるように、下地膜 5 0 2、第 1 の層間絶縁膜 5 3 3、第 2 の層間絶縁膜 5 3 4 または第 3 の層間絶縁膜 5 4 1 の厚さを調整しても良い。このようにして、島状の半導体膜を集積回路の中央に配置せしめることで、半導体層への応力を緩和することができ、クラックの発生を抑制することができる。

20

【0107】

なお図 8 (B) では、カバー材 5 5 3 を用いる例を示しているが、本発明はこの構成に限定されない。例えば図 8 (A) に示した工程までで終了としても良い。

【0108】

なお本実施の形態では、耐熱性の高い第 1 の基板 5 0 0 と集積回路の間に剥離層を設け、エッチングにより第 1 の基板と集積回路とを剥離する方法について示したが、本発明の I D チップの作製方法は、この構成に限定されない。例えば、耐熱性の高い基板と集積回路の間に金属酸化膜を設け、該金属酸化膜を結晶化により脆弱化して集積回路を剥離しても良い。或いは、耐熱性の高い基板と集積回路の間に、水素を含む非晶質半導体膜を用いた剥離層を設け、レーザー光の照射により該剥離層を除去しても良い。或いは、集積回路が形成された耐熱性の高い基板を機械的に削除または溶液やガスによるエッチングで除去することで集積回路を基板から切り離しても良い。

30

【0109】

また I D チップの可撓性を確保するために、下地膜 5 0 2 に接する接着剤 5 5 0 に有機樹脂を用いる場合、下地膜 5 0 2 として窒化珪素膜または窒化酸化珪素膜を用いることで、有機樹脂から N a などのアルカリ金属やアルカリ土類金属が半導体膜中に拡散するのを防ぐことができる。

【0110】

また I D チップを貼り付ける対象物の表面が曲面を有しており、それにより該曲面に貼り合わされた I D チップの第 2 の基板 5 5 1 が、錐面、柱面など母線の移動によって描かれる曲面を有するように曲がってしまう場合、該母線の方向と T F T 5 3 0 ~ 5 3 2 のキャリアが移動する方向とを揃えておくことが望ましい。上記構成により、第 2 の基板 5 5 1 が曲がっても、それによって T F T 5 3 0 ~ 5 3 2 の特性が変わるのを抑えることができる。また、島状の半導体膜が集積回路内において占める面積の割合を、1 ~ 30 % とすることで、第 2 の基板 5 5 1 が曲がっても、それによって T F T 5 3 0 ~ 5 3 2 の特性が変わるのをより抑えることができる。

40

【0111】

なお本実施の形態では、アンテナを集積回路と同じ基板上に形成している例について説

50

明したが、本発明はこの構成に限定されない。別の基板上に形成したアンテナと集積回路とを、後に貼り合わせることで、電氣的に接続するようにしても良い。

【0112】

なお一般的にIDチップで用いられている電波の周波数は、13.56MHz、2.45GHzが多く、該周波数の電波を検波できるようにIDチップを形成することが、汎用性を高める上で非常に重要である。

【0113】

また本実施の形態のIDチップでは、半導体基板を用いて形成されたIDチップよりも電波が遮蔽されにくく、電波の遮蔽により信号が減衰するのを防ぐことができるというメリットを有している。また、半導体基板を用いずに済むので、IDチップのコストを大幅に低くすることができる。例えば、直径12インチのシリコン基板を用いた場合と、730×920mm²のガラス基板を用いた場合とを比較する。前者のシリコン基板の面積は約73000mm²であるが、後者のガラス基板の面積は約672000mm²であり、ガラス基板はシリコン基板の約9.2倍に相当する。後者のガラス基板の面積は約672000mm²では、基板の分断により消費される面積を無視すると、1mm四方のIDチップが約672000個形成できる計算になり、該個数はシリコン基板の約9.2倍の数に相当する。そしてIDチップの量産化を行なうための設備投資は、730×920mm²のガラス基板を用いた場合の方が直径12インチのシリコン基板を用いた場合よりも工程数が少なく済むため、額を3分の1で済ませることができる。さらに本発明では、集積回路を剥離した後、ガラス基板を再び利用できる。よって、破損したガラス基板を補填したり、ガラス基板の表面を清浄化したりする費用を踏まえても、シリコン基板を用いる場合より大幅にコストを抑えることができる。またガラス基板を再利用せずに廃棄していったとしても、730×920mm²のガラス基板の値段は、直径12インチのシリコン基板の半分程度で済むので、IDチップのコストを大幅に低くすることができることがわかる。

【0114】

従って、730×920mm²のガラス基板を用いた場合、直径12インチのシリコン基板を用いた場合よりも、IDチップの値段を約30分の1程度に抑えることができることがわかる。IDチップは、使い捨てを前提とした用途も期待されているので、コストを大幅に低くすることができる本発明のIDチップは上記用途に非常に有用である。

【0115】

なお本実施の形態では、集積回路を剥離して、可撓性を有する基板に貼り合わせる例について説明したが、本発明はこの構成に限定されない。例えばガラス基板上の集積回路をIDチップとして用いてもよい。

【実施例1】

【0116】

本実施例では、乱数ROMに用いられる読み出し回路の一形態について説明する。図9に、乱数ROMが有するメモリセルアレイ801と、読み出し回路802の一形態を示す。なお図9では、メモリセルアレイ801が有するメモリセル803の一つと、メモリセル803に対応する読み出し回路802の一部とを、例示している。

【0117】

読み出し回路802は参照用メモリセル804、差動増幅回路805、ラッチ回路806を有している。ワード線807が選択されると、メモリセル803によって、ビット線808を介して差動増幅回路805に電圧Vbitが供給される。一方、参照用メモリセル804からは参照電圧Vrefが出力され、差動増幅回路805に供給される。この2つの電圧Vbitと電圧Vrefの差が、差動増幅回路805において増幅され、ラッチ回路806に格納される。

【0118】

なお、参照電圧Vrefは、複数のメモリセルによって供給されるビット線808の電圧Vbitの平均値に近いことが好ましい。そうすることで、メモリセルアレイ801が

10

20

30

40

50

有する複数のメモリセルは、ほぼ1/2の確率で格納されているデータが0もしくは1に割り当てることができる。例えば、参照用メモリセル804が有するTF T 810のチャンネル幅を、メモリセル803が有するTF T 811のチャンネル幅よりも、大きくすることで、参照電圧V_{ref}を電圧V_{bit}の平均値に近づけることができる。

【0119】

以上のようにして、参照用メモリセル804が有するTF T 810の閾値電圧と、選択されたメモリセル803が有するTF T 811の閾値電圧の差に基づいて、1ビットのデータが決定され、ラッチ回路806に格納される。より正確には、データは、メモリセル803が有するTF T 811の閾値電圧のばらつきのみならず、差動増幅回路805が有するTF T 810の閾値電圧のばらつきも含めて決定されていると言える。こうして、同じ作製工程を用いて形成しても、IDチップごとに固有のデータを格納する乱数ROMを形成することができる。

10

【0120】

なお、上述した乱数ROMは、通常のTF Tの作製技術を用いることで作製することが可能であり、他の集積回路を作製する作製工程と同じ工程で、作製することが可能である。従って、乱数ROMの作製に伴うコストの上昇は抑えられ、フラッシュメモリを作製する場合と比較してコストを低く抑えることが可能である。

【0121】

なお、異なるIDチップにおいて、乱数ROMに格納されるデータが一致する確率は、必ずしも0ではない。しかしながら、例えば、128ビット程度の容量を考えても、存在し得る乱数は 2^{128} 個あり、データが一致する確率は実質的に0と見なすことができる。

20

【0122】

上述したような乱数ROMを用い、そのデータをIDチップに固有のデータとして使用することで、マスクROMを作製する場合のフォトマスクの使い捨てを回避し、かつ、コストの上昇を伴わない、低コストのIDチップを作製することが可能となる。

【実施例2】

【0123】

本実施例では、図9とは異なる乱数ROMの構成について、図10を用いて説明する。図9では、各メモリセルを参照用メモリセルと比較することによってデータを決定する乱数ROMについて示したが、本実施例では、隣り合うメモリセル間の電圧の比較によって、データを決定する乱数ROMの例を示す。

30

【0124】

図10では、メモリセルアレイ820が有する二つのメモリセル821、822と、メモリセル821、822に対応する読み出し回路823の一部とを、例示している。メモリセルアレイ820内のメモリセル821、822が選択されると、各メモリセル821、822がそれぞれ有するTF T 824、825の閾値電圧に見合った電圧が、対応するビット線826、827に供給される。読み出し回路823が有する差動増幅回路828は、両ビット線826、827の電圧の差を増幅し、読み出し回路823が有するラッチ回路829に格納する。

【0125】

40

なおTF Tの特性は、結晶粒界の位置以外の要因、例えばゲート絶縁膜の膜厚の分布、ドーピングされる不純物元素の濃度の分布などによってもばらつくことがある。結晶粒界の位置以外の要因でTF Tの特性がばらつく場合、近い位置にレイアウトされているTF Tどうしの特性は比較的一致しているが、位置が離れているTF Tどうしの特性はばらついているということが、往々にして起こる。この場合、メモリセルアレイ全体で見たとときに、TF Tの特性のばらつきに規則性が生じてしまい、好ましくない。しかし本実施例の乱数ROMの場合、図9に示した乱数ROMと異なり、比較するメモリセルどうしが隣り合う位置にレイアウトされている。したがって、各メモリセルのTF Tが、メモリセルの位置に依存するようなマクロな特性のばらつきに影響されにくく、結晶粒界の位置に依存する特性のばらつきに影響されやすい。その結果、特性の分布の偏りが少ないデータが

50

格納された、乱数ROMを得ることができる。

【実施例3】

【0126】

識別可能な程度の固有のデータをIDチップが保有するためには、IDチップは小容量のデータを格納することができる乱数ROMを有していれば良い。例えば、乱数ROMの容量は、128ビットもあればIDチップを識別するデータを格納するのに十分である。小容量の乱数ROMの場合、フリップフロップ回路を用いても良い。

【0127】

図11に、本実施例の乱数ROMの一例を示す。図11に示すように、本実施例の乱数ROMが有する読み出し回路840は、シフトレジスタ841と、スイッチング素子842とを有している。またシフトレジスタ841は、フリップフロップ回路843を有している。

10

【0128】

乱数ROMが有するメモリセルアレイ844において、ロード信号によりスイッチング素子842が選択されると、メモリセル845、846からのデータがシフトレジスタ841に入力される。シフトレジスタ841では、メモリセル845、846からデータが入力されると、該データをクロック信号(CLK)に従って、シリアルに出力する。

【0129】

シフトレジスタ841の動作についてより詳しく説明すると、まずロード信号がアサートされると、シフトレジスタ841の電源電位が接地され、フリップフロップ843に格納された情報が消去されると共に、メモリセル845、846からは閾値電圧のばらつきに依存する電圧が、スイッチング素子842を介して、フリップフロップ843に与えられる。その後、ロード信号がデアサートされると、スイッチング素子842がオフになり、フリップフロップ843とメモリセル845、846は切り離される。それと並行して、フリップフロップ843にはメモリセル845、846によって供給された電圧を初期値としたデータが格納される。その後、クロック信号を入力させることにより、フリップフロップ843に格納された固有のデータが、シリアルに出力される。

20

【0130】

なお本実施例では、1つのフリップフロップ回路843に、対になった2つのメモリセル845、846が対応している例を示しているが、本発明はこの構成に限定されない。例えば、対になった2つのメモリセルが、複数組、1つのフリップフロップ回路843に対応していても良い。この場合、対になった複数組のメモリセルのいずれかを選択するための回路を乱数ROMに設ければ良い。

30

【実施例4】

【0131】

本実施例では、別の基板上に形成したアンテナと集積回路とを電氣的に接続する、IDチップの構成について説明する。

【0132】

図12(A)に、本実施例のIDチップの断面図を示す。図12(A)では、TFT1201に電氣的に接続された配線1202を覆うように、接着剤1203が第3の層間絶縁膜1204上に塗布されている。そして、接着剤1203により、カバー材1205が第3の層間絶縁膜1204に貼り合わされている。

40

【0133】

カバー材1205には、アンテナ1206が予め形成されている。そして本実施例では、接着剤1203に異方導電性樹脂を用いることで、アンテナ1206と配線1202とが電氣的に接続されている。

【0134】

異方導電性樹脂は、樹脂中に導電材料を分散させた材料である。樹脂として、例えばエポキシ系、ウレタン系、アクリル系などの熱硬化性を有するもの、ポリエチレン系、ポリプロピレン系などの熱可塑性を有するもの、シロキサン系樹脂などを用いることができる

50

。また導電材料として、例えばポリスチレン、エポキシなどのプラスチック製の粒子にNi、Auなどをめっきしたもの、Ni、Au、Ag、はんだなどの金属粒子、粒子状または繊維状のカーボン、繊維状のNiにAuをめっきしたものなどを用いることができる。導電材料のサイズは、アンテナ1206と配線1202のピッチに合わせて決めることが望ましい。

【0135】

またアンテナ1206と配線1202の間において、異方導電性樹脂に超音波を加えながら圧着させても良いし、紫外線の照射で硬化させながら圧着させても良い。

【0136】

なお本実施例では、異方導電性樹脂を用いた接着剤1203でアンテナ1206と配線1202とを電氣的に接続する例を示しているが、本発明はこの構成に限定されない。接着剤1203の代わりに、異方導電性フィルムを圧着することで、アンテナ1206と配線1202とを電氣的に接続しても良い。

【0137】

また本実施例では、剥離された集積回路を、別途用意した基板に貼り合わせることで形成されたIDチップを、例に挙げて説明したが、本発明はこの構成に限定されない。例えばガラス基板上の集積回路をIDチップとして用いてもよい。図12(B)に、ガラス基板を用いて形成された、IDチップの一形態を、断面図で示す。

【0138】

図12(B)に示すIDチップでは、基板1210としてガラス基板を用いており、集積回路に用いられるTF T 1211~1213と基板1210との間に、接着剤を間に挟まずに、下地膜1214が基板とTF Tとに接するように形成されている。

【実施例5】

【0139】

図13(A)を用いて、1つの導電膜をパターニングすることで、TF Tに接続されている配線と、アンテナとを共に形成する場合の、IDチップの構成について説明する。図13(A)に、本実施例のIDチップの断面図を示す。

【0140】

図13(A)において、1401はTF Tに相当する。TF T 1401は、島状の半導体膜1402と、島状の半導体膜1402に接しているゲート絶縁膜1403と、ゲート絶縁膜1403を間に挟んで島状の半導体膜1402と重なっているゲート電極1404とを有している。またTF T 1401は、第1の層間絶縁膜1405及び第2の層間絶縁膜1406に覆われている。そして第2の層間絶縁膜1406上に形成された配線1407は、第1の層間絶縁膜1405及び第2の層間絶縁膜1406に形成されたコンタクトホールを介して、島状の半導体膜1402に接続されている。

【0141】

また第2の層間絶縁膜1406上には、アンテナ1408が形成されている。配線1407とアンテナ1408は、第2の層間絶縁膜1406上に導電膜を形成し、該導電膜をパターニングすることで形成することができる。アンテナ1408を配線1407と共に形成することで、IDチップの作製工程数を抑えることができる。

【0142】

次に図13(B)を用いて、導電膜をパターニングすることで、TF Tのゲート電極と、アンテナとを共に形成する場合の、IDチップの構成について説明する。図13(B)に、本実施例のIDチップの断面図を示す。

【0143】

図13(B)において、1411はTF Tに相当する。TF T 1411は、島状の半導体膜1412と、島状の半導体膜1412と重なっているゲート絶縁膜1413と、ゲート絶縁膜1413を間に挟んで島状の半導体膜1412と重なっているゲート電極1414とを有している。またゲート絶縁膜1413上には、アンテナ1418が形成されている。ゲート電極1414とアンテナ1418は、ゲート絶縁膜1413上に導電膜を形成

10

20

30

40

50

し、該導電膜をパターニングすることで形成することができる。アンテナ1418をゲート電極1414と共に形成することで、IDチップの作製工程数を抑えることができる。

【0144】

なお本実施例では、集積回路を剥離して、別途用意した基板に貼り合わせる例について説明したが、本発明はこの構成に限定されない。例えばガラス基板上の集積回路をIDチップとして用いてもよい。

【実施例6】

【0145】

本実施例では、本発明のIDチップに用いられるTFETの構成について説明する。

【0146】

図14(A)に、本実施例のTFETの断面図を示す。701はnチャネル型TFET、702はpチャネル型TFETに相当する。nチャネル型TFET701を例に挙げて、より詳しい構成について説明する。

【0147】

nチャネル型TFET701は活性層として用いる島状の半導体膜705を有しており、該島状の半導体膜705は、ソース領域またはドレイン領域として用いる2つの不純物領域703と、該2つの不純物領域703の間に挟まれているチャンネル形成領域704と、2つの不純物領域703とチャンネル形成領域704の間に挟まれている2つのLDD(Light Doped Drain)領域710とを有している。またnチャネル型TFET701は、島状の半導体膜705を覆っているゲート絶縁膜706と、ゲート電極707と、絶縁膜で形成された2つのサイドウォール708、709とを有している。

【0148】

なお本実施例ではゲート電極707が、2層の導電膜707a、707bを有しているが、本発明はこの構成に限定されない。ゲート電極707は1層の導電膜で形成されていても良いし、2層以上の導電膜で形成されていても良い。ゲート電極707は、ゲート絶縁膜706を間に挟んで、島状の半導体膜705が有するチャンネル形成領域704と重なっている。またサイドウォール708、709は、ゲート絶縁膜706を間に挟んで、島状の半導体膜705が有する2つのLDD領域710と重なっている。

【0149】

サイドウォール708は、例えば膜厚100nmの酸化珪素膜をエッチングすることで、サイドウォール709は、例えば膜厚200nmのLTO膜(Low Temperature Oxide、低温酸化膜)をエッチングすることで形成することができる。本実施例では、サイドウォール708に用いられる酸化珪素膜をプラズマCVD法で形成し、サイドウォール709に用いられるLTO膜、ここでは酸化珪素膜を減圧CVD法で形成する。なお酸化珪素膜には、窒素が含まれていても良いが、該窒素原子数は酸素原子数よりも少ないものとする。

【0150】

不純物領域703及びLDD領域710は、ゲート電極707をマスクにして島状の半導体膜705にn型の不純物をドーピングした後、サイドウォール708、709を形成し、該サイドウォール708、709をマスクとして島状の半導体膜705にn型の不純物をドーピングすることで、作り分けることができる。

【0151】

なおpチャネル型TFET702は、nチャネル型TFET701と構成はほとんど同じであるが、pチャネル型TFET702が有する島状の半導体膜711の構成のみ異なっている。島状の半導体膜711はLDD領域を有しておらず、2つの不純物領域712と、該2つの不純物領域712に挟まれているチャンネル形成領域713とを有している。そして、不純物領域712には、p型の不純物がドーピングされている。なお図14(A)では、pチャネル型TFET702がLDD領域を有していない例を示しているが、本発明はこの構成に限定されない。pチャネル型TFET702がLDD領域を有していても良い。

【0152】

10

20

30

40

50

図14(B)に、図14(A)に示したTFETにおいて、サイドウォールが1つである場合を示す。図14(B)に示すnチャネル型TFET721と、pチャネル型TFET722は、それぞれ1つのサイドウォール728、729を有している。サイドウォール728、729は、例えば膜厚100nmの酸化珪素膜をエッチングすることで形成することができる。本実施例では、サイドウォール728、729に用いられる酸化珪素膜をプラズマCVD法で形成する。なお酸化珪素膜には、窒素が含まれていても良いが、該窒素原子数は酸素原子数よりも少ないものとする。

【0153】

次に図14(C)に、ボトムゲート型のTFETの構成を示す。741はnチャネル型TFET、742はpチャネル型TFETに相当する。nチャネル型TFET741を例に挙げて、より詳しい構成について説明する。

10

【0154】

図14(C)において、nチャネル型TFET741は島状の半導体膜745を有しており、該島状の半導体膜745は、ソース領域またはドレイン領域として用いる2つの不純物領域743と、該2つの不純物領域743の間に挟まれているチャンネル形成領域744と、2つの不純物領域743とチャンネル形成領域744の間に挟まれている2つのLDD(Light Doped Drain)領域750とを有している。またnチャネル型TFET741は、ゲート絶縁膜746と、ゲート電極747と、絶縁膜で形成された保護膜748を有している。

【0155】

20

ゲート電極747は、ゲート絶縁膜746を間に挟んで、島状の半導体膜745が有するチャンネル形成領域744と重なっている。ゲート絶縁膜746は、ゲート電極747が形成された後に形成されており、島状の半導体膜745はゲート絶縁膜746が形成された後に形成されている。また保護膜748は、チャンネル形成領域744を間に挟んでゲート絶縁膜746と重なっている。

【0156】

保護膜748は、例えば膜厚100nmの酸化珪素膜をエッチングすることで形成することができる。本実施例では、保護膜748に用いられる酸化珪素膜をプラズマCVD法で形成する。なお酸化珪素膜には、窒素が含まれていても良いが、該窒素原子数は酸素原子数よりも少ないものとする。

30

【0157】

不純物領域743及びLDD領域750は、島状の半導体膜745上に保護膜748を形成し、該保護膜を覆うようにレジストで形成したマスクを用いて島状の半導体膜745にn型の不純物をドーピングした後、該レジストを除去し、該保護膜748をマスクとして島状の半導体膜745にn型の不純物をドーピングすることで、作り分けることができる。

【0158】

なおpチャネル型TFET742は、nチャネル型TFET741と構成はほとんど同じであるが、pチャネル型TFET742が有する島状の半導体膜751の構成のみ異なっている。島状の半導体膜751はLDD領域を有しておらず、2つの不純物領域752と、該2つの不純物領域752に挟まれているチャンネル形成領域753とを有している。そして、不純物領域752には、p型の不純物がドーピングされている。なお図14(A)では、pチャネル型TFET742がLDD領域を有していない例を示しているが、本発明はこの構成に限定されない。pチャネル型TFET742がLDD領域を有していても良い。

40

【0159】

本実施例は、実施例1～実施例5の構成と組み合わせて実施することが可能である。

【実施例7】

【0160】

本実施例では、チップを剥離し、他の基板に貼り付ける方法について説明する。

【0161】

50

まず、耐熱性を有する基板上に集積回路301及びアンテナ302を形成した後、剥離し、図15(A)に示すように、別途用意した基板303上に、接着剤304を用いて貼り合わせる。なお図15(A)では、集積回路301及びアンテナ302を一組ずつ基板303上に貼り合わせている様子を示しているが、本発明はこの構成に限定されない。集積回路301及びアンテナ302の組を、互いに繋がった状態で剥離し、一度に基板303上に貼り合わせるようにしても良い。

【0162】

次に図15(B)に示すように、間に集積回路301及びアンテナ302を挟むように、基板303にカバー材305を貼り合わせる。このとき、集積回路301及びアンテナ302を覆うように、基板303上に接着剤306を塗布しておく。カバー材305を基板303に貼り合わせることで、図15(C)に示す状態が得られる。なお、図15(C)では、集積回路301及びアンテナ302の位置を明確にするために、カバー材305を通して透けて見えるように、集積回路301及びアンテナ302を図示している。

10

【0163】

次に図15(D)に示すように、ダイシングまたはスクライブにより、集積回路301及びアンテナ302を互いに分離することで、IDチップ307を完成させる。

【0164】

なお本実施例では、アンテナ302を集積回路301と共に剥離する例を示しているが、本実施例はこの構成に限定されない。予め基板303上にアンテナを形成しておき、集積回路301を貼り合わせる際に、集積回路301とアンテナを電気的に接続しても良い。或いは、集積回路301を基板303に貼り合わせた後、集積回路301に電気的に接続するようにアンテナを貼り合わせても良い。或いは、予めカバー材305上にアンテナを形成しておき、カバー材305を基板303に貼り合わせる際に、集積回路301とアンテナを電気的に接続しても良い。

20

【0165】

なお、基板303とカバー材305とがフレキシブルである場合、応力を加えた状態でIDチップ307を使用することも可能である。本発明では、応力緩和膜によりIDチップ307に加えられる応力をある程度緩和することができる。またバリア膜を複数設けることで、バリア膜1枚あたりの応力を抑えることができるので、応力により、或いはアルカリ金属、アルカリ土類金属または水分の半導体膜中への拡散により、半導体素子の特性に悪影響が出るのを防ぐことができる。

30

【0166】

なお、ガラス基板を用いたIDチップをIDGチップ(Identification Glass Chip)、フレキシブルな基板を用いたIDチップをIDFチップ(Identification Flexible Chip)と呼ぶことができる。

【0167】

本実施例は、実施例1～実施例6と組み合わせて実施することが可能である。

【実施例8】

【0168】

本実施例では、1つの基板上に形成された複数の集積回路を剥離する際、形成される溝の形状について説明する。図16(A)に、溝601が形成された基板603の上面図を示す。また図16(B)に、図16(A)のA-A'における断面図を示す。

40

【0169】

集積回路602は、剥離層604上に形成されており、剥離層604は基板603上に形成されている。溝601は各集積回路602の間に形成されており、なおかつ剥離層604が露出する程度の深さを有している。また本実施例では、複数の集積回路602は溝601によって完全にではなく部分的に分離されている。

【0170】

次に図16(A)、図16(B)に示した溝601にエッチングガスを流し込み、剥離層604をエッチングにより除去した後の様子を、図16(C)、図16(D)に示す。

50

図16(C)は、基板603の上面図に相当し、図16(D)は、図16(C)のA-A'における断面図に相当する。エッチングにより溝601から破線605に示す領域まで、剥離層604のエッチングが進んだものとする。図16(C)、図16(D)に示すように、複数の集積回路602が、完全にではなく互いに一部繋がった状態で溝601により分離されていることで、剥離層604をエッチングした後に各集積回路602が支えをなくして移動してしまうのを防ぐことができる。

【0171】

図16(C)、図16(D)に示した状態まで形成したら、接着剤が付着したテープを集積回路602に貼り付け、それを剥がすことによって集積回路602を基板603から剥離する。そして剥離された複数の集積回路602は、互いに分断される前またはされた後に、別途用意された基板に貼り合わせられる。

10

【0172】

なお本実施例では、IDチップの作製方法の一例を示しており、本発明のIDチップの作製方法は本実施例で示した構成に限定されない。

【0173】

本実施例は、実施例1～実施例7と組み合わせて実施することが可能である。

【実施例9】

【0174】

本実施例では、本発明のIDチップの利用について説明する。

【0175】

本発明のIDチップは、フレキシブルな基板を用いている場合、可撓性を有する対象物、或いは曲面を有する対象物に、貼り合わせるのに好適である。また本発明のIDチップが有する乱数ROMにより、IDチップが取り付けられた対象物の偽造を防止することができる。また例えば、産地、生産者などによって商品価値が大きく左右される食料品に、本発明のIDチップを用いることは、産地、生産者などの偽装を低いコストで防止するのに有用である。

20

【0176】

具体的に本発明のIDチップは、例えば、荷札、値札、名札など、対象物の情報を有するタグに取り付けて用いることができる。或いは、本発明のIDチップ自体をタグとして用いても良い。また例えば、戸籍謄本、住民票、パスポート、免許証、身分証、会員証、鑑定書、クレジットカード、キャッシュカード、プリペイドカード、診察券、定期券など、事実を証明する文書に相当する証書に取り付けても良い。また例えば、手形、小切手、貨物引換証、船貨証券、倉庫証券、株券、債券、商品券、抵当証券など、私法上の財産権を表示する証券に相当する有価証券に取り付けても良い。

30

【0177】

図17(A)に、本発明のIDチップ1302を取り付けた小切手1301の一例を示す。図17(A)では、IDチップ1302が小切手1301の内部に取り付けられているが、表に露出させておいても良い。

【0178】

図17(B)に、本発明のIDチップ1303を取り付けたパスポート1304の一例を示す。図17(B)では、IDチップ1303がパスポート1304の表紙に取り付けられているが、パスポート1304が有する他のページに取り付けられていても良い。

40

【0179】

図17(C)に、本発明のIDチップ1305を取り付けた、商品券1306の一例を示す。なおIDチップ1305は商品券1306の内部に形成しても良いし、商品券1306の表面に露出させるように形成しても良い。

【0180】

またTFTを有する集積回路を用いたIDチップは、安価、かつ薄型である。そのため本発明のIDチップは、最終的に消費者によって使い捨てられるような用途に向いている。特に、数円、数十円単位の値段の差が売り上げに大きく影響する商品に用いる場合、本

50

発明の安価でかつ薄型のIDチップを有する包装材は、非常に有用である。包装材とは、ラップ、ペットボトル、トレイ、カプセルなど、対象物を包装するために成形が可能な、或いは成形された支持体に相当する。

【0181】

図18(A)に、本発明のIDチップ1307が取り付けられた包装材1308で、販売用のお弁当1309を包装している様子を示す。IDチップ1307内に商品の価格などを記録しておくことで、リーダ/ライタとしての機能を有するレジスターでお弁当1309の代金を清算することができる。

【0182】

また例えば、商品のラベルに本発明のIDチップを付けておき、該IDチップを用いて商品の流通を管理するような利用の仕方も可能である。

10

【0183】

図18(B)に示すように、裏面が粘着性を有する商品のラベル1310などの支持体に、本発明のIDチップ1311を取り付ける。そして、IDチップ1311が取り付けられたラベル1310を、商品1312に装着する。商品1312に関する識別情報は、ラベル1310に貼り合わされたIDチップ1311から、無線で読み取ることが可能である。よってIDチップ1311により、流通の過程において、商品の管理が容易になる。

【0184】

例えば、IDチップ1311内の集積回路が有するメモリとして、書き込みが可能な不揮発性メモリを用いている場合、商品1312の流通のプロセスを記録することができる。また商品の生産段階におけるプロセスを記録しておくことで、卸売業者、小売業者、消費者が、産地、生産者、製造年月日、加工方法などを把握することが容易になる。

20

【0185】

本実施例は、実施例1～実施例8の構成と組み合わせて実施することが可能である。

【図面の簡単な説明】

【0186】

【図1】レーザのビームスポットと、結晶化された半導体膜の上面図。

【図2】乱数ROMの構成を示すブロック図と、各メモリセルの回路図と、メモリセルの分布を示す図。

30

【図3】本発明のIDチップの、機能的な構成の一形態を示すブロック図。

【図4】集積回路のレイアウトと、レーザ光の照射によって形成される第1の領域及び第2の領域のレイアウトを示す図。

【図5】本発明のIDチップの作製方法を示す図。

【図6】本発明のIDチップの作製方法を示す図。

【図7】本発明のIDチップの作製方法を示す図。

【図8】本発明のIDチップの作製方法を示す図。

【図9】乱数ROMが有するメモリセルアレイと、読み出し回路の構成を示す図。

【図10】乱数ROMが有するメモリセルアレイと、読み出し回路の構成を示す図。

【図11】乱数ROMが有するメモリセルアレイと、読み出し回路の構成を示す図。

40

【図12】本発明のIDチップの断面図。

【図13】本発明のIDチップの断面図。

【図14】本発明のIDチップに用いられるTFTの断面図。

【図15】大型の基板を用いて、本発明のIDチップを複数作製する方法を示す図。

【図16】1つの基板上に形成された複数の集積回路を剥離する際、形成される溝の形状を示す図。

【図17】本発明のIDチップの利用方法について示す図。

【図18】本発明のIDチップの利用方法について示す図。

【図19】本発明のIDチップの断面図。

【図20】第1の領域のSEM像。

50

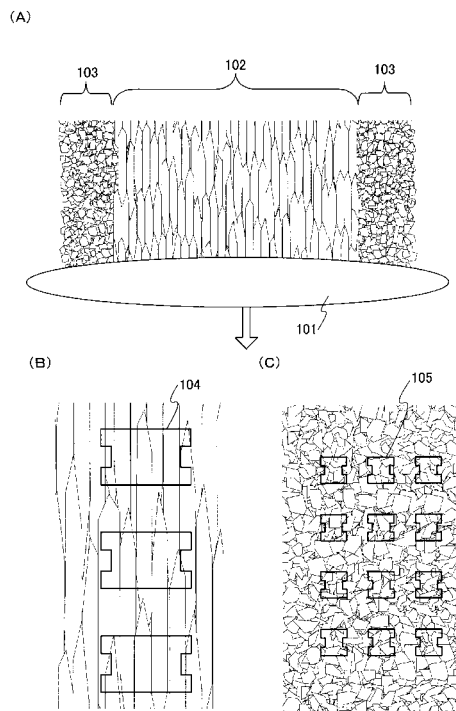
【図 2 1】第 2 の領域の S E M 像。

【符号の説明】

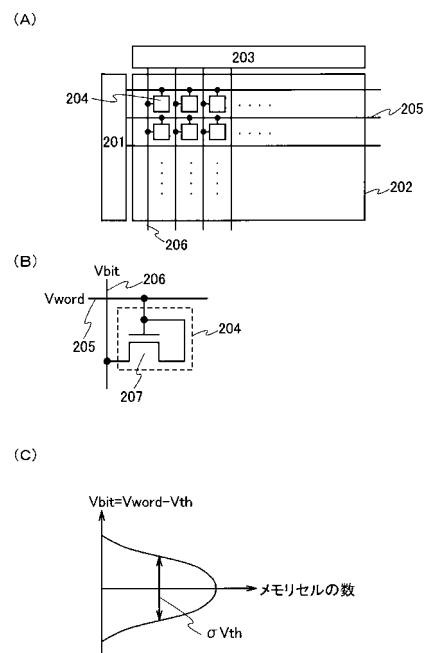
【 0 1 8 7 】

- 101 ビームスポット
- 102 領域
- 103 領域
- 104 活性層
- 105 活性層

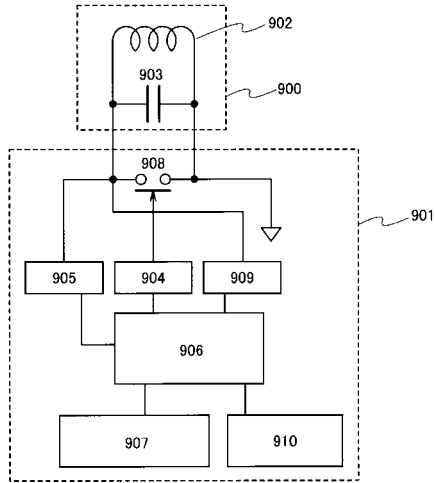
【 図 1 】



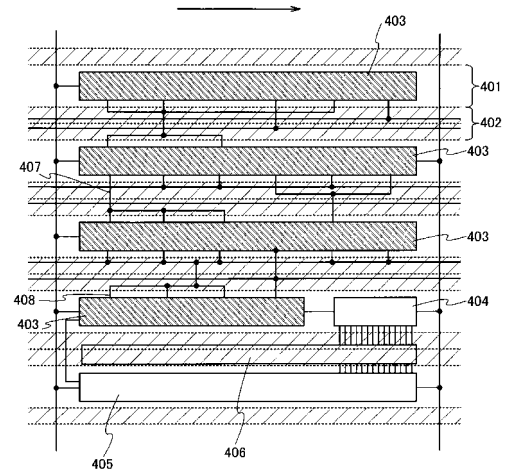
【 図 2 】



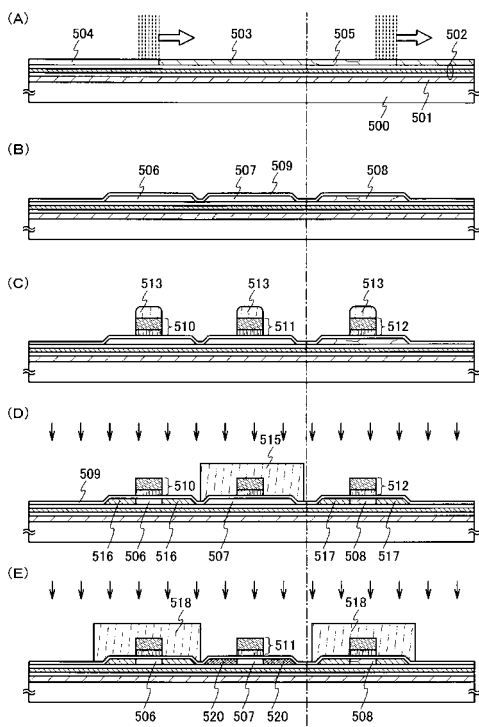
【図3】



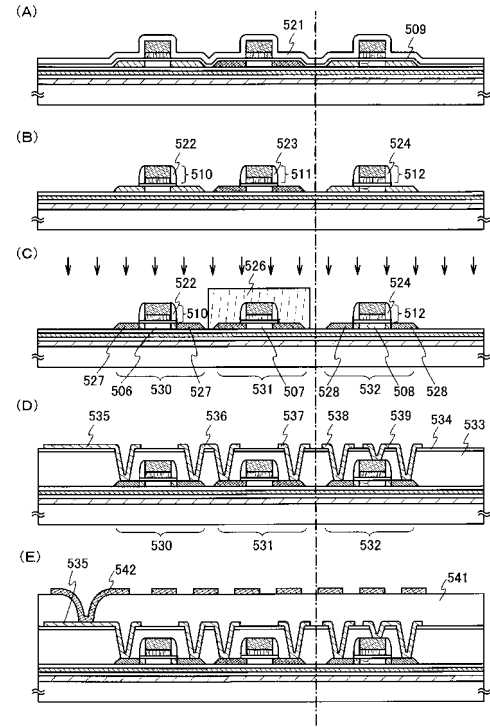
【図4】



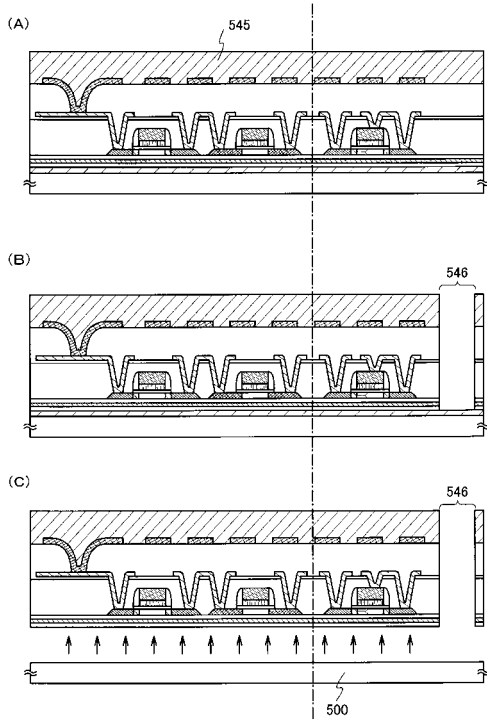
【図5】



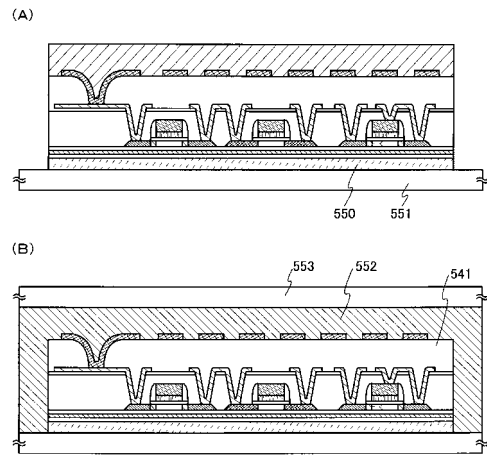
【図6】



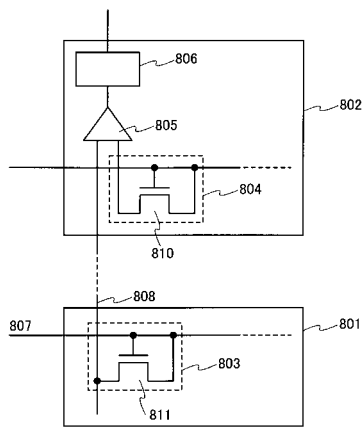
【図7】



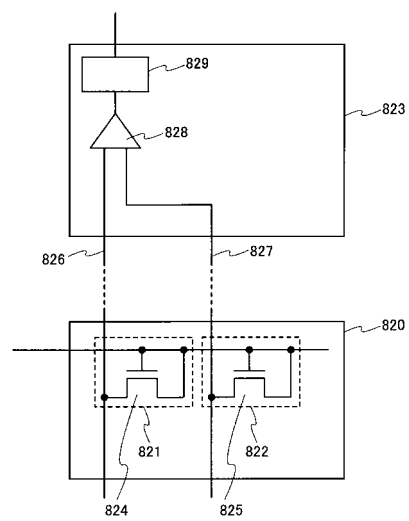
【図8】



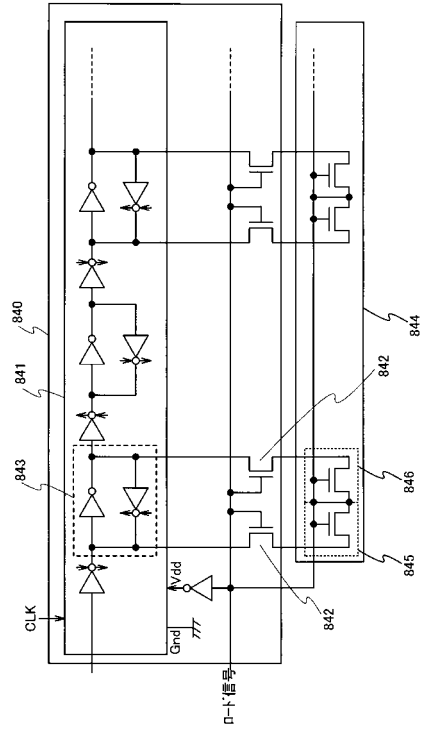
【図9】



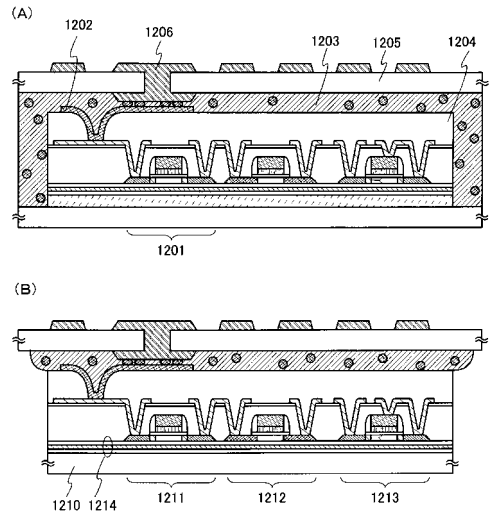
【図10】



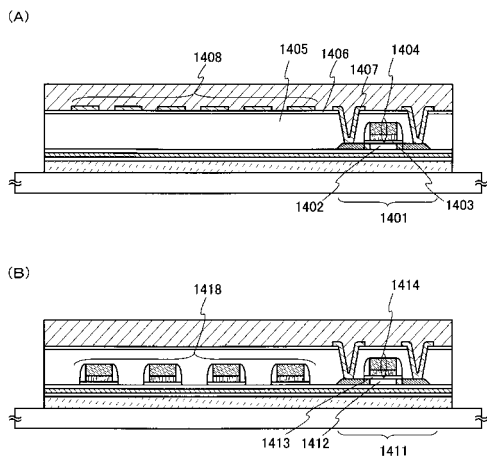
【図11】



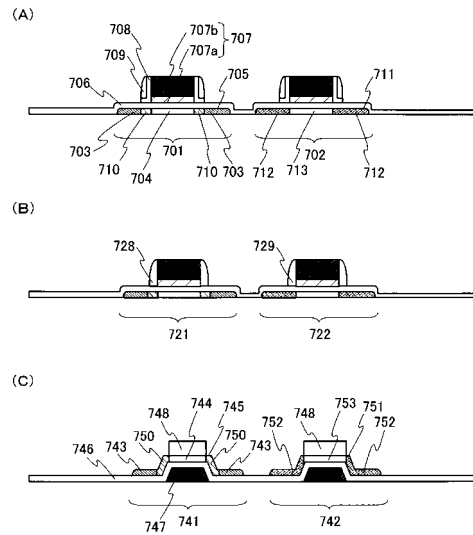
【図12】



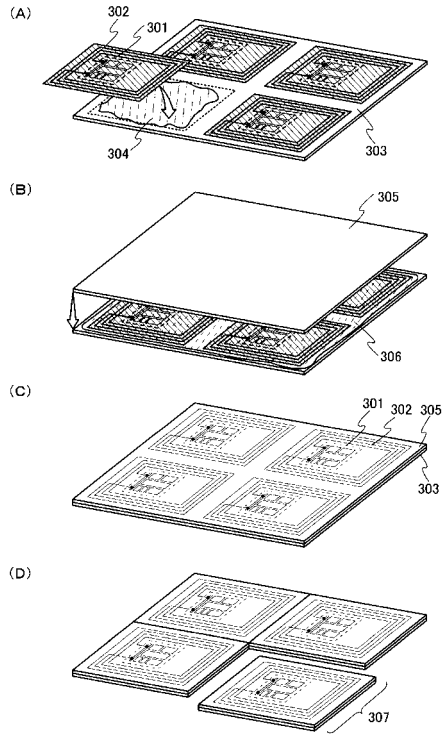
【図13】



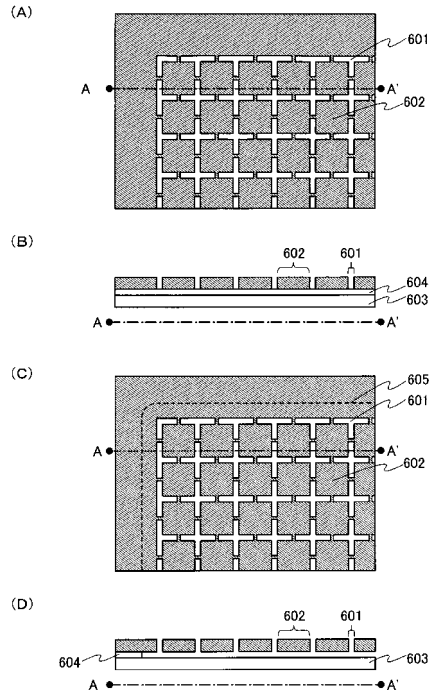
【図14】



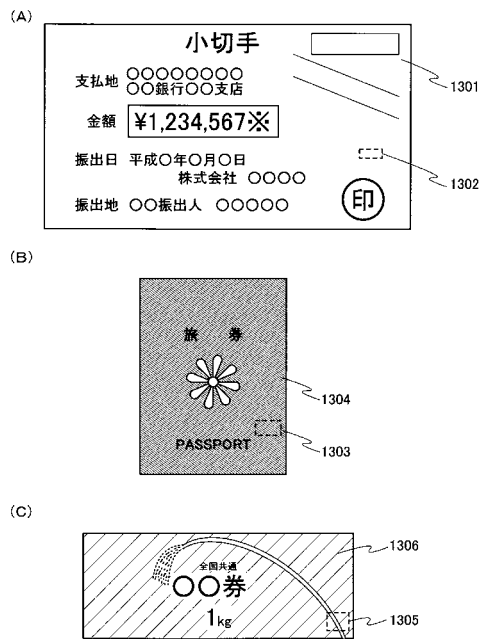
【図15】



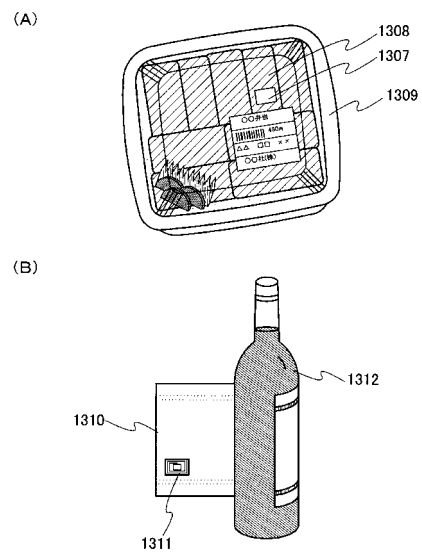
【図16】



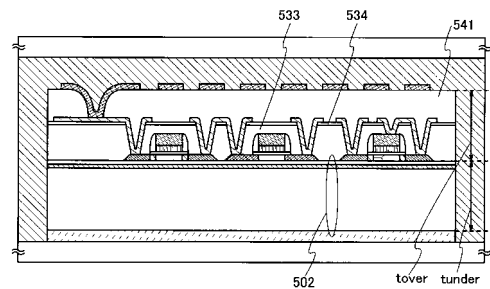
【図17】



【図18】



【図19】

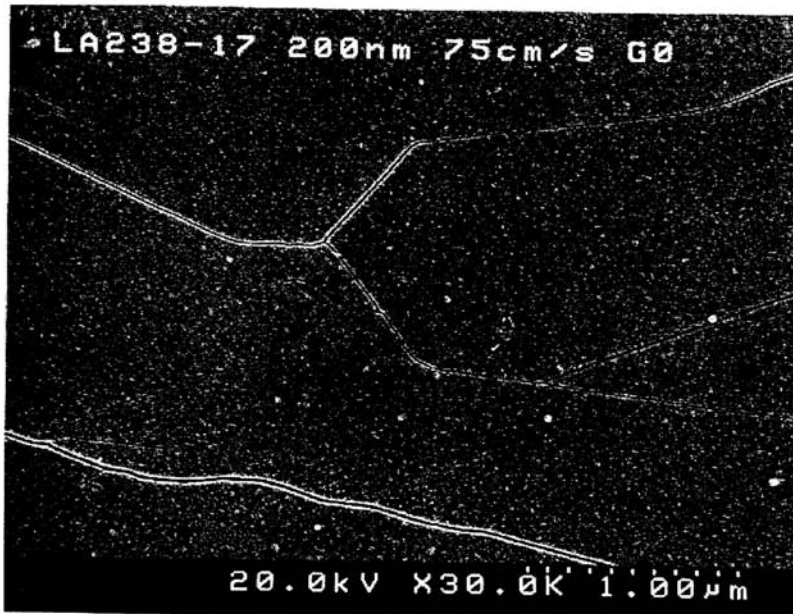


【 図 20 】

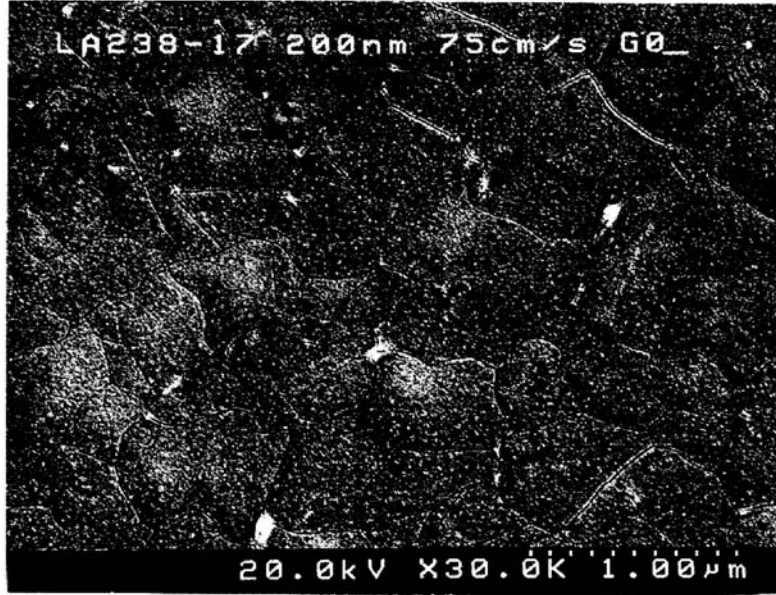
(A)



(B)



【 2 1】



フロントページの続き

(51) Int.Cl.		F I		
<i>H 0 1 L</i>	<i>21/8234 (2006.01)</i>	<i>H 0 1 L</i>	<i>27/08</i>	<i>1 0 2 B</i>
<i>H 0 1 L</i>	<i>27/088 (2006.01)</i>	<i>H 0 1 L</i>	<i>27/08</i>	<i>3 3 1 E</i>
<i>H 0 1 L</i>	<i>27/08 (2006.01)</i>	<i>H 0 1 L</i>	<i>21/20</i>	
<i>H 0 1 L</i>	<i>21/20 (2006.01)</i>	<i>G 0 6 K</i>	<i>19/00</i>	<i>H</i>
<i>G 0 6 K</i>	<i>19/07 (2006.01)</i>	<i>G 0 6 K</i>	<i>19/00</i>	<i>K</i>
<i>G 0 6 K</i>	<i>19/077 (2006.01)</i>	<i>G 0 6 K</i>	<i>19/00</i>	<i>P</i>
<i>G 0 6 K</i>	<i>19/073 (2006.01)</i>			

- (56) 参考文献 特開 2001 - 007290 (JP, A)
 特開 2003 - 203994 (JP, A)
 特開 2003 - 203832 (JP, A)

(58) 調査した分野(Int.Cl., DB名)

H 0 1 L 29 / 7 8 6
H 0 1 L 21 / 3 3 6
H 0 1 L 21 / 2 0
H 0 1 L 21 / 8 2 3 4
H 0 1 L 21 / 8 2 4 6
H 0 1 L 27 / 0 8
H 0 1 L 27 / 0 8 8
H 0 1 L 27 / 1 0
H 0 1 L 27 / 1 1 2
G 0 6 K 19 / 0 7
G 0 6 K 19 / 0 7 3
G 0 6 K 19 / 0 7 7