(19)日本国特許庁(JP)　(12)公表特許公報(A)　(11)特許出願公表番号
特表2004-533740
(P2004-533740A)
(43)公表日　平成16年11月4日(2004.11.4)

(51)Int.Cl.[7]	F I		テーマコード（参考）
H03H 17/02	H03H 17/02	681B	3G384
F02D 45/00	H03H 17/02	635Z	
	F02D 45/00	358C	
	F02D 45/00	358H	

審査請求 有　予備審査請求 有　（全 78 頁）

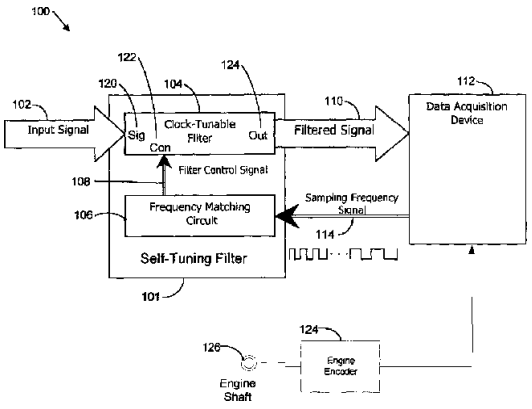
(21)出願番号	特願2002-570411(P2002-570411)
(86)(22)出願日	平成14年3月1日(2002.3.1)
(85)翻訳文提出日	平成15年9月3日(2003.9.3)
(86)国際出願番号	PCT/US2002/006288
(87)国際公開番号	WO2002/071617
(87)国際公開日	平成14年9月12日(2002.9.12)
(31)優先権主張番号	60/273,126
(32)優先日	平成13年3月3日(2001.3.3)
(33)優先権主張国	米国(US)

(71)出願人　502299502
オプティマム・パワー・テクノロジー・エルピー
アメリカ合衆国ペンシルバニア州１５０１７－１４９６，ブリッジヴィル，ワシントン・パイク　３１１７
(74)代理人　100089705
弁理士　社本　一夫
(74)代理人　100076691
弁理士　増井　忠弐
(74)代理人　100075270
弁理士　小林　泰
(74)代理人　100080137
弁理士　千葉　昭男

最終頁に続く

(54)【発明の名称】サンプリング周波数に関連してフィルタ周波数を調整する装置および方法。

(57)【要約】
自己同調形フィルタを開示する。自己同調形フィルタには、ディジタルクロック信号と、ディジタルクロック信号に結合された入力が含まれ、これによって、ディジタルクロック信号が所定の状態に変化する時に、入力によって、入力に入る値が読み取られる。さらに、クロック同調可能フィルタが、ディジタルクロック信号に結合され、その結果、クロック同調可能フィルタの周波数が、ディジタルクロック信号が動作するサンプリング周波数に関連して調整される。自己同調形フィルタを、データ収集ユニットの入力に適用することができ、可変サンプリング周波数を有する入力に適用することができる。クロック同調可能フィルタの周波数を制御する方法も開示する。



【特許請求の範囲】
【請求項１】
データ収集ユニットにおける、自己同調形フィルタであって、
ディジタルクロック信号と、
前記ディジタルクロック信号に結合された入力であって、ディジタルクロック信号が所定の状態に変化する時に、入力に入る値を読み取る該入力と、
前記ディジタルクロック信号に結合されたクロック同調可能フィルタであって、これによって、クロック同調可能フィルタの周波数が、ディジタルクロック信号が動作するサンプリング周波数に関連して調整される、クロック同調可能フィルタと
を含む自己同調形フィルタ。
【請求項２】
クロック同調可能フィルタが、低域フィルタである、請求項１に記載の自己同調形フィルタ。
【請求項３】
前記ディジタルクロック信号および前記クロック同調可能フィルタに結合された周波数逓倍器であって、これによって、クロック同調可能フィルタの周波数が、サンプリング周波数の倍数になる、周波数逓倍器をさらに含む、請求項１に記載の自己同調形フィルタ。
【請求項４】
周波数逓倍器が、位相ロックループである、請求項３に記載の自己同調形フィルタ。
【請求項５】
入力が、データ収集デバイスの入力である、請求項１に記載の自己同調形フィルタ。
【請求項６】
ディジタルクロック信号が動作するサンプリング周波数が、ディジタルクロック信号が所定の状態に変化する周波数と等しい、請求項１に記載の自己同調形フィルタ。
【請求項７】
入力に入る値が、センサから発する信号である、請求項１に記載の自己同調形フィルタ。
【請求項８】
センサが、圧力センサである、請求項７に記載の自己同調形フィルタ。
【請求項９】
サンプリング周波数が、変化する、請求項１に記載の自己同調形フィルタ。
【請求項１０】
サンプリング周波数が、シャフトの回転の度数の関数として変化する、請求項９に記載の自己同調形フィルタ。
【請求項１１】
データ収集ユニットにおいて、自己同調形フィルタであって、
ディジタルクロック信号と、
前記ディジタルクロック信号に結合された入力であって、ディジタルクロック信号が所定の状態に変化する時に該入力に入る値を読み取り、ディジタルクロック信号が、可変レートで所定の状態に変化する、該入力と、
前記ディジタルクロック信号に結合された位相ロックループと、
前記位相ロックループに結合されたクロック同調可能フィルタであって、これによって、クロック同調可能フィルタの周波数が、ディジタルクロック信号が所定の状態に変化するサンプリング周波数の倍数になる、クロック同調可能フィルタと
を含む自己同調形フィルタ。
【請求項１２】
クロック同調可能フィルタの周波数を制御する方法であって、
ディジタルクロック信号が状態を変更する周波数を検知するステップであって、これによって、前記ディジタルクロック信号が、ディジタルクロック信号が所定の状態に変化する時に、該入力に入力に入る値を読み取らせる、ステップと、
ディジタルクロック信号が状態を変更する周波数に関連してクロック同調可能フィルタの

周波数を調整するステップと
を含む方法。
【請求項１３】
所望のフィルタ周波数を得るために、ディジタルクロック信号の周波数を逓倍するステップ
をさらに含み、前記調整するステップが、クロック同調可能フィルタの周波数を、所望のフィルタ周波数と等しくなるように調整するステップを含む
請求項１２に記載の方法。
【請求項１４】
ディジタルクロック信号が、可変レートで状態を変更する、請求項１２に記載の方法。
【発明の詳細な説明】
【技術分野】
【０００１】
開示される発明は、全般的にはフィルタシステムに関し、具体的には、データ収集用の自己同調形フィルタに関する。
【背景技術】
【０００２】
通常５０００サンプル毎秒を超える、高いサンプリングレートでのデータの収集は、困難な処理であり、サンプリングされたデータが、雑音の多い信号に起因するサンプリングエラーをよく被りがちであることが既知である。そのような雑音は、内燃機関などの多くの応用分野に固有の問題である。雑音は、いわゆる「エイリアシングにつながる可能性があり、エイリアシングは、サンプリング周波数との雑音周波数の干渉によって引き起こされる。エイリアシングの生じた信号は、所望より低い頻度でのサンプリングレートから生じる擬似信号である。検知される条件が非常に高速に変化する場合に、エイリアシングを除去する周波数でその条件を検知することは、困難または不可能である可能性がある。
【０００３】
そのような情況でのエイリアシング問題を解決するために、検知デバイスとデータ収集デバイスの間で信号に低域フィルタを適用することによって信号をフィルタリングすることが一般的である。そのような低域フィルタは、アンチエイリアスフィルタのフィルタコーナー周波数をサンプリング周波数の半分に設定することによって、「アンチエイリアスフィルタ」としてセットアップすることができる。しかし、そのようなフィルタリングによって、追加の問題が導入される。というのは、フィルタリング処理によって、信号が遅れ、タイミング不一致が生じるからである。タイミング不一致を解決するために、データ収集ユニットによって制御され、その結果、データ収集ユニットが、適用されるフィルタリングのレベルを制御でき、アンチエイリアスフィルタで設定されるコーナー周波数に関連するタイミング不一致を補償できるようにする、プログラマブルフィルタを有することが好ましい。
【０００４】
しかし、過渡動作中のエンジン動作特性の回転の度数ベースのサンプリングの情況など、サンプリング周波数が時間と共に変化する場合に、プログラマブルアンチエイリアスフィルタを使用する手法が、複雑になる。そのような場合には、測定精度を維持するために、変化するサンプリング周波数と一致するようにフィルタ周波数を変更する必要がある。
【０００５】
したがって、変化するサンプリング周波数に追随することができる、調整可能な低域フィルタシステムの必要がある。
さらに、位相ロックループに対する改良された動作特性を有するディジタル周波数逓倍器の必要がある。
【発明の開示】
【発明が解決しようとする課題】
【０００６】

したがって、本発明は、従来の入力フィルタリングデバイスおよび周波数逓倍デバイスの短所に対する解決策を提供する。したがって、当業者は、上記および他の詳細、特徴、および利点が、好ましい実施形態の以下の詳細な説明でさらに明らかになることをすぐに諒解するであろう。

【課題を解決するための手段】

【０００７】

本発明は、自己同調形フィルタを対象とする。自己同調形フィルタには、ディジタルクロック信号と、ディジタルクロック信号に結合された入力が含まれ、これによって、ディジタルクロック信号が所定の状態に変化する時に、入力によって、入力に入る値を読み取る。さらに、クロック同調可能フィルタが、ディジタルクロック信号に結合され、その結果、クロック同調可能フィルタの周波数が、ディジタルクロック信号が動作するサンプリング周波数に関連して調整される。自己同調形フィルタを、データ収集ユニットの入力に適用することができ、可変サンプリング周波数を有する入力に適用することができる。

【０００８】

本発明は、クロック同調可能フィルタの周波数を制御する方法も対象とする。この方法には、ディジタルクロック信号が状態を変更する周波数を検知するステップと、ディジタルクロック信号が状態を変更する周波数に関連してクロック同調可能フィルタの周波数を調整するステップが含まれる。この方法では、ディジタルクロック信号が所定の状態に変化する時に、ディジタルクロック信号が、入力に、入力に入る値を読み取らせる。この方法は、データ収集ユニットでの可変サンプリングレートを有するデータの収集に特に適用可能である。

【０００９】

したがって、本発明は、変化するサンプリング周波数を有する入力を正確に読み取る方法、装置、およびシステムを提供する。

本発明は、変化するサンプリング周波数を有する入力に低域フィルタが追随する方法、装置、およびシステムを提供する。

【００１０】

さらに、本発明は、有益なことに、位相ロックループに対する改良された動作特性を有するディジタル周波数逓倍器を提供する。

したがって、本発明は、従来のオンラインオークションの短所に対する解決策を提供する。したがって、当業者は、上記および他の詳細、特徴、および利点が、好ましい実施形態の以下の詳細な説明でさらに明らかになることをすぐに諒解するであろう。

【００１１】

添付図面では、同様の符号が同様の部分またはステップを示すのに使用されるが、添付図面は、本発明のさらなる理解を提供するために含まれ、本明細書に組み込まれ、その一部を構成し、説明と共に本発明の原理を説明するために働く、本発明の実施形態を示すものである。

【発明を実施するための最良の形態】

【００１２】

本明細書に含まれる本発明の図面および説明が、本発明に特に関連する要素を図示し、説明するものであって、わかりやすくするために、通常のデータ収集システムにみられる他の要素が省略されていることを理解されたい。そのような他の要素の構成および実施形態は、当業者に周知であり、それらの説明が、本発明のよりよい理解を促進しないので、これらの要素の説明は、本明細書には示さない。また、本明細書で説明する本発明の実施形態が、例示のみであり、本発明を実施する形を網羅するものでないことを理解されたい。たとえば、当業者は、内燃機関検知応用例以外の多数の応用例で高品質のフィルタリングされた信号を提供するために、本発明を簡単に適合できることを諒解するであろう。

【００１３】

開示される発明は、サンプリング周波数の関数としてフィルタ周波数を調整する方法および装置をもたらす。まず、低域フィルタが動作する周波数を、変化するサンプリング周波

数に応答して調整する方法および装置を示す。本発明では、クロック同調可能フィルタおよび周波数マッチングデバイスを含む「自己同調形フィルタ」を使用する。

【００１４】

フィルタは、センサとデータ収集ユニットの入力の中間に配置されて、たとえば信号を搬送する導体に入る可能性がある高周波雑音を除去することによって、センサによって供給される信号に作用する。フィルタが設定される周波数閾値未満の信号（正しく指定されたシステムでセンサによって供給される周波数範囲内の信号を含む）は、フィルタを通過して入力に進むことができる。

【００１５】

ある状況で、データ収集システムによって使用されるサンプリングレートが、変化する場合がある。たとえば、動作するエンジンの度ベースのサンプリングでは、シャフトが所定の度数だけ回転するたびに、エンジンシャフトの位置、速度、および加速度などの特性および／または動作条件を感知することが望ましいが、サンプリングレートは、エンジンの速度に伴って変化する。したがって、エンジンが過渡モードで動作している（すなわち、エンジンが加速中または減速中である）時には、サンプリングレートも変化する。

【００１６】

たとえば動作中の内燃機関に関して、データを収集する時に、電磁雑音が、通常は、エンジンによって生成され、信号がエンジンから収集ユニットに転送される時に、信号と干渉する可能性がある。データ収集ユニットの入力で信号を読み取る前に、低域フィルタまたはアンチエイリアスフィルタが、信号から高周波雑音を除去するのに使用されることがしばしばである。低域フィルタを使用して高周波雑音を除去する時には、サンプリング周波数の関数としてフィルタ周波数を設定することが望ましい。たとえば、サンプリング周波数の半分のフィルタコーナー周波数設定が、多くの応用例での適当な比率である。そのようなフィルタ周波数によって、２つのサンプルの間の時間とほぼ等しい量だけ信号が遅れる。さらに、フィルタは、入力で受け取られる信号を遅延させ、その遅延の量が、フィルタ周波数に依存するので、データ収集ユニットが、フィルタ周波数を知ることが有益である。したがって、信号を可変レートでサンプリングする時には、サンプリング周波数の一定の比率にフィルタ周波数を維持するようにフィルタ周波数を変更することが有益である。その方法で、データ収集ユニットが、サンプリング周波数からフィルタ周波数を計算し、フィルタ周波数から信号遅延を計算することができる。したがって、本発明では、同調可能低域フィルタを使用し、フィルタへの、周波数マッチングデバイス出力に基づく周波数マッチング入力を提供する。もちろん、周波数マッチングデバイスに、所望のフィルタコーナー周波数を供給するために周波数信号を逓倍する位相ロックループ技術を含めることができる。操作された周波数マッチング信号を、フィルタに適用することができる。

【００１７】

ディジタル出力を制御するクロックを有するサンプリングクロックが、データ収集ユニットの多重化された入力ボードを動作させるのに一般的に使用される。このクロックは、ディジタル出力に、所望のサンプリング周波数のパルスを作らせる。このディジタル出力は、さらに、入力ボードに結合されて、入力ボードのサンプルアンドホールド回路を動作させる。この方法で、各パルスを使用して、入力ボードにトリガをかけて、入力をサンプリングし、その入力で検知された値をバッファに保持させ、このバッファで、値に、データ収集ユニットのプロセッサ部分がアクセスすることができる。サンプリングレートは、さらに、プロセッサとクロックの間で通信され、プロセッサが変更することができる。したがって、サンプリングクロックを、周波数マッチングデバイスとして使用することができる。

【００１８】

下の例では、サンプリングクロックが、その出力信号をクロック同調可能フィルタに供給することによって、周波数マッチングフィルタ制御デバイスとして働く。適当な設計を用いて、フィルタユニットが、サンプリング周波数に追従し、その周波数の一定の比率を設定し、この比率を、サンプリング周波数の半分とすることができる。

【００１９】
ここで、本発明を制限するためではなく、本発明の好ましい実施形態を示すために図面を参照すると、図１に、データ収集応用例１００に適用される本発明の自己同調形フィルタ１０１が示されている。自己同調形フィルタ１０１には、周波数マッチング回路１０６およびクロック同調可能フィルタ１０４が含まれる。
【００２０】
図１に示されたデータ収集応用例に適用される自己同調形フィルタ１０１は、入力信号１０２およびデータ収集デバイス１１２に結合される。入力信号１０２は、クロック同調可能フィルタ１０４の信号入力端子（Ｓｉｇ）１２０に結合される。周波数マッチング回路１０６は、フィルタ制御信号１０８をクロック同調可能フィルタ１０４に供給する。フィルタ制御信号１０８は、クロック同調可能フィルタ１０４の動作周波数端子（Ｃｏｎ）１２２に結合される。フィルタリングされた信号１１０が、クロック同調可能フィルタ１０４の出力端子（Ｏｕｔ）１２４に入る。フィルタリングされた信号１１０は、データ収集デバイス１１２の入力（図示せず）に結合される。フィルタリングされた信号は、データ収集デバイス１１２によって読み取られ、たとえばフィルタリングされた信号のログ記録またはフィルタリングされた信号１１０に応答する出力デバイス（図示せず）の操作を含む複数の目的のいずれかを満たすことができる。サンプリング周波数信号１１４は、この例ではデータ収集デバイス１１２によって生成され、周波数マッチング回路１０６に結合される。
【００２１】
入力信号１０２は、たとえば速度センサ、加速度センサ、圧力センサ、温度センサ、流量センサ、湿度センサ、またはシャフト位置センサなどのセンサ（図示せず）から発するアナログ信号とすることができる。シャフト位置センサは、たとえば、自動車応用例で、ジェネレータシャフトまたはカムシャフトの位置を検知することができる。センサは、たとえば、電流、電圧、または抵抗とすることができ、検知された現象に関連して調整される入力信号を供給することができる。したがって、センサが、エンジンのシリンダへの燃料の流れを検知する流量センサである場合に、たとえば、１０ｍｌ毎分の流量で、センサから１Ｖ信号を供給でき、１００ｍｌ毎分の流量で、センサから５Ｖ信号を供給でき、あるいは、１０ｍｌ毎分と１００ｍｌ毎分の間の信号を、４ｍＡから２０ｍＡの間で比例するものとすることができる。入力信号は、たとえば銅導体によって、センサからクロック同調可能フィルタ１０４に結合することができる。
【００２２】
サンプリング周波数信号１１４は、サンプリング周波数で動作するディジタル信号によって供給することができる。したがって、サンプリング周波数信号１１４は、データ収集デバイス１１２内から内部的にクロッキングするか、データ収集デバイス１１２の外部のデバイスから外部的にクロッキングすることができる。外部的にクロッキングされるサンプリング周波数信号の例が、エンジンシャフト１２６が所定の度数だけ回転するたびに状態の変化を供給するエンジンエンコーダ１２４である。そのようなエンジンエンコーダ１２４からの信号を使用して、データサンプリングにトリガをかけると同時に、本発明の自己同調形フィルタに入力を供給することができる。
【００２３】
内部的にクロッキングされるサンプリング周波数信号の例が、データ収集デバイス１１２の内部のサンプリングクロック（図示せず）によって作られる信号である。サンプリングクロックは、そのような場合に、データ収集デバイス１１２のサンプリングレートを制御するディジタル出力を供給する。そのようなサンプリングクロックのディジタル出力は、サンプリングレートで状態を変更し、そのディジタル出力によって制御される各入力は、ディジタル出力が、ハイ値などの所定の状態に変化する時にサンプリングされる。したがって、検知される値は、入力で連続的に入ることができ、入力は、内部的または外部的にのいずれかでクロッキングされるデバイスのディジタル出力が所定の状態に変化するたびに、検知される値を読み取ることができる。入力で読み取られた値は、バッファに置かれ

、そのバッファで、データ収集デバイス１１２がアクセスすることができる。所定の状態が達成されるたびに、入力が、入力に入る新しい値を読み取り、更新された値をバッファに置くことができる。

【００２４】

サンプリングクロックのディジタル出力も、この例では、サンプリング周波数信号１１４を周波数マッチング回路１０６に供給するのに使用される。周波数マッチング回路１０６は、サンプリング周波数を、クロック同調可能フィルタ１０４が必要とするクロック周波数に一致させる。このマッチングは、サンプリング周波数信号１１４の周波数をある係数によって逓倍することによって達成される。さらに、この係数は、使用される特定のクロック同調可能フィルタ１０４の動作特性を参照することによって達成される。この例の１実施形態の周波数マッチング回路１０６には、位相ロックループが含まれ、この位相ロックループは、サンプリング周波数信号１１４を逓倍し、動作周波数端子（Ｃｏｎ）１２２にフィルタ制御信号１０８を供給する。したがって、動作周波数端子（Ｃｏｎ）１２２に供給される周波数は、データ収集デバイス１１２のサンプリング周波数に比例する。

【００２５】

図２は、本発明の実施形態でのさまざまなエンジン速度でのエンジンエンコーダ出力２７４と周波数マッチング回路出力２７６を示すグラフの組２７０である。エンジン速度グラフ２７２に、１０秒の期間で１０００ｒｐｍから９０００ｒｐｍまで加速するエンジンを示す。

【００２６】

エンジンエンコーダパルストレイングラフ２７４に、エンジン速度グラフの２秒の点に対応する通常のエンジンエンコーダパルストレイン、エンジン速度グラフの４秒の点に対応するエンジンエンコーダパルストレイン、およびエンジン速度グラフの６秒の点に対応するエンジンエンコーダパルストレインを示す。２秒の点に対応するエンジンエンコーダパルストレインが、２７８に示され、４秒の点に対応するエンジンエンコーダパルストレインが、２８０に示され、６秒の点に対応するエンジンエンコーダパルストレインが、２８２に示され、これらの図は、原寸通りではない。この例で使用されるエンジンエンコーダ１２４の１つの形は、エンジン回転の１度ごとにパルスを供給する。他のエンジンエンコーダ１２４は、たとえば、回転の０．５度ごとに１つのパルス、または回転の１０度ごとに１つのパルスを供給することができる。したがって、エンジンエンコーダ１２４が、回転の１度ごとに単一のパルスを供給するこの例では、エンジンの１回転ごとに、エンジンエンコーダ１２４によって合計３６０個のパルスが作られる。エンジンエンコーダパルストレイン出力は、所与のエンジン速度のパルストレイン出力を判定できるように、エンジン速度から計算することができる。したがって、ｒｐｍ単位のエンジン速度を６０秒毎分で割って、エンジン速度毎秒が得られる。エンジン速度毎秒に、エンコーダパルス数毎回転（この例では３６０パルス毎回転）をかけて、サイクル毎秒またはヘルツ単位のエンジンエンコーダパルストレインを得ることができる。回転の１度ごとに１つのパルスを供給するエンジンエンコーダのエンジンエンコーダパルストレインは、ｒｐｍ単位のエンジン速度の３６０／６０倍または６倍と等しい。

【００２７】

その式を使用すると、エンジン速度グラフ２７２の２秒マークすなわち、エンジンが１５００ｒｐｍで動作している時のエンジンエンコーダパルストレイン出力は、９０００Ｈｚと等しい。エンジン速度グラフ２７２の４秒マークすなわち、エンジンが６０００ｒｐｍで動作している時のエンジンエンコーダパルストレイン出力は、３６０００Ｈｚと等しく、エンジン速度グラフ２７２の６秒マークすなわち、エンジンが８５００ｒｐｍで動作している時のエンジンエンコーダパルストレイン出力は、５１０００Ｈｚと等しい。

【００２８】

周波数マッチング回路パルストレイングラフ２７６に、エンジン速度グラフの２秒の点に対応する周波数マッチング回路の実施形態のパルストレイン出力、エンジン速度グラフの４秒の点に対応するパルストレイン出力、およびエンジン速度グラフの６秒の点に対応す

るパルストレイン出力を示す。２秒の周波数マッチング回路パルストレインが、２８４に示され、４秒の周波数マッチング回路パルストレインが、２８６に示され、６秒の周波数マッチング回路パルストレインが、２８８に示され、これらの図は、原寸通りではない。この例で使用される周波数マッチング回路１０６の形では、エンジンエンコーダパルスごとに５６パルス、またはエンジンエンコーダの５６倍の周波数が供給される。他の進倍器も、望み通りに周波数マッチング回路を介して使用することができる。たとえば、さまざまな逓倍器を使用して、使用されるフィルタまたは他のハードウェアに一致させることができる。したがって、周波数マッチング回路１０６がエンジンエンコーダパルスごとに５６パルスを供給する、この例では、エンジンエンコーダパルストレインが９０００Ｈｚまたは９ｋＨｚである２秒の点で、周波数マッチング回路１０６によって出力されるパルストレインが、５６かける９ｋＨｚまたは５０４ｋＨｚである。エンジンエンコーダパルストレインが３６ｋＨｚである４秒の点では、周波数マッチング回路１０６によって出力されるパルストレインが、５６かける３６ｋＨｚまたは２０１６ｋＨｚであり、エンジンエンコーダパルストレインが５１ｋＨｚである６秒の点では、周波数マッチング回路１０６によって出力されるパルストレインが、５６かける５１ｋＨｚまたは２８５６ｋＨｚである。

【００２９】

本発明は、サンプリング周波数の約１／２のコーナー周波数を提供し、フィルタでの信号の受取と、フィルタからデータ収集デバイスへのフィルタリングされた信号の出力の間の約１サンプルの一定の遅延を提供する。以下の実施形態では、クロック同調可能フィルタ１０４が、１００のクロック対遮断周波数比を有するように選択される。クロック同調可能フィルタ１０４は、２０ｋＨｚのコーナー周波数での０．０２８ｍｓの群遅延も有する。さらに、群遅延対コーナー周波数の比は、群遅延をすべてのコーナー周波数について計算できるように、一定である。

【００３０】

図３は、サンプリング周波数対フィルタコーナー周波数の比を２に近い定数に維持し、これによって、期待されるサンプリング周波数の範囲にわたってサンプリング周波数のほぼ半分と等しいフィルタコーナー周波数を達成する、時間に対する周波数比の安定度を示すグラフ２５０である。図示の実施形態では、フィルタ制御信号周波数対フィルタコーナー周波数の比が、２５２に示されているように、１００である。フィルタコーナー信号周波数は、フィルタコーナー周波数の１００倍である。というのは、フィルタ制御信号周波数が、クロック同調可能フィルタ１０４に入力され、したがって、１００のクロック対遮断周波数比で割られて、コーナー周波数になるからである。フィルタ制御信号周波数対サンプリング周波数の比は、２５４に示されているように、５６である。フィルタ制御周波数対サンプリング周波数の比が達成されるのは、周波数マッチング回路１０６が、サンプリング周波数１１４に５６をかけ、その周波数をフィルタ制御信号１０８として出力するからである。したがって、サンプリング周波数対フィルタコーナー周波数の比は、フィルタ制御信号周波数対フィルタコーナー周波数の比を、フィルタ制御信号周波数対サンプリング周波数の比で割ったものと等しい。したがって、この実施形態では、サンプリング周波数対フィルタコーナー周波数の比は、１００割る５６または、２５６に示されているように１．７９である。

【００３１】

たとえば５０を含む、１００以外の値のクロック対遮断周波数比を有するクロック同調可能フィルタ１０４が使用可能である。そのようなクロック同調可能フィルタ１０４を、さまざまな周波数マッチング回路と共に使用して、遮断周波数比の約半分の周波数を有する他のフィルタ制御回路を作成することができる。

【００３２】

したがって、たとえば、エンジン速度が６０００ｒｐｍであり、エンコーダがデータ収集デバイスにエンジン回転の１度ごとに１回サンプリングを行わせる場合に、サンプリング周波数は、６０００ｒｐｍかける３６０サンプル／回転割る６０秒／分＝３６ｋＨｚであ

る。５６個のフィルタ制御信号パルス毎サンプルを提供する周波数マッチング回路を使用すると、フィルタ制御信号周波数対サンプリング周波数の比が、５６対１になる。フィルタ制御信号１０８の周波数は、３６ｋＨｚのサンプリング周波数で、３６ｋＨｚかける５６または２０１６ｋＨｚになる。

【００３３】

フィルタの遅延または群遅延は、フィルタに起因して信号がデータ収集デバイスに達する際に遅延される時間である。望ましいフィルタ遅延値は、１サンプリングサイクルである。

【００３４】

この実施形態のために選択されたクロック同調可能フィルタは、米国カリフォルニア州ＭｉｌｐｉｔａｓのＬｉｎｅａｒ　Ｔｅｃｈｎｏｌｏｇｙ社が製造する市販モデルＬＴＣ１０６６－１である。このフィルタは、２０ｋＨｚで０．０２８ｍｓのフィルタ遅延を有する。２０ｋＨｚで０．０２８ｍｓのフィルタ遅延を有するフィルタは、完全に１／２サイクルのコーナー周波数をもたらさないが、この市販コンポーネントは、所望の１／２サイクルに近いコーナー周波数を与える。この構成での完全に１／２サイクルのコーナー周波数は、２０ｋＨｚで０．０２５ｍｓのフィルタ遅延を有するフィルタを必要とする。

【００３５】

しかし、選択されたクロック同調可能フィルタは、すべての所望の周波数で所望の１サンプル遅延をもたらす。したがって、２０ｋＨｚのコーナー周波数で、サンプリング周波数は、２０ｋＨｚの制御信号周波数を５６の周波数マッチング回路乗数で割り、クロック対遮断周波数比の１００をかけた値、または３５．７ｋＨｚと等しい。３５．７ｋＨｚサンプリング周波数は、５９５０ｒｐｍ（３５．７ｋＨｚかける３６０パルス毎回転割る６０秒／分）のエンジン速度で発生する。さらに、サンプルの間の時間は、１／３５．７ｋＨｚまたは０．０２８ｍｓと等しい。したがって、望み通りに、０．０２８ｍｓのフィルタ遅延は、サンプル間の時間と等しく、本発明は、所望の１サンプル遅延時間を達成する。さらに、このサンプル遅延時間は、すべてのエンジン速度にあてはまる。

【００３６】

したがって、１５００ｒｐｍで、９ｋＨｚのサンプリングレートで、１割る９０００または０．１１１ｍｓの理想的なフィルタ遅延が達成される。同様に、９０００ｒｐｍで、１割る５１０００または０．０１９８ｍｓの理想的なフィルタ遅延、および６０００ｒｐｍで、１割る３６０００または０．０２７７の理想的なフィルタ遅延が達成される。

【００３７】

３５．７ｋＨｚのサンプリング周波数は、１．７９かけるコーナー周波数の２０ｋＨｚと等しい。したがって、約２の、サンプリング周波数対フィルタコーナー周波数の理想的な比も達成される。この１０００ｒｐｍから９０００ｒｐｍまでのエンジン速度にわたるサンプリング周波数対フィルタコーナー周波数の定位性を、図４に示す。図４のサンプリング周波数およびフィルタ周波数の定位性グラフ３００には、垂直軸３０４にＨｚ単位の周波数、水平軸３０２にｒｐｍ単位のエンジン速度、さまざまなエンジン速度でのサンプリング周波数３０６、およびさまざまなエンジン速度でのフィルタコーナー周波数３０８が示されている。

【００３８】

図５に、この実施形態でのさまざまなエンジン速度でのクロック同調可能フィルタの群遅延またはフィルタ遅延を示す。群遅延またはフィルタ遅延が、群遅延グラフ３２０の３２６に示され、このグラフは、ミリ秒単位の遅延時間を示された垂直軸３２４と、エンジン速度ｒｐｍ単位で示された水平軸３２２を有する。

【００３９】

図６は、自己同調形フィルタ１０１に起因する、サンプルがデータ収集デバイス１１２に達する際の遅延時間が、すべてのエンジン速度で１サンプルと等しいことを示すグラフ３４０である。自己同調形フィルタ１０１に起因する群遅延は、水平軸３４６に示されたさまざまなエンジン速度で、垂直軸３４４に示された線３４２によって示され、遅延の１サ

ンプルと等しい。したがって、可変サンプリングレートを有するシステムで一定のフィルタ遅延を達成するというもう１つの目標も、達成される。

【００４０】

図７に、本発明のもう１つの実施形態の周波数マッチング回路１０６に含まれるディジタル周波数逓倍器１５０を示す。前に説明したディジタル周波数逓倍器は、サンプリング周波数を５６倍逓倍するが、図７に関して説明するディジタル周波数逓倍器１５０は、サンプリング周波数を１０倍逓倍することに留意されたい。これらおよび他の逓倍器を、本発明のさまざまな実施形態と共に使用することができる。

【００４１】

１０００Ｈｚでの現在の例の持続時間について動作するサンプリング周波数１１４と共に動作する際に、第１カウンタレジスタ１６０は、１ＭＨｚで動作する発振器クロック信号１５４でのロウからハイへの推移をカウントする。第２カウンタレジスタ１７２は、第２カウンタレジスタ１７２がサンプリング周波数１１４のロウからハイへの推移によってリセットされるまで、１００ｋＨｚで動作しているスケーリングされた発振器信号１６６でのロウからハイへの推移をカウントする。現在の例では、比較レジスタ１８０が、その入力端子（ｉｎ１）１７８で１００の値を有する。この１００の値は、サンプリング周波数信号１１４のロウからハイへの個々の推移の間の第２カウンタレジスタ１７２のクロック端子（ｃｌｋ）１７０で受け取られたロウからハイへの推移の数すなわち、１００ｋＨｚ割る１０００Ｈｚまたは１００のカウントと等しい。比較レジスタ１８０は、さらに、その入力（ｉｎ２）１８６で第１カウンタレジスタ１６０から受け取るカウントが入力端子（ｉｎ１）１７８の値と等しくなるたびに、その出力をロウからハイに推移させる。したがって、比較レジスタ出力（ｏｕｔ）１９２は、この例では、入力（ｉｎ２）１８６が１００に達するたびに推移する。第１カウンタレジスタ１６０のクロック端子（ｃｌｋ）１５８に供給される信号１５４の周波数は、第２カウンタレジスタ１７２のクロック端子（ｃｌｋ）１７０に供給される信号１６６の周波数より１０倍高いので、比較レジスタ出力（ｏｕｔ）１９２は、サンプリング周波数信号１１４の推移ごとに１０回推移する。比較レジスタ出力（ｏｕｔ）１９２が推移する時に、比較レジスタ１８０の出力信号１９４によって、第１カウンタレジスタ１６０がリセットされ、トグルレジスタ２００がトリガされる。トグルレジスタ２００は、サンプリング周波数信号１１４の周波数より１０倍高い周波数で動作するフィルタ制御信号１０８を供給する。発振器クロック信号１５４を所望の倍数で割る周波数分周器１６４を選択することによって、クロック同調可能フィルタ１０４に供給されるフィルタ制御信号１０８を、サンプリング周波数１１４の任意の所望の倍数にすることができる周波数で動作するように設定できることを諒解されたい。

【００４２】

本発明の実施形態は、変化するサンプリングレートを有する信号用のフィルタの設計に、下記の複数の重要な特徴を加える。（ｉ）フィルタ周波数を、常にサンプリング周波数に正比例するように設定することができ、（ｉｉ）信号遅延を、常に固定された数のサンプルに設定することができ、フィルタ周波数が適当な値に設定される場合に、単一サンプル点遅延に配置することができ、（ｉｉｉ）システムが、外部介入なしで、システムによって設定される任意のサンプリングレートに追従できる。

【００４３】

本発明によって、ホストコンピュータとの通信がほとんどまたは全くないが、フィルタが常に最適条件に設定される、高速データ収集用の非常に順応性のあるアンチエイリアスフィルタシステムが作られる。この発想の適応は、データの正確なログ記録および後続のソフトウェアフィルタリングのためにアンチエイリアスハードウェアフィルタが必要であるか望ましいすべてのデータ収集応用例にあまねく適用することができる。

【００４４】

本発明を、詳細に、その特定の実施形態に関して説明してきたが、当業者は、本発明の趣旨および範囲から逸脱せずに、さまざまな変更および修正を行うことができることを諒解するであろう。具体的に言うと、本発明が、一定サンプリングレートで動作する信号およ

び可変サンプリングレートで動作する信号を含むすべてのサンプリング信号に対して調整される周波数を有するフィルタを提供することに留意されたい。したがって、本発明は、有利なことに、オペレータによる手動セットアップを必要としない、一定サンプリング応用例に使用することができるフィルタも提供する。したがって、本発明が、請求項およびその同等物の範囲に含まれる、本発明の修正形態および変形形態を含むことが意図されている。

【図面の簡単な説明】

【００４５】

【図１】データ収集応用例に適用された本発明のクロック同調可能フィルタの概略図である。

【図２】本発明の実施形態での、さまざまなエンジン速度でのエンジンエンコーダおよび周波数マッチング回路の出力を示すグラフの組である。

【図３】コーナー周波数をフィルタリングするためのサンプリング周波数の比率を示すグラフである。

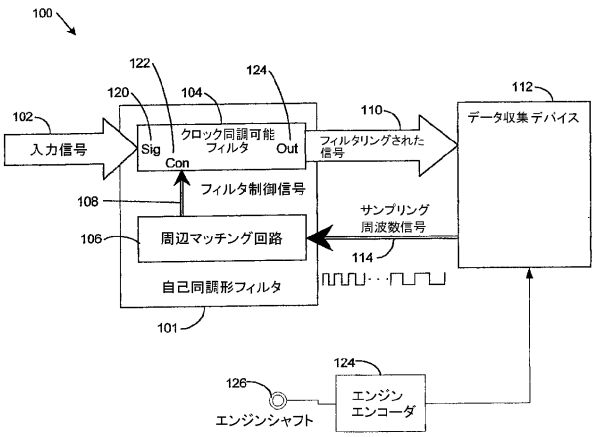
【図４】図２の実施形態でさまざまなエンジン速度に関連するサンプリング周波数およびフィルタコーナー周波数を示すグラフである。

【図５】図２および４の実施形態でさまざまなエンジン速度の関連するフィルタリング遅延時間を示すグラフである。

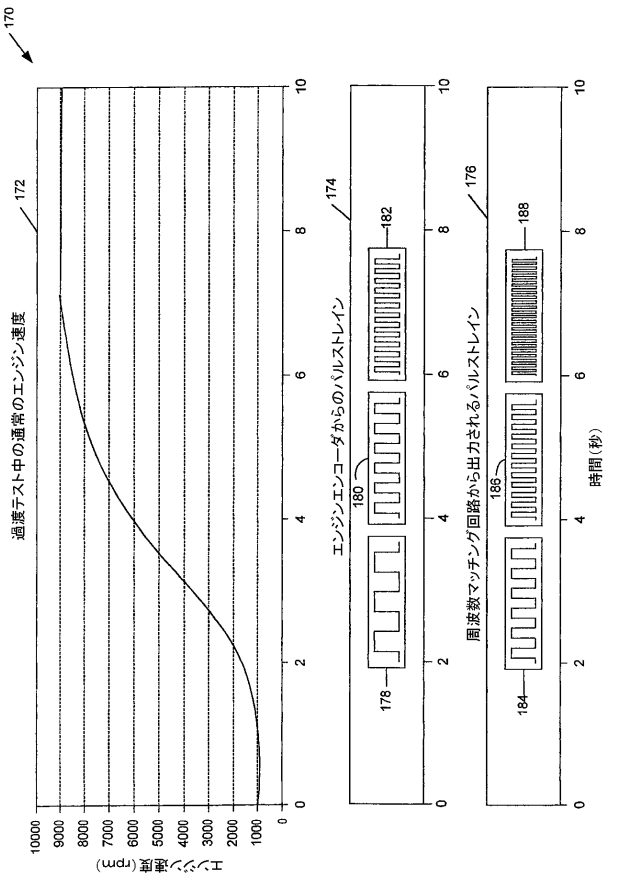
【図６】図２、４、および５の実施形態のさまざまなエンジン速度に関連するサンプルのフィルタ遅延を示すグラフである。

【図７】本発明のディジタル周波数逓倍器の概略である。

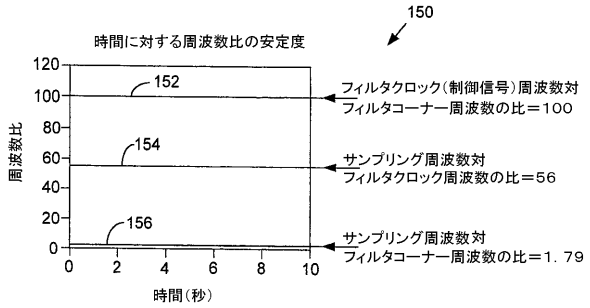
【図１】



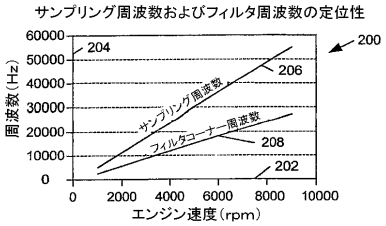
【図２】



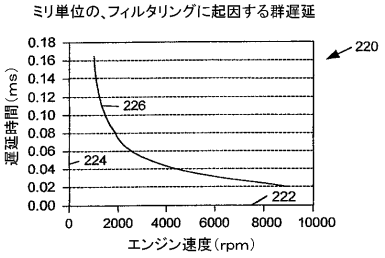
【図３】


150
時間に対する周波数比の安定度
120
100
80
60
40
20
0
周波数比
152
154
156
フィルタクロック(制御信号)周波数対
フィルタコーナー周波数の比＝100
サンプリング周波数対
フィルタクロック周波数の比＝56
サンプリング周波数対
フィルタコーナー周波数の比＝1．79
0
2
4
6
8
10
時間(秒)

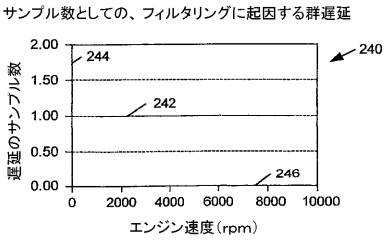
【図４】


サンプリング周波数およびフィルタ周波数の定位性
60000
50000
40000
30000
20000
10000
0
周波数(Hz)
200
204
206
サンプリング周波数
フィルタコーナー周波数
208
202
0
2000
4000
6000
8000
10000
エンジン速度(rpm)

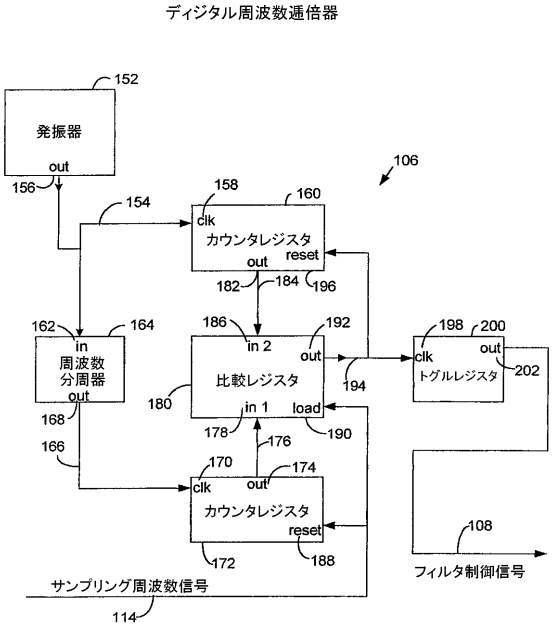
【図５】


ミリ単位の、フィルタリングに起因する群遅延
0.18
0.16
0.14
0.12
0.10
0.08
0.06
0.04
0.02
0.00
遅延時間(ms)
220
226
224
222
0
2000
4000
6000
8000
10000
エンジン速度(rpm)

【図６】


サンプル数としての、フィルタリングに起因する群遅延
2.00
1.50
1.00
0.50
0.00
遅延のサンプル数
240
244
242
246
0
2000
4000
6000
8000
10000
エンジン速度(rpm)

【図７】


ディジタル周波数逓倍器
152
発振器
out
156
154
106
158
160
clk
カウンタレジスタ
reset
out
182
184
196
162
164
in
周波数
分周器
out
168
166
186
in 2
192
out
180
比較レジスタ
in 1
load
178
176
190
194
198
200
clk
out
トグルレジスタ
202
170
clk
out
174
カウンタレジスタ
reset
172
188
108
フィルタ制御信号
サンプリング周波数信号
114

【国際公開パンフレット】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau

(43) International Publication Date
12 September 2002 (12.09.2002)

PCT

(10) International Publication Number
WO 02/071617 A1

(51) International Patent Classification⁷: H03M 1/12

(21) International Application Number: PCT/US02/06288

(22) International Filing Date: 1 March 2002 (01.03.2002)

(25) Filing Language: English

(26) Publication Language: English

(30) Priority Data:
60/273,126 3 March 2001 (03.03.2001) US

(71) Applicant: OPTIMUM POWER TECHNOLOGY, L.P. [US/US]; 3117 Washington Pike, Bridgeville, PA 15017-1496 (US).

(72) Inventors: DOUGLAS, Robert; 18 The Paddock Old Park Road, Ballymena BT42 1RN (GB). McCULLOUGH, Geoffrey; 12 Ashfield Manor, Loughgall Road, Portadown BT62 4BJ (GB).

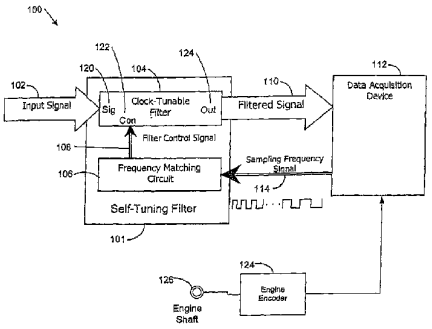
(74) Agent: PARIKH, Abhijat; Morgan, Lewis & Bockius LLP, 1701 Market Street, Philadelphia, PA 19103-2921 (US).

(81) Designated States *(national)*: AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZM, ZW.

(84) Designated States *(regional)*: ARIPO patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OAPI patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[Continued on next page]

(54) Title: APPARATUS AND METHOD FOR ADJUSTING FILTER FREQUENCY IN RELATION TO SAMPLING FREQUENCY



(57) Abstract: A self-tuning filter is disclosed. The self-tuning filter includes a digital clocking signal and an input coupled to the digital clocking signal, whereby the input reads a value incident on the input when the digital clocking signal changes to a predetermined state. A clock-tunable filter is, furthermore, coupled to the digital clocking signal so that the frequency of the clock-tunable filter is adjusted in relation to a sampling frequency at which the digital clocking signal operates. The self-tuning filter may be applied to an input of a data acquisition unit and applied to an input having a variable sampling frequency. A method of controlling the frequency of a clock-tunable filter is also disclosed.

WO 02/071617 A1

WO 02/071617 A1

Declarations under Rule 4.17:

— *as to applicant's entitlement to apply for and be granted a patent (Rule 4.17(ii)) for all designations*

— *as to the applicant's entitlement to claim the priority of the earlier application (Rule 4.17(iii)) for all designations*

Published:

with international search report

before the expiration of the time limit for amending the claims and to be republished in the event of receipt of amendments

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

APPARATUS AND METHOD FOR ADJUSTING FILTER FREQUENCY IN RELATION TO SAMPLING FREQUENCY

Background of the Invention

Field of the Invention

The disclosed invention relates to filter systems in general and, in particular, to a self-tuning filter for data acquisition.

Description of the Background

It is known that the acquisition of data at high sampling rates, typically greater than 5000 samples per second, is a difficult process and that the sampled data is very prone to sampling error due to noisy signals. Such noise is an inherent problem in many applications such as in internal combustion engines. That noise can lead to what is called "aliasing" which is caused by interference of the noise frequency with the sampling frequency. An aliased signal is a false signal that results from a sampling rate that is less frequent than desirable. Where a sensed condition changes very rapidly, it may be difficult or impossible to sense the condition at a frequency that eliminates aliasing.

To resolve the aliasing problem in such circumstances, it is common to filter the signal by applying a low-pass filter to the signal between the sensing device and the data acquisition device. Such a low-pass filter may be setup as an "anti-aliasing" filter by setting a filter corner frequency of the anti-aliasing filter at half of the sampling frequency. Such filtering, however, introduces additional problems as the filtering process delays the signal causing a timing mismatch. To resolve the timing mismatch, it is preferable to have a programmable filter controlled by the data acquisition unit so that the data acquisition unit can control

the level of filtering being applied and compensate for the timing mismatch associated with the corner frequency set at the anti-aliasing filter.

The approach of using a programmable anti-aliasing filter is complicated, however, if the sampling frequency changes with time, such as in the situation of degree-of-rotation based sampling of an engine operating characteristic during transient operation. In such a case, the filter frequency needs to change to match the changing sampling frequency to maintain measurement accuracy.

Thus, there is a need for an adjustable low-pass filter system that can follow a changing sampling frequency.

There is a further need for a digital frequency multiplier that has improved operating characteristics over a phase-lock loop.

Accordingly, the present invention provides solutions to the shortcomings of prior input filtering devices and frequency multiplying devices. Those of ordinary skill in the art will readily appreciate, therefore, that those and other details, features, and advantages will become further apparent in the following detailed description of the preferred embodiments.

Summary of the Invention

The present invention is directed to a self-tuning filter. The self-tuning filter includes a digital clocking signal and an input coupled to the digital clocking signal, whereby the input reads a value incident on the input when the digital clocking signal changes to a predetermined state. A clock-tunable filter is, furthermore, coupled to the digital clocking signal so that the frequency of the clock-tunable filter is adjusted in relation to a sampling frequency at which the digital clocking signal operates. The self-tuning filter may be applied to an input of a data acquisition unit and applied to an input having a variable sampling frequency.

The present invention is also directed to a method of controlling the frequency of a clock-tunable filter. That method includes sensing a frequency at which a digital clocking signal changes state and adjusting a frequency of the clock-tunable filter in relationship to the frequency at which the digital clocking signal changes state. In that method, the digital clocking signal causes an input to read a value incident on the input when the digital clocking signal changes to a predetermined state. That method is particularly applicable to acquiring data having a varying sampling rate at a data acquisition unit.

Thus, the present invention provides a method, apparatus and system of accurately reading an input having a changing sampling frequency.

The present invention also provides a method, apparatus and system whereby a low-pass filter follows an input having a changing sampling frequency.

Furthermore, the present invention beneficially provides a digital frequency multiplier that has improved operating characteristics over a phase-lock loop.

Accordingly, the present invention provides solutions to the shortcomings of prior online auctions. Those of ordinary skill in the art will readily appreciate, therefore, that those and other details, features, and advantages will become further apparent in the following detailed description of the preferred embodiments.

Brief Description of the Drawings

The accompanying drawings, wherein like reference numerals are employed to designate like parts or steps, are included to provide a further understanding of the invention, are incorporated in and constitute a part of this specification, and illustrate embodiments of the invention that together with the description serve to explain the principles of the invention.

In the drawings:

Figure 1 is a schematic illustration of a clock-tunable filter of the present invention as applied to a data acquisition application;

Figure 2 is a set of charts illustrating engine encoder and frequency matching circuitry output at various engine speeds in an embodiment of the present invention;

Figure 3 is a chart illustrating a ratio of sampling frequency to filter corner frequency;

Figure 4 is a chart illustrating sampling frequency and filter corner frequency associated with various engine speeds in the embodiment of Figure 2;

Figure 5 is a chart illustrating filtering delay time associated with various engine speeds in the embodiment of Figures 2 and 4;

Figure 6 is a chart illustrating filter delay in samples associated with various engine speeds in the embodiments of Figures 2, 4 and 5; and

Figure 7 is a schematic illustration of a digital frequency multiplier of the present invention.

Detailed Description of the Invention

It is to be understood that the figures and descriptions of the present invention included herein illustrate and describe elements that are of particular relevance to the present invention, while eliminating, for purposes of clarity, other elements found in typical data acquisition systems. Because the construction and implementation of such other elements are well known in the art, and because a discussion of them would not facilitate a better understanding of the present invention, a discussion of those elements is not provided herein. It is also to be understood that the embodiments of the present invention that are described herein are illustrative only and are not exhaustive of the manners of embodying the present invention. For example, it will be recognized by those skilled in the art that the present invention may be readily adapted to provide a

high quality filtered signal in many applications other than internal combustion engine sensing applications.

The disclosed invention provides a method and apparatus for adjusting filter frequency as a function of sampling frequency. Initially, a method and apparatus for adjusting the frequency at which a low-pass filter operates in response to a changing sampling frequency is provided. The invention utilizes a "self-tuning filter" that comprises a clock-tunable filter and a frequency matching device.

The filter is placed intermediate a sensor and an input of a data acquisition unit to act upon a signal provided by the sensor by removing high frequency noise that may be incident on, for example, a conductor carrying the signal. Signals below the frequency threshold at which the filter is set, which include signals in the frequency range provided by the sensor in a properly designed system, are permitted to pass through the filter to the input.

In certain circumstances, a sampling rate utilized by a data acquisition system may vary. For example, in degree-based sampling of an operating engine, wherein it is desired to sense properties and/or operating conditions such as the position, speed, or acceleration of an engine shaft each time the shaft rotates a predetermined number of degrees, the sampling rate will vary with the speed of the engine. Thus, when the engine is operating in a transient mode (i.e., the engine is accelerating or decelerating), the sampling rate will also vary.

When acquiring data, for example in connection with an operating internal combustion engine, electromagnetic noise is typically generated by the engine and may interfere with signals as they are transferred from the engine to the data acquisition unit. A low-pass filter or anti-aliasing filter is often used to remove high frequency noise from the signal prior to reading the signal at an input of the data acquisition unit. When utilizing a low-pass filter to remove high frequency noise, it is desirable to set the filter frequency as a function of the sampling

frequency. For example, a filter corner frequency setting that is half of the sampling frequency is an appropriate ratio in many applications. Such a filter frequency will delay the signal by an amount approximately equal to the time between two samples. Furthermore, because filters cause signal receipt at the input to be delayed and because the amount of that delay is dependent upon the filter frequency, it is beneficial for the data acquisition unit to be aware of the filter frequency. Thus, when sampling a signal at a varying rate, it would be beneficial to change the filter frequency to maintain filter frequency at a constant ratio of the sampling frequency. In that way, the data acquisition unit can calculate the filter frequency from the sampling frequency and calculate the signal delay from the filter frequency. Thus, the present invention utilizes a tunable low-pass filter and provides a frequency matching input to the filter that is based on a frequency matching device output. Of course, the frequency matching device may include phased-lock loop technology that multiplies a frequency signal to provide the desired filter corner frequency. The manipulated frequency matching signal may then be applied to the filter.

A sampling clock having a clock controlling a digital output is commonly employed to operate a multiplexed input board of a data acquisition unit. The clock will cause the digital output to pulse at a desired sampling frequency. The digital output is furthermore coupled to the input board to operate sample and hold circuits on the input board. In that manner, each pulse is used to trigger the input board to sample an input and hold the value sensed at that input in a buffer where the value may be accessed by a processor portion of the data acquisition unit. The sampling rate is furthermore communicated between the processor and the clock and may be varied by the processor. Thus, the sampling clock may be utilized as a frequency matching device.

In the following example, the sampling clock acts as the frequency matching filter control device by providing its output signal to the clock-tunable

filter. With a suitable design, the filter unit will then follow the sampling frequency, set to a constant ratio of that frequency, which may be half of the sampling frequency.

Referring now to the drawings for the purpose of illustrating the preferred embodiments of the invention and not for the purpose of limiting the same, Figure 1 illustrates a self-tuning filter 101 of the present invention applied to a data acquisition application 100. The self-tuning filter 101 includes a frequency matching circuit 106 and a clock-tunable filter 104.

As applied to the data acquisition application depicted in Figure 1, the self-tuning filter 101 is coupled to an input signal 102 and a data acquisition device 112. The input signal 102 is coupled to a signal input terminal (Sig) 120 of the clock-tunable filter 104. A frequency matching circuit 106 provides a filter control signal 108 to the clock-tunable filter 104. The filter control signal 108 is coupled to an operating frequency terminal (Con) 122 of the clock-tunable filter 104. A filtered signal 110 is incident at an output terminal (Out) 124 of the clock-tunable filter 104. The filtered signal 110 is coupled to an input (not shown) of the data acquisition device 112. The filtered signal is read by the data acquisition device 112 and may serve any of a number of purposes including, for example, logging of the filtered signal or manipulation of output devices (not shown) in response to the filtered signal 110. A sampling frequency signal 114 is generated by the data acquisition device 112 in the present example and coupled to the frequency matching circuit 106.

The input signal 102 may be an analog signal emanating from a sensor (not shown) such as, for example, a speed sensor, an acceleration sensor, a pressure sensor, a temperature sensor, a flow sensor, a humidity sensor, or a shaft position sensor. The shaft position sensor may, for example, sense the position of a generator shaft or a cam shaft in an automotive application. The sensor may provide an input signal which may, for example, be a current,

voltage, or resistance and which adjusts in relation to the sensed phenomenon. Thus, if the sensor is a flow sensor sensing the flow of fuel into a cylinder of an engine, for example, a 1 V signal may be provided from the sensor at a flow rate of 10 milliliters per minute and a 5 V signal may be provided at a flow rate of 100 milliliters per minute or signals between 10 and 100 milliliters per minute may be proportionate between 4 and 20mA. The input signal may be coupled from the sensor to the clock-tunable filter 104 by, for example, copper conductors.

The sampling frequency signal 114 may be provided by any digital signal operating at the sampling frequency. Thus, the sampling frequency signal 114 may be internally clocked from within the data acquisition device 112 or externally clocked from a device external to a data acquisition device 112. An example of a sampling frequency signal that is externally clocked is an engine encoder 124 that provides a change of state each time an engine shaft 126 rotates a predetermined number of degrees. The signal from such an engine encoder 124 may be utilized to trigger data sampling as well as providing an input to the self-tuning filter of the present invention.

An example of an internally clocked sampling frequency signal is a signal produced by a sampling clock (not shown) internal to a data acquisition device 112. The sampling clock, in such a case, provides a digital output that controls the sampling rate of the data acquisition device 112. The digital output of such a sampling clock changes state at the sampling rate and each input controlled by the digital output is sampled when the digital output changes to a predetermined state, such as a high value. Thus, a sensed value may be incident at the input continuously and the input may read the sensed value each time the digital output of either an internally or externally clocked device changes to the predetermined state. The value read at the input may then be placed in a buffer where it may be accessed by the data acquisition device 112. Each time the

predetermined state is achieved, the input may read the new value incident at the input and place that updated value in the buffer.

The digital output of the sampling clock is also used, in the present example, to provide the sampling frequency signal 114 to the frequency matching circuit 106. The frequency matching circuit 106 matches the sampling frequency to the clocking frequency required by the clock-tunable filter 104. That matching is accomplished by multiplying the frequency of the sampling frequency signal 114 by a factor. That factor is furthermore established by reference to the operating characteristics of the particular clock-tunable filter 104 utilized. The frequency matching circuit 106 in one embodiment of the present example includes a phase-lock loop, which multiplies the sampling frequency signal 114 and provides a filter control signal 108 to the operating frequency terminal (Con) 122. Thus, the frequency provided to the operating frequency terminal (Con) 122 is proportionate to the sampling frequency of the data acquisition device 112.

Figure 2 is a set of charts 270 illustrating engine encoder output 274 and frequency matching circuitry output 276 at various engine speeds in an embodiment of the present invention. The engine speed chart 272 illustrates an engine accelerating from 1000 rpm to 9000 rpm over a ten second period.

The engine encoder pulse train chart 274 illustrates a typical engine encoder pulse train corresponding to the two second point of the engine speed chart, an engine encoder pulse train corresponding to the four second point of the engine speed chart, and an engine encoder pulse train corresponding to the six second point of the engine speed chart. The engine encoder pulse train corresponding to the two second point is depicted at 278, the engine encoder pulse train corresponding to the four second point is depicted at 280, and the engine encoder pulse train corresponding to the six second point is depicted at 282, and those depictions are not illustrated to scale. One form of the engine encoder 124, which is utilized in the present example, provides a pulse for every

degree of engine rotation. Other engine encoders 124 may provide, for example, a pulse for every half degree of rotation or a pulse for every tenth of a degree of rotation. Thus, in the present example wherein the engine encoder 124 provides a single pulse for every degree of rotation, a total of 360 pulses are output by the engine encoder 124 for every rotation of the engine. Engine encoder pulse train output may be calculated from engine speed such that the pulse train output for any given engine speed may be determined. Engine speed in rpm may, therefore, be divided by 60 seconds per minute to arrive at engine speed per second. Engine speed per second may then be multiplied by the number of encoder pulses per revolution (in this example, 360 pulses per rotation) to arrive at the engine encoder pulse train in cycles per second or hertz. Engine encoder pulse train for an engine encoder providing a pulse for every one degree of rotation is equal to 360/60 or six times engine speed in rpm.

Utilizing that equation, engine encoder pulse train output at the two second mark on the engine speed chart 272, when the engine is operating at 1500 rpm, is equal to 9000 Hz. Engine encoder pulse train at the four second mark on the engine speed chart 272, when the engine is operating at 6000 rpm, is equal to 36,000 Hz, and engine encoder pulse train at the six second mark on the engine speed chart 272, when the engine is operating at 8500 rpm, is equal to 51,000 Hz.

The frequency matching circuitry pulse train chart 276 illustrates a pulse train output of one embodiment of the frequency matching circuitry corresponding to the two second point of the engine speed chart, a pulse train output corresponding to the four second point of the engine speed chart, and a pulse train output corresponding to the six second point of the engine speed chart. The two second frequency matching circuitry pulse train is depicted at 284, the four second frequency matching circuitry pulse train is depicted at 286, and the six second frequency matching circuitry pulse train is depicted at 288, and those

depictions are not illustrated to scale. A form of frequency matching circuitry 106 utilized in the present example, provides 56 pulses for every engine encoder pulse or a frequency of 56 times that of the engine encoder. Other multipliers may also be used through the frequency matching circuitry as desired. For example, various multipliers may be employed to match the filter or other hardware utilized. Thus, in the present example wherein the frequency matching circuitry 106 provides 56 pulses for every engine encoder pulse, at the two second point when the engine encoder pulse train is 9000 Hz or 9 kHz, the pulse train output by the frequency matching circuitry 106 is 56 times 9 kHz, or 504 kHz. At the four second point, when the engine encoder pulse train is 36 kHz, the pulse train output by the frequency matching circuitry 106 is 56 times 36 kHz, or 2016 kHz, and at the six second point, when the engine encoder pulse train is 51 kHz, the pulse train output by the frequency matching circuitry 106 is 56 times 51 kHz, or 2856 kHz.

The present invention provides a corner frequency of approximately one-half the sampling frequency and provides a constant delay between receipt of a signal at the filter and output of the filtered signal from the filter to the data acquisition device of approximately one sample. In the following embodiment, the clock-tunable filter 104 is selected to have a clock to cut-off frequency ratio of 100. The clock-tunable filter 104 also has a group delay of 0.028 ms at a corner frequency of 20 kHz. Moreover, the ratio of group delay to corner frequency is constant such that group delay may be calculated for any corner frequency.

Figure 3 is a chart 250 that illustrates the constancy of frequency ratios with time to maintain the ratio of sampling frequency to filter corner frequency at a constant of near two, thereby achieving a filter corner frequency that is equal to approximately half the sampling frequency across the range of sampling frequencies experienced. In the embodiment illustrated, the ratio of filter control signal frequency to filter corner frequency is 100, as shown at 252. Filter control

signal frequency is 100 times the filter corner frequency because filter control signal frequency is input into the clock-tunable filter 104 and is, therefore, divided by the clock to cut-off frequency ratio of 100 to arrive at the corner frequency. The ratio of filter control signal frequency to sampling frequency is 56, as shown at 254. The ratio of filter control signal frequency to sampling frequency is accomplished because the frequency matching circuit 106 multiplies the sampling frequency 114 by 56 and outputs that frequency as the filter control signal 108. The ratio of sampling frequency to filter corner frequency is, therefore, equal to the ratio of filter control signal frequency to filter corner frequency divided by the ratio of filter control signal frequency to sampling frequency. Thus, in the present embodiment, the ratio of sampling frequency to filter corner frequency is 100 divided by 56, or 1.79, as shown at 256.

Clock-tunable filters 104 are available having clock to cut-off frequency ratios of values other than 100, including for example 50. Such clock-tunable filter 104 may be utilized with various frequency matching circuits to create other filter control circuits having a frequency that is approximately half the cut-off frequency ratio.

Thus, for example, with an engine speed of 6000 rpm with an encoder causing the data acquisition device to sample once for every degree of engine rotation, the sampling frequency is 6000 rpm times 360 sampler/rotation divided by 60 sec/min = 36 kHz. Utilizing frequency matching circuitry that provides 56 filter control signal pulses per sample, the ratio of filter control signal frequency to sampling frequency is fifty-six to one. The frequency of the filter control signal 108, at a sampling frequency of 36 kHz, is 36 kHz times 56, or 2016 kHz.

The filter delay or group delay is the time that a signal is delayed in getting to the data acquisition device due to the filter. A desirable filter delay value is one sampling cycle.

The clock-tunable filter selected for the present embodiment is a commercially available model LTC 1066-1, manufactured by Linear Technology of Milpitas California. That filter has a filter delay of 0.028 ms at 20 kHz. A filter having a filter delay of 0.028 ms at 20 kHz does not provide a perfect half cycle corner frequency but that commercially available component gives close to the desired half cycle corner frequency. A perfect half cycle corner frequency, in the present configuration would require a filter having a filter delay of 0.025 ms at 20 kHz,.

The selected clock-tunable filter does, however, provide the desired one sample delay at all desired frequencies. Thus, at a corner frequency of 20 kHz, the sampling frequency would be equal to the control signal frequency of 20 kHz divided by the frequency matching circuit multiplier of 56 times the clock to cut-off frequency ratio of 100, or 35.7 kHz. The 35.7 kHz sampling frequency occurs at an engine speed of 5,950 rpm (35.7 kHz times 360 pulses per rotation divided by 60 sec/min). Moreover, the time between samples is equal to 1/35.7 kHz, or 0.028 ms. Thus, as desired, the filter delay of 0.028 ms is equal to the time between samples and the invention achieves the desired one sample delay time. Furthermore, the sample delay time holds true for all engine speeds.

Thus, at 1500 rpm with a sampling rate of 9 kHz, the ideal filter delay of one divided by nine thousand or 0.111 ms is achieved. Similarly, the ideal filter delay at 9000 rpm of one divided by fifty-one thousand, or 0.0198 ms and at 6000 rpm the ideal filter delay of one divided by thirty-six thousand, or 0.0277 is achieved.

The 35.7 kHz sampling frequency is equal to 1.79 times the corner frequency of 20 kHz. Therefore, the desired ratio of sampling frequency to filter corner frequency of approximately two is also achieved. The proportionality of sampling frequency to filter corner frequency across engine speeds of 1000 rpm to 9000 rpm is illustrated in Figure 4. The sampling and filter frequency

proportionality chart 300 of Figure 4 depicts frequency in Hz on a vertical axis 304, engine speed in rpm on a horizontal axis 302, sampling frequency at various engine speeds 306 and filter corner frequency at various speeds 308.

Figure 5 illustrates a group or filter delay of the clock-tunable filter at various engine speeds in this embodiment. The group or filter delay is depicted at 326 on group delay chart 320 having a vertical axis 324 demarked in milliseconds of delay time and a horizontal axis 322 demarked in engine speed rpm.

Figure 6 is a chart 340 illustrating that the delay time in a sample reaching the data acquisition device 112 due to the self-tuning filter 101 is equal to one sample at all engine speeds. The group delay due to the self-tuning filter 101 is illustrated by line 342 and is equal to one sample of delay, demarked on the vertical axis 344 at various engine speeds demarked on the horizontal axis 346. Thus, another goal of achieving a constant filter delay in a system having a variable sampling rate is also achieved.

Figure 7 illustrates a digital frequency multiplier 150 included in the frequency matching circuit 106 in another embodiment of the present invention. It will be noted that the digital frequency multiplier described hereinbefore multiplied the sampling frequency by fifty-six while the digital frequency multiplier 150 described in connection with Figure 7 multiplies the sampling frequency by 10. These and other multipliers may be used with various embodiments of the present invention.

In operation with the sampling frequency signal 114 operating for the duration of the current example at 1000 Hz, a first counter register 160 will count low to high transitions on the oscillator clocking signal 154, which is operating at 1 MHz. A second counter register 172 will count low to high transitions on a scaled oscillator signal 166, which is operating at 100 kHz until the second counter register 172 is reset by a low to high transition of the sampling frequency

signal 114. In the present example, the compare register 180 will have a value of 100 at its input terminal (in1) 178. That value of 100 is equal to the number of low to high transitions received at a clock terminal (clk) 170 of the second counter register 172 between individual low to high transitions of the sampling frequency signal 114, i.e., 100 kHz divided by 1000 Hz, or a count of 100. The compare register 180 will furthermore transition its output from low to high each time the count received from the first counter register 160 at its input (in2) 186 reaches a value equal to the value at its other input (in1) 178. Thus, the compare register output (out) 192 will transition each time the count at input (in2) 186 reaches 100 in the present example. Because the frequency of the signal 154 provided to the clock terminal (clk) 158 of the first counter register 160 is ten times greater than the frequency of the signal 166 provided to the clock terminal (clk) 170 of the second counter register 172, a compare register output (out) 192 will transition ten times for each transition of the sampling frequency signal 114. When the compare register output (out) 192 transitions, the output signal 194 of the compare register 180 will reset the first counter register 160 and trigger a toggle register 200. The toggle register 200 then provides a filter control signal 108 that operates at a frequency ten times greater than that of the sampling frequency signal 114. It will be recognized that the filter control signal 108 provided to the clock-tunable filter 104 may be set to operate at a frequency that may be any desired multiple of the sampling frequency signal 114 by selecting a frequency divider 164 that divides the oscillator clocking signal 154 by the desired multiple.

The embodiments of the invention lend several important features to the design of a filter for a signal having a changing sampling rate: (i) the filter frequency may always be set in direct proportion to the sampling frequency; (ii) the signal delay may always be set to a fixed number of samples, and can be arranged to be a single sample point delay if the filter frequency is set at an

appropriate value; and (iii) the system is capable of following any sampling rate set by the system without external intervention.

The present invention produces a very adaptable anti-aliasing filter system for high-speed data acquisition where there is little or no communication with the host computer and yet the filter is always set to the most suitable condition. The application of this idea may be universally applied to any data acquisition application in which an anti-aliasing hardware filter is required or desired to ensure accurate logging of data and subsequent software filtering.

While the invention has been described in detail and with reference to specific embodiments thereof, it will be apparent to one skilled in the art that various changes and modifications can be made therein without departing from the spirit and scope thereof. In particular, it should be noted that the present invention provides a filter having a frequency that will adjust to any sampling signal including signal operating at a constant sampling rate and a signal operating at a variable sampling rate. Thus, the present invention also beneficially provides a filter that may be used in a constant sampling application without requiring manual set-up by an operator. Thus, it is intended that the present invention cover modifications and variations of this invention provided that they come within the scope of the appended claims and their equivalents.

WHAT IS CLAIMED IS:

1. In a data acquisition unit, a self-tuning filter, comprising:

a digital clocking signal;

an input coupled to said digital clocking signal, whereby the input reads a value incident on the input when the digital clocking signal changes to a predetermined state; and

a clock-tunable filter coupled to said digital clocking signal, whereby the frequency of the clock-tunable filter is adjusted in relation to a sampling frequency at which the digital clocking signal operates.

2. The self-tuning filter of claim 1, wherein the clock-tunable filter is a low-pass filter.

3. The self-tuning filter of claim 1, further comprising a frequency multiplier coupled to said digital clocking signal and said clock tunable filter, whereby the frequency of the clock tunable filter is a multiple of the sampling frequency.

4. The self-tuning filter of claim 3, wherein the frequency multiplier is a phase-lock loop.

5. The self-tuning filter of claim 1, wherein the input is an input of the data acquisition device.

6. The self-tuning filter of claim 1, wherein the sampling frequency at which the digital clocking signal operates is equal to the frequency at which the digital clocking signal changes to the predetermined state.

7. The self-tuning filter of claim 1, wherein the value incident on the input is a signal originating at a sensor.

8. The self-tuning filter of claim 7, wherein the sensor is a pressure sensor.

9. The self-tuning filter of claim 1, wherein the sampling frequency varies.

10. The self-tuning filter of claim 9, wherein the sampling frequency varies as a function of a degree of rotation of a shaft.

11. In a data acquisition unit, a self-tuning filter, comprising:

a digital clocking signal;

an input coupled to said digital clocking signal, whereby the input reads a value incident on the input when the digital clocking signal changes to a predetermined state and the digital clocking signal changes to the predetermined state at a varying rate;

a phase-lock loop coupled to said digital clocking signal; and

a clock-tunable filter coupled to said phase-lock loop, whereby the frequency of the clock tunable filter is a multiple of the sampling frequency at which the digital clocking signal changes to the predetermined state.

12. A method of controlling the frequency of a clock-tunable filter, comprising:

sensing a frequency at which a digital clocking signal changes state, whereby said digital clocking signal causes an input to read a value incident on the input when the digital clocking signal changes to a predetermined state;

adjusting a frequency of a clock-tunable filter in relationship to the frequency at which the digital clocking signal changes state.

13. The method of claim 12, further comprising:

multiplying the frequency of the digital clocking signal to acquire a desired filter frequency; and

wherein said adjusting includes adjusting the frequency of the clock-tunable filter to equal the desired filter frequency.

14. The method of claim 12, wherein the digital clocking signal changes state at a varying rate.

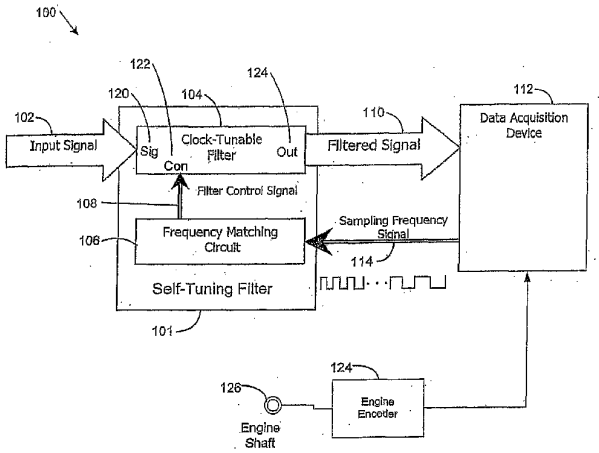

100
122
124
120
104
112
102
110
Input Signal
Sig
Clock-Tunable Filter
Out
Filtered Signal
Data Acquisition Device
Con
Filter Control Signal
108
Sampling Frequency Signal
106
Frequency Matching Circuit
114
Self-Tuning Filter
101
124
126
Engine Encoder
Engine Shaft

Figure 1

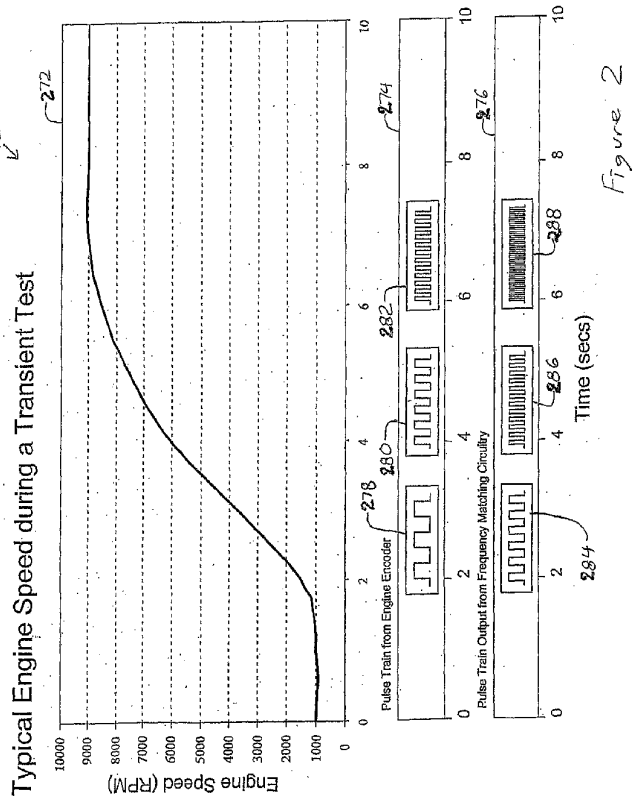

Typical Engine Speed during a Transient Test
270
272
Engine Speed (RPM)
10000
9000
8000
7000
6000
5000
4000
3000
2000
1000
0
0
2
4
6
8
10
Pulse Train from Engine Encoder
278
280
282
274
Pulse Train Output from Frequency Matching Circuitry
284
286
288
276
Time (secs)

Figure 2

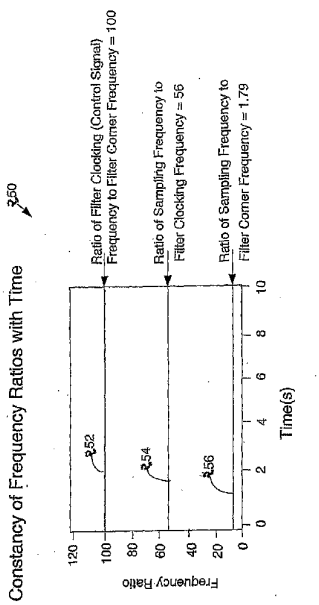

Constancy of Frequency Ratios with Time
350
Ratio of Filter Clocking (Control Signal) Frequency to Filter Corner Frequency = 100
Ratio of Sampling Frequency to Filter Clocking Frequency = 56
Ratio of Sampling Frequency to Filter Corner Frequency = 1.79
352
354
356
Frequency Ratio
120
100
80
60
40
20
0
0
2
4
6
8
10
Time(s)

Figure 3

Sampling and Filter Frequency Proportionality

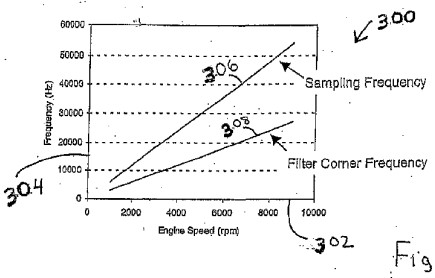


Figure 4

Group Delay Due to Filtering in milliseconds

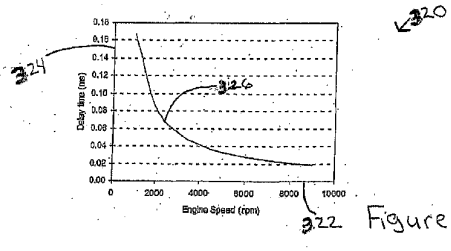


Figure 5

Group Delay Due to Filtering as Number of Samples

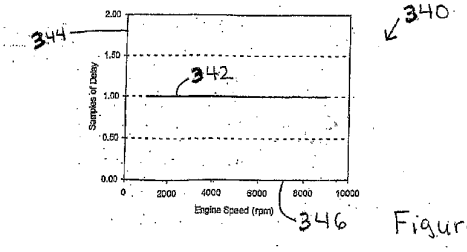


Figure 6

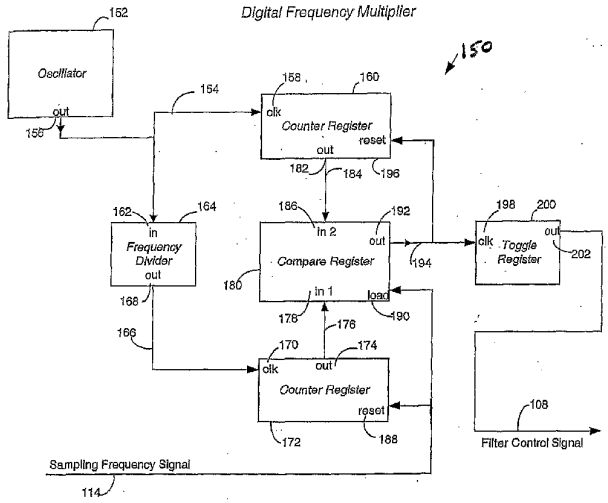

Digital Frequency Multiplier
150
152
Oscillator
out
156
154
158
160
clk
Counter Register
reset
out
182
184
196
162
164
in
Frequency Divider
out
168
166
186
192
in 2
out
Compare Register
180
in 1
load
178
176
190
194
198
200
clk
Toggle Register
out
202
170
174
clk
out
Counter Register
reset
172
188
108
Filter Control Signal
Sampling Frequency Signal
114

Figure 7

【国際公開パンフレット（コレクトバージョン）】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

CORRECTED VERSION

(19) World Intellectual Property Organization
International Bureau

(43) International Publication Date
12 September 2002 (12.09.2002)

PCT

(10) International Publication Number
WO 02/071617 A1

(51) International Patent Classification⁷: H03M 1/12

(21) International Application Number: PCT/US02/06288

(22) International Filing Date: 1 March 2002 (01.03.2002)

(25) Filing Language: English

(26) Publication Language: English

(30) Priority Data:
60/273,126 3 March 2001 (03.03.2001) US

(71) Applicant: **OPTIMUM POWER TECHNOLOGY, L.P.** [US/US]; 3117 Washington Pike, Bridgeville, PA 15017-1496 (US).

(72) Inventors: **DOUGLAS, Robert**; 18 The Paddock Old Park Road, Ballymena BT42 1RN (GB). **McCULLOUGH, Geoffrey**; 12 Ashfield Manor, Loughgall Road, Portadown BT62 4BJ (GB).

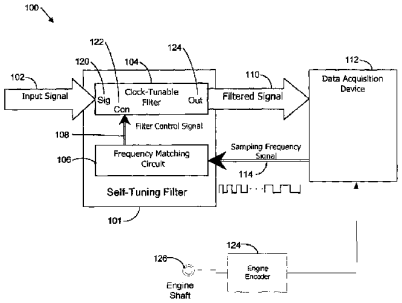
(74) Agent: **JAMES, Richard, W.**; 25, Churchill Road, Churchill, PA 15235 (US).

(81) Designated States *(national)*: AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZM, ZW.

(84) Designated States *(regional)*: ARIPO patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OAPI patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[Continued on next page]

(54) Title: APPARATUS AND METHOD FOR ADJUSTING FILTER FREQUENCY IN RELATION TO SAMPLING FREQUENCY



(57) Abstract: A self-tuning filter is disclosed. The self-tuning filter includes a digital clocking signal and an input coupled to the digital clocking signal, whereby the input reads a value incident on the input when the digital clocking signal changes to a predetermined state. A clock-tunable filter is, furthermore, coupled to the digital clocking signal so that the frequency of the clock-tunable filter is adjusted in relation to a sampling frequency at which the digital clocking signal operates. The self-tuning filter may be applied to an input of a data acquisition unit and applied to an input having a variable sampling frequency. A method of controlling the frequency of a clock-tunable filter is also disclosed.

WO 02/071617 A1

WO 02/071617 A1

Declarations under Rule 4.17:
— *as to applicant's entitlement to apply for and be granted a patent (Rule 4.17(ii)) for all designations*
— *as to the applicant's entitlement to claim the priority of the earlier application (Rule 4.17(iii)) for all designations*

Published:
with international search report

(48) Date of publication of this corrected version:
30 January 2003

(15) Information about Correction:
see PCT Gazette No. 05/2003 of 30 January 2003, Section II

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

APPARATUS AND METHOD FOR ADJUSTING FILTER FREQUENCY IN RELATION TO SAMPLING FREQUENCY

Background of the Invention

Field of the Invention

The disclosed invention relates to filter systems in general and, in particular, to a self-tuning filter for data acquisition.

Description of the Background

It is known that the acquisition of data at high sampling rates, typically greater than 5000 samples per second, is a difficult process and that the sampled data is very prone to sampling error due to noisy signals. Such noise is an inherent problem in many applications such as in internal combustion engines. That noise can lead to what is called "aliasing" which is caused by interference of the noise frequency with the sampling frequency. An aliased signal is a false signal that results from a sampling rate that is less frequent than desirable. Where a sensed condition changes very rapidly, it may be difficult or impossible to sense the condition at a frequency that eliminates aliasing.

To resolve the aliasing problem in such circumstances, it is common to filter the signal by applying a low-pass filter to the signal between the sensing device and the data acquisition device. Such a low-pass filter may be setup as an "anti-aliasing" filter by setting a filter corner frequency of the anti-aliasing filter at half of the sampling frequency. Such filtering, however, introduces additional problems as the filtering process delays the signal causing a timing mismatch. To resolve the timing mismatch, it is preferable to have a programmable filter controlled by the data acquisition unit so that the data acquisition unit can control

the level of filtering being applied and compensate for the timing mismatch associated with the corner frequency set at the anti-aliasing filter.

The approach of using a programmable anti-aliasing filter is complicated, however, if the sampling frequency changes with time, such as in the situation of degree-of-rotation based sampling of an engine operating characteristic during transient operation. In such a case, the filter frequency needs to change to match the changing sampling frequency to maintain measurement accuracy.

Thus, there is a need for an adjustable low-pass filter system that can follow a changing sampling frequency.

There is a further need for a digital frequency multiplier that has improved operating characteristics over a phase-lock loop.

Accordingly, the present invention provides solutions to the shortcomings of prior input filtering devices and frequency multiplying devices. Those of ordinary skill in the art will readily appreciate, therefore, that those and other details, features, and advantages will become further apparent in the following detailed description of the preferred embodiments.

Summary of the Invention

The present invention is directed to a self-tuning filter. The self-tuning filter includes a digital clocking signal and an input coupled to the digital clocking signal, whereby the input reads a value incident on the input when the digital clocking signal changes to a predetermined state. A clock-tunable filter is, furthermore, coupled to the digital clocking signal so that the frequency of the clock-tunable filter is adjusted in relation to a sampling frequency at which the digital clocking signal operates. The self-tuning filter may be applied to an input of a data acquisition unit and applied to an input having a variable sampling frequency.

The present invention is also directed to a method of controlling the frequency of a clock-tunable filter. That method includes sensing a frequency at which a digital clocking signal changes state and adjusting a frequency of the clock-tunable filter in relationship to the frequency at which the digital clocking signal changes state. In that method, the digital clocking signal causes an input to read a value incident on the input when the digital clocking signal changes to a predetermined state. That method is particularly applicable to acquiring data having a varying sampling rate at a data acquisition unit.

Thus, the present invention provides a method, apparatus and system of accurately reading an input having a changing sampling frequency.

The present invention also provides a method, apparatus and system whereby a low-pass filter follows an input having a changing sampling frequency.

Furthermore, the present invention beneficially provides a digital frequency multiplier that has improved operating characteristics over a phase-lock loop.

Accordingly, the present invention provides solutions to the shortcomings of prior online auctions. Those of ordinary skill in the art will readily appreciate, therefore, that those and other details, features, and advantages will become further apparent in the following detailed description of the preferred embodiments.

Brief Description of the Drawings

The accompanying drawings, wherein like reference numerals are employed to designate like parts or steps, are included to provide a further understanding of the invention, are incorporated in and constitute a part of this specification, and illustrate embodiments of the invention that together with the description serve to explain the principles of the invention.

In the drawings:

Figure 1 is a schematic illustration of a clock-tunable filter of the present invention as applied to a data acquisition application;

Figure 2 is a set of charts illustrating engine encoder and frequency matching circuitry output at various engine speeds in an embodiment of the present invention;

Figure 3 is a chart illustrating a ratio of sampling frequency to filter corner frequency;

Figure 4 is a chart illustrating sampling frequency and filter corner frequency associated with various engine speeds in the embodiment of Figure 2;

Figure 5 is a chart illustrating filtering delay time associated with various engine speeds in the embodiment of Figures 2 and 4;

Figure 6 is a chart illustrating filter delay in samples associated with various engine speeds in the embodiments of Figures 2, 4 and 5; and

Figure 7 is a schematic illustration of a digital frequency multiplier of the present invention.

Detailed Description of the Invention

It is to be understood that the figures and descriptions of the present invention included herein illustrate and describe elements that are of particular relevance to the present invention, while eliminating, for purposes of clarity, other elements found in typical data acquisition systems. Because the construction and implementation of such other elements are well known in the art, and because a discussion of them would not facilitate a better understanding of the present invention, a discussion of those elements is not provided herein. It is also to be understood that the embodiments of the present invention that are described herein are illustrative only and are not exhaustive of the manners of embodying the present invention. For example, it will be recognized by those skilled in the art that the present invention may be readily adapted to provide a

high quality filtered signal in many applications other than internal combustion engine sensing applications.

The disclosed invention provides a method and apparatus for adjusting filter frequency as a function of sampling frequency. Initially, a method and apparatus for adjusting the frequency at which a low-pass filter operates in response to a changing sampling frequency is provided. The invention utilizes a "self-tuning filter" that comprises a clock-tunable filter and a frequency matching device.

The filter is placed intermediate a sensor and an input of a data acquisition unit to act upon a signal provided by the sensor by removing high frequency noise that may be incident on, for example, a conductor carrying the signal. Signals below the frequency threshold at which the filter is set, which include signals in the frequency range provided by the sensor in a properly designed system, are permitted to pass through the filter to the input.

In certain circumstances, a sampling rate utilized by a data acquisition system may vary. For example, in degree-based sampling of an operating engine, wherein it is desired to sense properties and/or operating conditions such as the position, speed, or acceleration of an engine shaft each time the shaft rotates a predetermined number of degrees, the sampling rate will vary with the speed of the engine. Thus, when the engine is operating in a transient mode (i.e., the engine is accelerating or decelerating), the sampling rate will also vary.

When acquiring data, for example in connection with an operating internal combustion engine, electromagnetic noise is typically generated by the engine and may interfere with signals as they are transferred from the engine to the data acquisition unit. A low-pass filter or anti-aliasing filter is often used to remove high frequency noise from the signal prior to reading the signal at an input of the data acquisition unit. When utilizing a low-pass filter to remove high frequency noise, it is desirable to set the filter frequency as a function of the sampling

frequency. For example, a filter corner frequency setting that is half of the sampling frequency is an appropriate ratio in many applications. Such a filter frequency will delay the signal by an amount approximately equal to the time between two samples. Furthermore, because filters cause signal receipt at the input to be delayed and because the amount of that delay is dependent upon the filter frequency, it is beneficial for the data acquisition unit to be aware of the filter frequency. Thus, when sampling a signal at a varying rate, it would be beneficial to change the filter frequency to maintain filter frequency at a constant ratio of the sampling frequency. In that way, the data acquisition unit can calculate the filter frequency from the sampling frequency and calculate the signal delay from the filter frequency. Thus, the present invention utilizes a tunable low-pass filter and provides a frequency matching input to the filter that is based on a frequency matching device output. Of course, the frequency matching device may include phased-lock loop technology that multiplies a frequency signal to provide the desired filter corner frequency. The manipulated frequency matching signal may then be applied to the filter.

A sampling clock having a clock controlling a digital output is commonly employed to operate a multiplexed input board of a data acquisition unit. The clock will cause the digital output to pulse at a desired sampling frequency. The digital output is furthermore coupled to the input board to operate sample and hold circuits on the input board. In that manner, each pulse is used to trigger the input board to sample an input and hold the value sensed at that input in a buffer where the value may be accessed by a processor portion of the data acquisition unit. The sampling rate is furthermore communicated between the processor and the clock and may be varied by the processor. Thus, the sampling clock may be utilized as a frequency matching device.

In the following example, the sampling clock acts as the frequency matching filter control device by providing its output signal to the clock-tunable

filter. With a suitable design, the filter unit will then follow the sampling frequency, set to a constant ratio of that frequency, which may be half of the sampling frequency.

Referring now to the drawings for the purpose of illustrating the preferred embodiments of the invention and not for the purpose of limiting the same, Figure 1 illustrates a self-tuning filter 101 of the present invention applied to a data acquisition application 100. The self-tuning filter 101 includes a frequency matching circuit 106 and a clock-tunable filter 104.

As applied to the data acquisition application depicted in Figure 1, the self-tuning filter 101 is coupled to an input signal 102 and a data acquisition device 112. The input signal 102 is coupled to a signal input terminal (Sig) 120 of the clock-tunable filter 104. A frequency matching circuit 106 provides a filter control signal 108 to the clock-tunable filter 104. The filter control signal 108 is coupled to an operating frequency terminal (Con) 122 of the clock-tunable filter 104. A filtered signal 110 is incident at an output terminal (Out) 124 of the clock-tunable filter 104. The filtered signal 110 is coupled to an input (not shown) of the data acquisition device 112. The filtered signal is read by the data acquisition device 112 and may serve any of a number of purposes including, for example, logging of the filtered signal or manipulation of output devices (not shown) in response to the filtered signal 110. A sampling frequency signal 114 is generated by the data acquisition device 112 in the present example and coupled to the frequency matching circuit 106.

The input signal 102 may be an analog signal emanating from a sensor (not shown) such as, for example, a speed sensor, an acceleration sensor, a pressure sensor, a temperature sensor, a flow sensor, a humidity sensor, or a shaft position sensor. The shaft position sensor may, for example, sense the position of a generator shaft or a cam shaft in an automotive application. The sensor may provide an input signal which may, for example, be a current,

voltage, or resistance and which adjusts in relation to the sensed phenomenon. Thus, if the sensor is a flow sensor sensing the flow of fuel into a cylinder of an engine, for example, a 1 V signal may be provided from the sensor at a flow rate of 10 milliliters per minute and a 5 V signal may be provided at a flow rate of 100 milliliters per minute or signals between 10 and 100 milliliters per minute may be proportionate between 4 and 20mA. The input signal may be coupled from the sensor to the clock-tunable filter 104 by, for example, copper conductors.

The sampling frequency signal 114 may be provided by any digital signal operating at the sampling frequency. Thus, the sampling frequency signal 114 may be internally clocked from within the data acquisition device 112 or externally clocked from a device external to a data acquisition device 112. An example of a sampling frequency signal that is externally clocked is an engine encoder 124 that provides a change of state each time an engine shaft 126 rotates a predetermined number of degrees. The signal from such an engine encoder 124 may be utilized to trigger data sampling as well as providing an input to the self-tuning filter of the present invention.

An example of an internally clocked sampling frequency signal is a signal produced by a sampling clock (not shown) internal to a data acquisition device 112. The sampling clock, in such a case, provides a digital output that controls the sampling rate of the data acquisition device 112. The digital output of such a sampling clock changes state at the sampling rate and each input controlled by the digital output is sampled when the digital output changes to a predetermined state, such as a high value. Thus, a sensed value may be incident at the input continuously and the input may read the sensed value each time the digital output of either an internally or externally clocked device changes to the predetermined state. The value read at the input may then be placed in a buffer where it may be accessed by the data acquisition device 112. Each time the

predetermined state is achieved, the input may read the new value incident at the input and place that updated value in the buffer.

The digital output of the sampling clock is also used, in the present example, to provide the sampling frequency signal 114 to the frequency matching circuit 106. The frequency matching circuit 106 matches the sampling frequency to the clocking frequency required by the clock-tunable filter 104. That matching is accomplished by multiplying the frequency of the sampling frequency signal 114 by a factor. That factor is furthermore established by reference to the operating characteristics of the particular clock-tunable filter 104 utilized. The frequency matching circuit 106 in one embodiment of the present example includes a phase-lock loop, which multiplies the sampling frequency signal 114 and provides a filter control signal 108 to the operating frequency terminal (Con) 122. Thus, the frequency provided to the operating frequency terminal (Con) 122 is proportionate to the sampling frequency of the data acquisition device 112.

Figure 2 is a set of charts 270 illustrating engine encoder output 274 and frequency matching circuitry output 276 at various engine speeds in an embodiment of the present invention. The engine speed chart 272 illustrates an engine accelerating from 1000 rpm to 9000 rpm over a ten second period.

The engine encoder pulse train chart 274 illustrates a typical engine encoder pulse train corresponding to the two second point of the engine speed chart, an engine encoder pulse train corresponding to the four second point of the engine speed chart, and an engine encoder pulse train corresponding to the six second point of the engine speed chart. The engine encoder pulse train corresponding to the two second point is depicted at 278, the engine encoder pulse train corresponding to the four second point is depicted at 280, and the engine encoder pulse train corresponding to the six second point is depicted at 282, and those depictions are not illustrated to scale. One form of the engine encoder 124, which is utilized in the present example, provides a pulse for every

degree of engine rotation. Other engine encoders 124 may provide, for example, a pulse for every half degree of rotation or a pulse for every tenth of a degree of rotation. Thus, in the present example wherein the engine encoder 124 provides a single pulse for every degree of rotation, a total of 360 pulses are output by the engine encoder 124 for every rotation of the engine. Engine encoder pulse train output may be calculated from engine speed such that the pulse train output for any given engine speed may be determined. Engine speed in rpm may, therefore, be divided by 60 seconds per minute to arrive at engine speed per second. Engine speed per second may then be multiplied by the number of encoder pulses per revolution (in this example, 360 pulses per rotation) to arrive at the engine encoder pulse train in cycles per second or hertz. Engine encoder pulse train for an engine encoder providing a pulse for every one degree of rotation is equal to 360/60 or six times engine speed in rpm.

Utilizing that equation, engine encoder pulse train output at the two second mark on the engine speed chart 272, when the engine is operating at 1500 rpm, is equal to 9000 Hz. Engine encoder pulse train at the four second mark on the engine speed chart 272, when the engine is operating at 6000 rpm, is equal to 36,000 Hz, and engine encoder pulse train at the six second mark on the engine speed chart 272, when the engine is operating at 8500 rpm, is equal to 51,000 Hz.

The frequency matching circuitry pulse train chart 276 illustrates a pulse train output of one embodiment of the frequency matching circuitry corresponding to the two second point of the engine speed chart, a pulse train output corresponding to the four second point of the engine speed chart, and a pulse train output corresponding to the six second point of the engine speed chart. The two second frequency matching circuitry pulse train is depicted at 284, the four second frequency matching circuitry pulse train is depicted at 286, and the six second frequency matching circuitry pulse train is depicted at 288, and those

depictions are not illustrated to scale. A form of frequency matching circuitry 106 utilized in the present example, provides 56 pulses for every engine encoder pulse or a frequency of 56 times that of the engine encoder. Other multipliers may also be used through the frequency matching circuitry as desired. For example, various multipliers may be employed to match the filter or other hardware utilized. Thus, in the present example wherein the frequency matching circuitry 106 provides 56 pulses for every engine encoder pulse, at the two second point when the engine encoder pulse train is 9000 Hz or 9 kHz, the pulse train output by the frequency matching circuitry 106 is 56 times 9 kHz, or 504 kHz. At the four second point, when the engine encoder pulse train is 36 kHz, the pulse train output by the frequency matching circuitry 106 is 56 times 36 kHz, or 2016 kHz, and at the six second point, when the engine encoder pulse train is 51 kHz, the pulse train output by the frequency matching circuitry 106 is 56 times 51 kHz, or 2856 kHz.

The present invention provides a corner frequency of approximately one-half the sampling frequency and provides a constant delay between receipt of a signal at the filter and output of the filtered signal from the filter to the data acquisition device of approximately one sample. In the following embodiment, the clock-tunable filter 104 is selected to have a clock to cut-off frequency ratio of 100. The clock-tunable filter 104 also has a group delay of 0.028 ms at a corner frequency of 20 kHz. Moreover, the ratio of group delay to corner frequency is constant such that group delay may be calculated for any corner frequency.

Figure 3 is a chart 250 that illustrates the constancy of frequency ratios with time to maintain the ratio of sampling frequency to filter corner frequency at a constant of near two, thereby achieving a filter corner frequency that is equal to approximately half the sampling frequency across the range of sampling frequencies experienced. In the embodiment illustrated, the ratio of filter control signal frequency to filter corner frequency is 100, as shown at 252. Filter control

signal frequency is 100 times the filter corner frequency because filter control signal frequency is input into the clock-tunable filter 104 and is, therefore, divided by the clock to cut-off frequency ratio of 100 to arrive at the corner frequency. The ratio of filter control signal frequency to sampling frequency is 56, as shown at 254. The ratio of filter control signal frequency to sampling frequency is accomplished because the frequency matching circuit 106 multiplies the sampling frequency 114 by 56 and outputs that frequency as the filter control signal 108. The ratio of sampling frequency to filter corner frequency is, therefore, equal to the ratio of filter control signal frequency to filter corner frequency divided by the ratio of filter control signal frequency to sampling frequency. Thus, in the present embodiment, the ratio of sampling frequency to filter corner frequency is 100 divided by 56, or 1.79, as shown at 256.

Clock-tunable filters 104 are available having clock to cut-off frequency ratios of values other than 100, including for example 50. Such clock-tunable filter 104 may be utilized with various frequency matching circuits to create other filter control circuits having a frequency that is approximately half the cut-off frequency ratio.

Thus, for example, with an engine speed of 6000 rpm with an encoder causing the data acquisition device to sample once for every degree of engine rotation, the sampling frequency is 6000 rpm times 360 sampler/rotation divided by 60 sec/min = 36 kHz. Utilizing frequency matching circuitry that provides 56 filter control signal pulses per sample, the ratio of filter control signal frequency to sampling frequency is fifty-six to one. The frequency of the filter control signal 108, at a sampling frequency of 36 kHz, is 36 kHz times 56, or 2016 kHz.

The filter delay or group delay is the time that a signal is delayed in getting to the data acquisition device due to the filter. A desirable filter delay value is one sampling cycle.

The clock-tunable filter selected for the present embodiment is a commercially available model LTC 1066-1, manufactured by Linear Technology of Milpitas California. That filter has a filter delay of 0.028 ms at 20 kHz. A filter having a filter delay of 0.028 ms at 20 kHz does not provide a perfect half cycle corner frequency but that commercially available component gives close to the desired half cycle corner frequency. A perfect half cycle corner frequency, in the present configuration would require a filter having a filter delay of 0.025 ms at 20 kHz,.

The selected clock-tunable filter does, however, provide the desired one sample delay at all desired frequencies. Thus, at a corner frequency of 20 kHz, the sampling frequency would be equal to the control signal frequency of 20 kHz divided by the frequency matching circuit multiplier of 56 times the clock to cut-off frequency ratio of 100, or 35.7 kHz. The 35.7 kHz sampling frequency occurs at an engine speed of 5,950 rpm (35.7 kHz times 360 pulses per rotation divided by 60 sec/min). Moreover, the time between samples is equal to 1/35.7 kHz, or 0.028 ms. Thus, as desired, the filter delay of 0.028 ms is equal to the time between samples and the invention achieves the desired one sample delay time. Furthermore, the sample delay time holds true for all engine speeds.

Thus, at 1500 rpm with a sampling rate of 9 kHz, the ideal filter delay of one divided by nine thousand or 0.111 ms is achieved. Similarly, the ideal filter delay at 9000 rpm of one divided by fifty-one thousand, or 0.0198 ms and at 6000 rpm the ideal filter delay of one divided by thirty-six thousand, or 0.0277 is achieved.

The 35.7 kHz sampling frequency is equal to 1.79 times the corner frequency of 20 kHz. Therefore, the desired ratio of sampling frequency to filter corner frequency of approximately two is also achieved. The proportionality of sampling frequency to filter corner frequency across engine speeds of 1000 rpm to 9000 rpm is illustrated in Figure 4. The sampling and filter frequency

proportionality chart 300 of Figure 4 depicts frequency in Hz on a vertical axis 304, engine speed in rpm on a horizontal axis 302, sampling frequency at various engine speeds 306 and filter corner frequency at various speeds 308.

Figure 5 illustrates a group or filter delay of the clock-tunable filter at various engine speeds in this embodiment. The group or filter delay is depicted at 326 on group delay chart 320 having a vertical axis 324 demarked in milliseconds of delay time and a horizontal axis 322 demarked in engine speed rpm.

Figure 6 is a chart 340 illustrating that the delay time in a sample reaching the data acquisition device 112 due to the self-tuning filter 101 is equal to one sample at all engine speeds. The group delay due to the self-tuning filter 101 is illustrated by line 342 and is equal to one sample of delay, demarked on the vertical axis 344 at various engine speeds demarked on the horizontal axis 346. Thus, another goal of achieving a constant filter delay in a system having a variable sampling rate is also achieved.

Figure 7 illustrates a digital frequency multiplier 150 included in the frequency matching circuit 106 in another embodiment of the present invention. It will be noted that the digital frequency multiplier described hereinbefore multiplied the sampling frequency by fifty-six while the digital frequency multiplier 150 described in connection with Figure 7 multiplies the sampling frequency by 10. These and other multipliers may be used with various embodiments of the present invention.

In operation with the sampling frequency signal 114 operating for the duration of the current example at 1000 Hz, a first counter register 160 will count low to high transitions on the oscillator clocking signal 154, which is operating at 1 MHz. A second counter register 172 will count low to high transitions on a scaled oscillator signal 166, which is operating at 100 kHz until the second counter register 172 is reset by a low to high transition of the sampling frequency

signal 114. In the present example, the compare register 180 will have a value of 100 at its input terminal (in1) 178. That value of 100 is equal to the number of low to high transitions received at a clock terminal (clk) 170 of the second counter register 172 between individual low to high transitions of the sampling frequency signal 114, i.e., 100 kHz divided by 1000 Hz, or a count of 100. The compare register 180 will furthermore transition its output from low to high each time the count received from the first counter register 160 at its input (in2) 186 reaches a value equal to the value at its other input (in1) 178. Thus, the compare register output (out) 192 will transition each time the count at input (in2) 186 reaches 100 in the present example. Because the frequency of the signal 154 provided to the clock terminal (clk) 158 of the first counter register 160 is ten times greater than the frequency of the signal 166 provided to the clock terminal (clk) 170 of the second counter register 172, a compare register output (out) 192 will transition ten times for each transition of the sampling frequency signal 114. When the compare register output (out) 192 transitions, the output signal 194 of the compare register 180 will reset the first counter register 160 and trigger a toggle register 200. The toggle register 200 then provides a filter control signal 108 that operates at a frequency ten times greater than that of the sampling frequency signal 114. It will be recognized that the filter control signal 108 provided to the clock-tunable filter 104 may be set to operate at a frequency that may be any desired multiple of the sampling frequency signal 114 by selecting a frequency divider 164 that divides the oscillator clocking signal 154 by the desired multiple.

The embodiments of the invention lend several important features to the design of a filter for a signal having a changing sampling rate: (i) the filter frequency may always be set in direct proportion to the sampling frequency; (ii) the signal delay may always be set to a fixed number of samples, and can be arranged to be a single sample point delay if the filter frequency is set at an

appropriate value; and (iii) the system is capable of following any sampling rate set by the system without external intervention.

The present invention produces a very adaptable anti-aliasing filter system for high-speed data acquisition where there is little or no communication with the host computer and yet the filter is always set to the most suitable condition. The application of this idea may be universally applied to any data acquisition application in which an anti-aliasing hardware filter is required or desired to ensure accurate logging of data and subsequent software filtering.

While the invention has been described in detail and with reference to specific embodiments thereof, it will be apparent to one skilled in the art that various changes and modifications can be made therein without departing from the spirit and scope thereof. In particular, it should be noted that the present invention provides a filter having a frequency that will adjust to any sampling signal including signal operating at a constant sampling rate and a signal operating at a variable sampling rate. Thus, the present invention also beneficially provides a filter that may be used in a constant sampling application without requiring manual set-up by an operator. Thus, it is intended that the present invention cover modifications and variations of this invention provided that they come within the scope of the appended claims and their equivalents.

WHAT IS CLAIMED IS:

1. In a data acquisition unit, a self-tuning filter, comprising:

a digital clocking signal;

an input coupled to said digital clocking signal, whereby the input reads a value incident on the input when the digital clocking signal changes to a predetermined state; and

a clock-tunable filter coupled to said digital clocking signal, whereby the frequency of the clock-tunable filter is adjusted in relation to a sampling frequency at which the digital clocking signal operates.

2. The self-tuning filter of claim 1, wherein the clock-tunable filter is a low-pass filter.

3. The self-tuning filter of claim 1, further comprising a frequency multiplier coupled to said digital clocking signal and said clock tunable filter, whereby the frequency of the clock tunable filter is a multiple of the sampling frequency.

4. The self-tuning filter of claim 3, wherein the frequency multiplier is a phase-lock loop.

5. The self-tuning filter of claim 1, wherein the input is an input of the data acquisition device.

6. The self-tuning filter of claim 1, wherein the sampling frequency at which the digital clocking signal operates is equal to the frequency at which the digital clocking signal changes to the predetermined state.

7. The self-tuning filter of claim 1, wherein the value incident on the input is a signal originating at a sensor.

8. The self-tuning filter of claim 7, wherein the sensor is a pressure sensor.

9. The self-tuning filter of claim 1, wherein the sampling frequency varies.

10. The self-tuning filter of claim 9, wherein the sampling frequency varies as a function of a degree of rotation of a shaft.

11. In a data acquisition unit, a self-tuning filter, comprising:

a digital clocking signal;

an input coupled to said digital clocking signal, whereby the input reads a value incident on the input when the digital clocking signal changes to a predetermined state and the digital clocking signal changes to the predetermined state at a varying rate;

a phase-lock loop coupled to said digital clocking signal; and

a clock-tunable filter coupled to said phase-lock loop, whereby the frequency of the clock tunable filter is a multiple of the sampling frequency at which the digital clocking signal changes to the predetermined state.

12. A method of controlling the frequency of a clock-tunable filter, comprising:

sensing a frequency at which a digital clocking signal changes state, whereby said digital clocking signal causes an input to read a value incident on the input when the digital clocking signal changes to a predetermined state;

adjusting a frequency of a clock-tunable filter in relationship to the frequency at which the digital clocking signal changes state.

13. The method of claim 12, further comprising:

multiplying the frequency of the digital clocking signal to acquire a desired filter frequency; and

wherein said adjusting includes adjusting the frequency of the clock-tunable filter to equal the desired filter frequency.

14. The method of claim 12, wherein the digital clocking signal changes state at a varying rate.

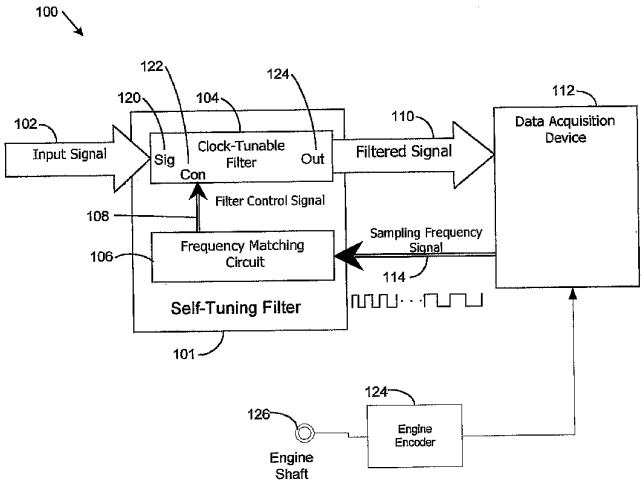

100
122
124
120
104
112
102
110
Input Signal
Sig
Clock-Tunable Filter
Out
Filtered Signal
Data Acquisition Device
Con
Filter Control Signal
108
Sampling Frequency Signal
Frequency Matching Circuit
106
114
Self-Tuning Filter
101
124
126
Engine Encoder
Engine Shaft

Figure 1/7

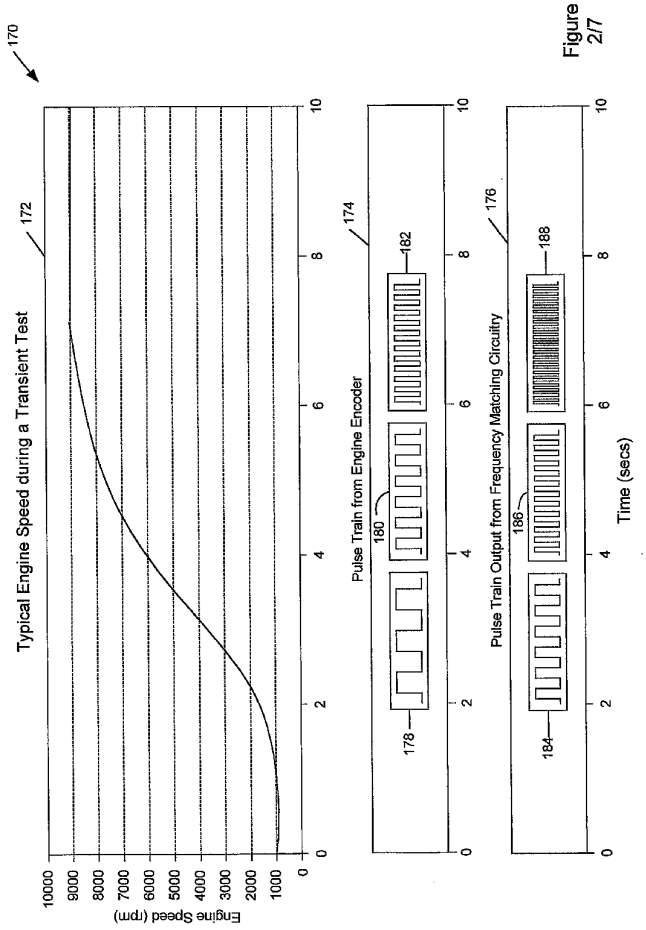

170
172
Typical Engine Speed during a Transient Test
Engine Speed (rpm)
10000
9000
8000
7000
6000
5000
4000
3000
2000
1000
0
0
2
4
6
8
10
174
Pulse Train from Engine Encoder
178
180
182
176
Pulse Train Output from Frequency Matching Circuitry
184
186
188
Time (secs)

Figure 2/7

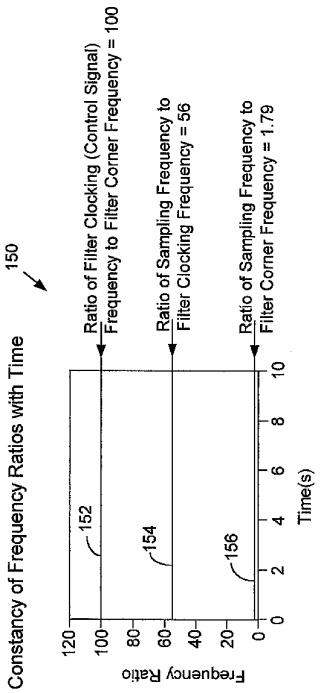

Constancy of Frequency Ratios with Time
150
Ratio of Filter Clocking (Control Signal) Frequency to Filter Corner Frequency = 100
Ratio of Sampling Frequency to Filter Clocking Frequency = 56
Ratio of Sampling Frequency to Filter Corner Frequency = 1.79
152
154
156
Frequency Ratio
120
100
80
60
40
20
0
0
2
4
6
8
10
Time(s)

Figure 3/7

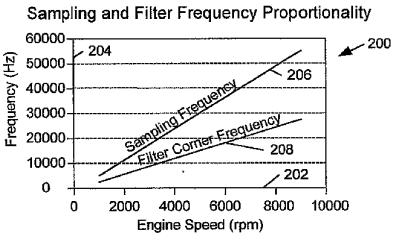


Figure 4/7

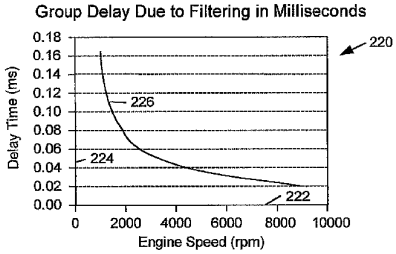


Figure 5/7

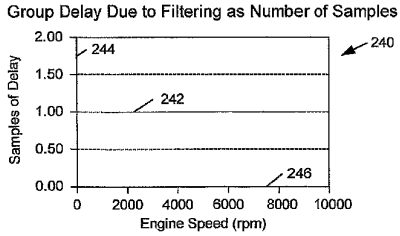


Figure 6/7

Digital Frequency Multiplier

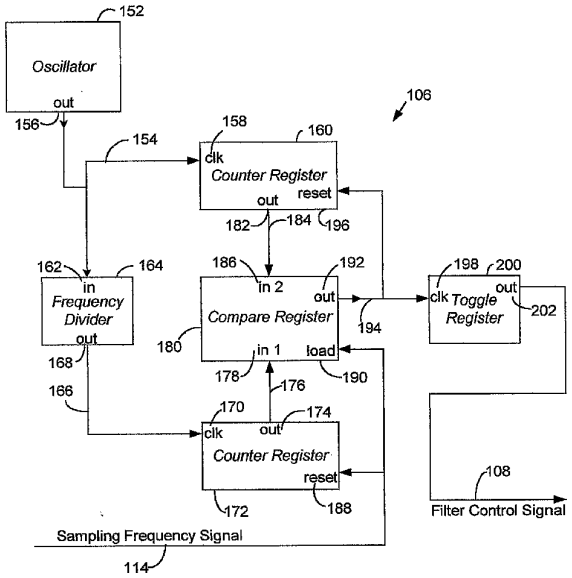


Figure 7/7

【手続補正書】
【提出日】平成15年6月17日(2003.6.17)
【手続補正１】
【補正対象書類名】明細書
【補正対象項目名】特許請求の範囲
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
データ収集ユニットにおける、自己同調形フィルタにおいて、
ディジタルクロック信号と、
前記ディジタルクロック信号に結合された入力であって、ディジタルクロック信号が所定の状態に変化する時に、入力に入る値を読み取る該入力と、
前記ディジタルクロック信号に結合されたクロック同調可能フィルタであって、これによって、クロック同調可能フィルタの周波数が、ディジタルクロック信号が動作するサンプリング周波数に関連して調整される、クロック同調可能フィルタと、
を含む自己同調形フィルタ。
【請求項２】
クロック同調可能フィルタが、低域フィルタである、請求項１に記載の自己同調形フィルタ。
【請求項３】
前記ディジタルクロック信号および前記クロック同調可能フィルタに結合された周波数逓倍器であって、これによって、クロック同調可能フィルタの周波数が、サンプリング周波数の倍数になる、周波数逓倍器をさらに含む、請求項１に記載の自己同調形フィルタ。
【請求項４】
周波数逓倍器が、位相ロックループである、請求項３に記載の自己同調形フィルタ。
【請求項５】
入力が、データ収集デバイスの入力である、請求項１に記載の自己同調形フィルタ。
【請求項６】
ディジタルクロック信号が動作するサンプリング周波数が、ディジタルクロック信号が所定の状態に変化する周波数と等しい、請求項１に記載の自己同調形フィルタ。
【請求項７】
入力に入る値が、センサから発する信号である、請求項１に記載の自己同調形フィルタ。
【請求項８】
センサが、圧力センサである、請求項７に記載の自己同調形フィルタ。
【請求項９】
サンプリング周波数が、変化する、請求項１に記載の自己同調形フィルタ。
【請求項１０】
サンプリング周波数が、シャフトの回転の度数の関数として変化する、請求項９に記載の自己同調形フィルタ。
【請求項１１】
データ収集ユニットにおける、自己同調形フィルタにおいて、
ディジタルクロック信号と、
前記ディジタルクロック信号に結合された入力であって、ディジタルクロック信号が所定の状態に変化する時に該入力に入る値を読み取り、ディジタルクロック信号が、可変レートで所定の状態に変化する、該入力と、
前記ディジタルクロック信号に結合された位相ロックループと、
前記位相ロックループに結合されたクロック同調可能フィルタであって、これによって、クロック同調可能フィルタの周波数が、ディジタルクロック信号が所定の状態に変化するサンプリング周波数の倍数になる、クロック同調可能フィルタと

を含む自己同調形フィルタ。
【請求項１２】
クロック同調可能フィルタの周波数を制御する方法であって、
ディジタルクロック信号が状態を変更する周波数を検知するステップであって、これによって、前記ディジタルクロック信号が、ディジタルクロック信号が所定の状態に変化する時に、該入力に入力に入る値を読み取らせる、ステップと、
ディジタルクロック信号が状態を変更する周波数に関連してクロック同調可能フィルタの周波数を調整するステップと
を含む方法。
【請求項１３】
所望のフィルタ周波数を得るために、ディジタルクロック信号の周波数を逓倍するステップ
をさらに含み、前記調整するステップが、クロック同調可能フィルタの周波数を、所望のフィルタ周波数と等しくなるように調整するステップを含む
請求項１２に記載の方法。
【請求項１４】
ディジタルクロック信号が、可変レートで状態を変更する、請求項１２に記載の方法。
【手続補正２】
【補正対象書類名】明細書
【補正対象項目名】００１９
【補正方法】変更
【補正の内容】
【００１９】
ここで、本発明を制限するためではなく、本発明の好ましい実施形態を示すために図面を参照すると、図１に、データ収集応用例１００に適用される本発明の自己同調形フィルタ１０１が示されている。自己同調形フィルタ１００には、周波数マッチング回路１０６およびクロック同調可能フィルタ１０４が含まれる。
【手続補正３】
【補正対象書類名】明細書
【補正対象項目名】００２０
【補正方法】変更
【補正の内容】
【００２０】
図１に示されたデータ収集応用例に適用される自己同調形フィルタ１０１は、入力信号１０２およびデータ収集デバイス１１２に結合される。入力信号１０２は、クロック同調可能フィルタ１０４の信号入力端子（Ｓｉｇ）１２０に結合される。周波数マッチング回路１０６は、フィルタ制御信号１０８をクロック同調可能フィルタ１０４に供給する。フィルタ制御信号１０８は、クロック同調可能フィルタ１０４の動作周波数端子（Ｃｏｎ）１２２に結合される。フィルタリングされた信号１１０が、クロック同調可能フィルタ１０４の出力端子（Ｏｕｔ）１２３に入る。フィルタリングされた信号１１０は、データ収集デバイス１１２の入力（図示せず）に結合される。フィルタリングされた信号は、データ収集デバイス１１２によって読み取られ、たとえばフィルタリングされた信号のログ記録またはフィルタリングされた信号１１０に応答する出力デバイス（図示せず）の操作を含む複数の目的のいずれかを満たすことができる。サンプリング周波数信号１１４は、この例ではデータ収集デバイス１１２によって生成され、周波数マッチング回路１０６に結合される。
【手続補正４】
【補正対象書類名】明細書
【補正対象項目名】００２５
【補正方法】変更

【補正の内容】
【００２５】
図２は、本発明の実施形態でのさまざまなエンジン速度でのエンジンエンコーダ出力１５４と周波数マッチング回路出力１５６を示すグラフの組２７０である。エンジン速度グラフ１５２に、１０秒の期間で１０００ｒｐｍから９０００ｒｐｍまで加速するエンジンを示す。
【手続補正５】
【補正対象書類名】明細書
【補正対象項目名】００２６
【補正方法】変更
【補正の内容】
【００２６】
エンジンエンコーダパルストレイングラフ１５４に、エンジン速度グラフの２秒の点に対応する通常のエンジンエンコーダパルストレイン、エンジン速度グラフの４秒の点に対応するエンジンエンコーダパルストレイン、およびエンジン速度グラフの６秒の点に対応するエンジンエンコーダパルストレインを示す。２秒の点に対応するエンジンエンコーダパルストレインが、１５８に示され、４秒の点に対応するエンジンエンコーダパルストレインが、１６０に示され、６秒の点に対応するエンジンエンコーダパルストレインが、１６２に示され、これらの図は、原寸通りではない。この例で使用されるエンジンエンコーダ１２４の１つの形は、エンジン回転の１度ごとにパルスを供給する。他のエンジンエンコーダ１２４は、たとえば、回転の０．５度ごとに１つのパルス、または回転の１０度ごとに１つのパルスを供給することができる。したがって、エンジンエンコーダ１２４が、回転の１度ごとに単一のパルスを供給するこの例では、エンジンの１回転ごとに、エンジンエンコーダ１２４によって合計３６０個のパルスが作られる。エンジンエンコーダパルストレイン出力は、所与のエンジン速度のパルストレイン出力を判定できるように、エンジン速度から計算することができる。したがって、ｒｐｍ単位のエンジン速度を６０秒毎分で割って、エンジン速度毎秒が得られる。エンジン速度毎秒に、エンコーダパルス数毎回転（この例では３６０パルス毎回転）をかけて、サイクル毎秒またはヘルツ単位のエンジンエンコーダパルストレインを得ることができる。回転の１度ごとに１つのパルスを供給するエンジンエンコーダのエンジンエンコーダパルストレインは、ｒｐｍ単位のエンジン速度の３６０／６０倍または６倍と等しい。
【手続補正６】
【補正対象書類名】明細書
【補正対象項目名】００２７
【補正方法】変更
【補正の内容】
【００２７】
その式を使用すると、エンジン速度グラフ１５２の２秒マークすなわち、エンジンが１５００ｒｐｍで動作している時のエンジンエンコーダパルストレイン出力は、９０００Ｈｚと等しい。エンジン速度グラフ１５２の４秒マークすなわち、エンジンが６０００ｒｐｍで動作している時のエンジンエンコーダパルストレイン出力は、３６０００Ｈｚと等しく、エンジン速度グラフ１５２の６秒マークすなわち、エンジンが８５００ｒｐｍで動作している時のエンジンエンコーダパルストレイン出力は、５１０００Ｈｚと等しい。
【手続補正７】
【補正対象書類名】明細書
【補正対象項目名】００２８
【補正方法】変更
【補正の内容】
【００２８】
周波数マッチング回路パルストレイングラフ１５６に、エンジン速度グラフの２秒の点に

対応する周波数マッチング回路の実施形態のパルストレイン出力、エンジン速度グラフの４秒の点に対応するパルストレイン出力、およびエンジン速度グラフの６秒の点に対応するパルストレイン出力を示す。２秒の周波数マッチング回路パルストレインが、１６４に示され、４秒の周波数マッチング回路パルストレインが、１６６に示され、６秒の周波数マッチング回路パルストレインが、１６８に示され、これらの図は、原寸通りではない。この例で使用される周波数マッチング回路１０６の形では、エンジンエンコーダパルスごとに５６パルス、またはエンジンエンコーダの５６倍の周波数が供給される。他の進倍器も、望み通りに周波数マッチング回路を介して使用することができる。たとえば、さまざまな逓倍器を使用して、使用されるフィルタまたは他のハードウェアに一致させることができる。したがって、周波数マッチング回路１０６がエンジンエンコーダパルスごとに５６パルスを供給する、この例では、エンジンエンコーダパルストレインが９０００Ｈｚまたは９ｋＨｚである２秒の点で、周波数マッチング回路１０６によって出力されるパルストレインが、５６かける９ｋＨｚまたは５０４ｋＨｚである。エンジンエンコーダパルストレインが３６ｋＨｚである４秒の点では、周波数マッチング回路１０６によって出力されるパルストレインが、５６かける３６ｋＨｚまたは２０１６ｋＨｚであり、エンジンエンコーダパルストレインが５１ｋＨｚである６秒の点では、周波数マッチング回路１０６によって出力されるパルストレインが、５６かける５１ｋＨｚまたは２８５６ｋＨｚである。

【手続補正８】
【補正対象書類名】明細書
【補正対象項目名】００３０
【補正方法】変更
【補正の内容】
【００３０】
図３は、サンプリング周波数対フィルタコーナー周波数の比を２に近い定数に維持し、これによって、期待されるサンプリング周波数の範囲にわたってサンプリング周波数のほぼ半分と等しいフィルタコーナー周波数を達成する、時間に対する周波数比の安定度を示すグラフ１８０である。図示の実施形態では、フィルタ制御信号周波数対フィルタコーナー周波数の比が、１８２に示されているように、１００である。フィルタコーナー信号周波数は、フィルタコーナー周波数の１００倍である。というのは、フィルタ制御信号周波数が、クロック同調可能フィルタ１０４に入力され、したがって、１００のクロック対遮断周波数比で割られて、コーナー周波数になるからである。フィルタ制御信号周波数対サンプリング周波数の比は、１８４に示されているように、５６である。フィルタ制御周波数対サンプリング周波数の比が達成されるのは、周波数マッチング回路１０６が、サンプリング周波数１１４に５６をかけ、その周波数をフィルタ制御信号１０８として出力するからである。したがって、サンプリング周波数対フィルタコーナー周波数の比は、フィルタ制御信号周波数対フィルタコーナー周波数の比を、フィルタ制御信号周波数対サンプリング周波数の比で割ったものと等しい。したがって、この実施形態では、サンプリング周波数対フィルタコーナー周波数の比は、１００割る５６または、２５６に示されているように１．７９である。

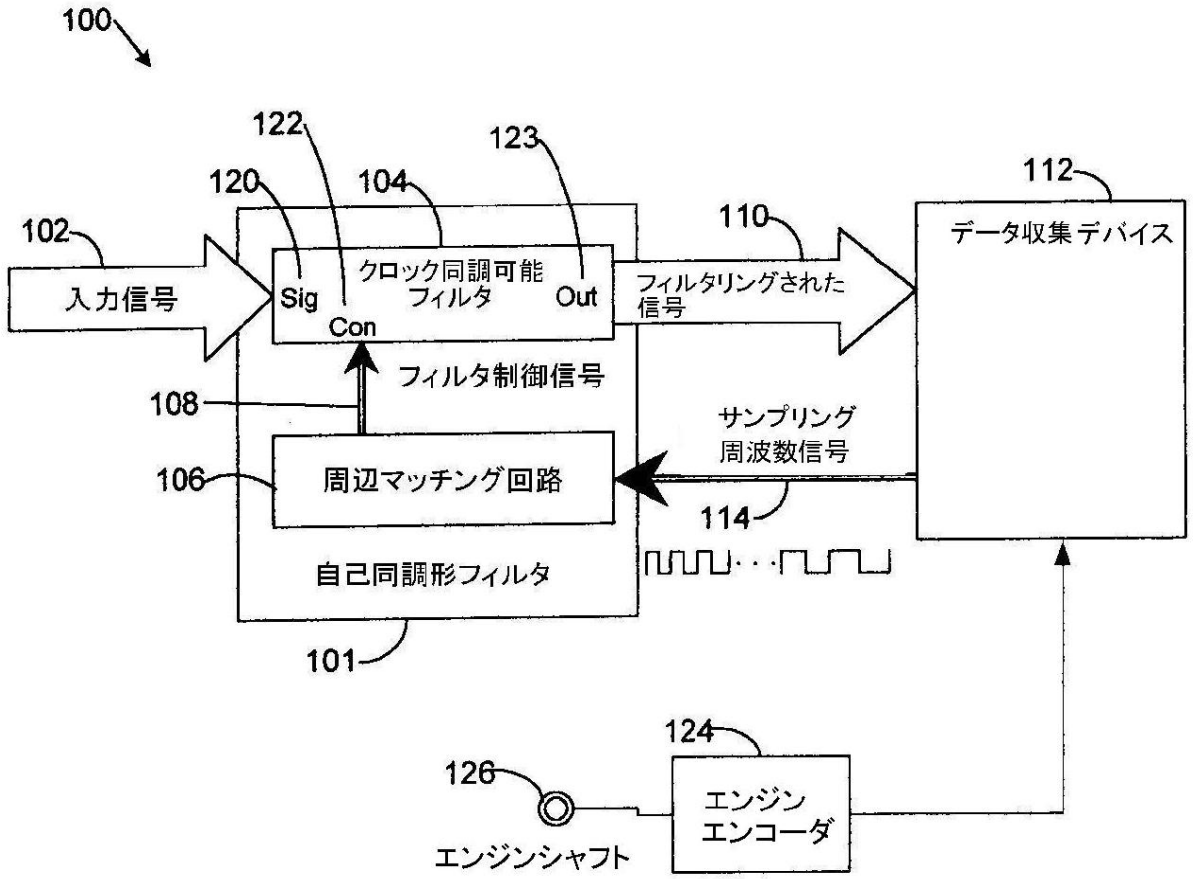
【手続補正９】
【補正対象書類名】明細書
【補正対象項目名】００３７
【補正方法】変更
【補正の内容】
【００３７】
３５．７ｋＨｚのサンプリング周波数は、１．７９かける２０ｋＨｚのコーナー周波数と等しい。したがって、約２の、サンプリング周波数対フィルタコーナー周波数の理想的な比も達成される。この１０００ｒｐｍから９０００ｒｐｍまでのエンジン速度にわたるサンプリング周波数対フィルタコーナー周波数の定位性を、図４に示す。図４のサンプリン

グ周波数およびフィルタ周波数の定位性グラフ２００には、垂直軸２０４にＨｚ単位の周波数、水平軸２０２にｒｐｍ単位のエンジン速度、さまざまなエンジン速度でのサンプリング周波数２０６、およびさまざまなエンジン速度でのフィルタコーナー周波数３０８が示されている。
【手続補正１０】
【補正対象書類名】明細書
【補正対象項目名】００３８
【補正方法】変更
【補正の内容】
【００３８】
図５に、この実施形態でのさまざまなエンジン速度でのクロック同調可能フィルタの群遅延またはフィルタ遅延を示す。群遅延またはフィルタ遅延が、群遅延グラフ２２０の２２６に示され、このグラフは、ミリ秒単位の遅延時間を示された垂直軸２２４と、エンジン速度ｒｐｍ単位で示された水平軸２２２を有する。
【手続補正１１】
【補正対象書類名】明細書
【補正対象項目名】００３９
【補正方法】変更
【補正の内容】
【００３９】
図６は、自己同調形フィルタ１０１に起因する、サンプルがデータ収集デバイス１１２に達する際の遅延時間が、すべてのエンジン速度で１サンプルと等しいことを示すグラフ２４０である。自己同調形フィルタ１０１に起因する群遅延は、水平軸２４６に示されたさまざまなエンジン速度で、垂直軸２４４に示された線２４２によって示され、遅延の１サンプルと等しい。したがって、可変サンプリングレートを有するシステムで一定のフィルタ遅延を達成するというもう１つの目標も、達成される。
【手続補正１２】
【補正対象書類名】明細書
【補正対象項目名】００４０
【補正方法】変更
【補正の内容】
【００４０】
図７に、本発明のもう１つの実施形態の周波数マッチング回路１０６に含まれるディジタル周波数逓倍器２５０を示す。前に説明したディジタル周波数逓倍器２５０は、サンプリング周波数を５６倍逓倍するが、図７に関して説明するディジタル周波数逓倍器２５０は、サンプリング周波数を１０倍逓倍することに留意されたい。これらおよび他の逓倍器を、本発明のさまざまな実施形態と共に使用することができる。
【手続補正１３】
【補正対象書類名】明細書
【補正対象項目名】００４１
【補正方法】変更
【補正の内容】
【００４１】
１０００Ｈｚでの現在の例の持続時間について動作するサンプリング周波数１１４と共に動作する際に、第１カウンタレジスタ２６０は、１ＭＨｚで動作する発振器クロック信号２５４でのロウからハイへの推移をカウントする。第２カウンタレジスタ２７２は、第２カウンタレジスタ２７２がサンプリング周波数１１４のロウからハイへの推移によってリセットされるまで、１００ｋＨｚで動作しているスケーリングされた発振器信号２６６でのロウからハイへの推移をカウントする。現在の例では、比較レジスタ２８０が、その入力端子（ｉｎ１）２７８で１００の値を有する。この１００の値は、サンプリング周波数

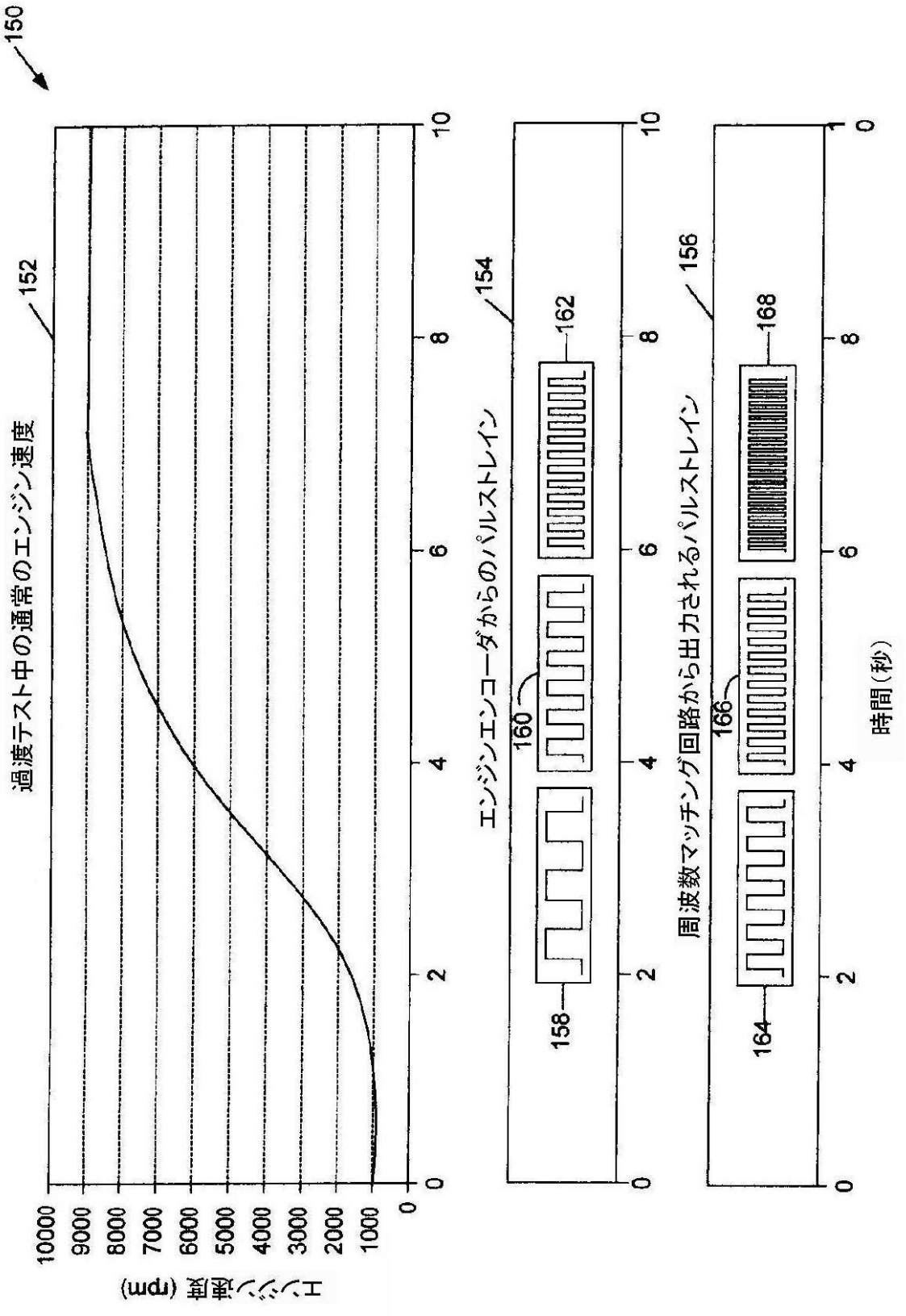
信号１１４のロウからハイへの個々の推移の間の第２カウンタレジスタ２７２のクロック端子（ｃｌｋ）２７０で受け取られたロウからハイへの推移の数すなわち、１００ｋＨｚ割る１０００Ｈｚまたは１００のカウントと等しい。比較レジスタ２８０は、さらに、その入力（ｉｎ２）２８６で第１カウンタレジスタ２６０から受け取るカウントが入力端子（ｉｎ１）２７８の値と等しくなるたびに、その出力をロウからハイに推移させる。したがって、比較レジスタ出力（ｏｕｔ）２９２は、この例では、入力（ｉｎ２）２８６が１００に達するたびに推移する。第１カウンタレジスタ２６０のクロック端子（ｃｌｋ）２５８に供給される信号２５４の周波数は、第２カウンタレジスタ２７２のクロック端子（ｃｌｋ）２７０に供給される信号２６６の周波数より１０倍高いので、比較レジスタ出力（ｏｕｔ）２９２は、サンプリング周波数信号１１４の推移ごとに１０回推移する。比較レジスタ出力（ｏｕｔ）２９２が推移する時に、比較レジスタ２８０の出力信号２９４によって、第１カウンタレジスタ２６０がリセットされ、トグルレジスタ３００がトリガされる。トグルレジスタ３００は、サンプリング周波数信号１１４の周波数より１０倍高い周波数で動作するフィルタ制御信号１０８を供給する。発振器クロック信号２５４を所望の倍数で割る周波数分周器２６４を選択することによって、クロック同調可能フィルタ１０４に供給されるフィルタ制御信号１０８を、サンプリング周波数１１４の任意の所望の倍数にすることができる周波数で動作するように設定できることを了解されたい。

【手続補正１４】
【補正対象書類名】図面
【補正対象項目名】全図
【補正方法】変更
【補正の内容】

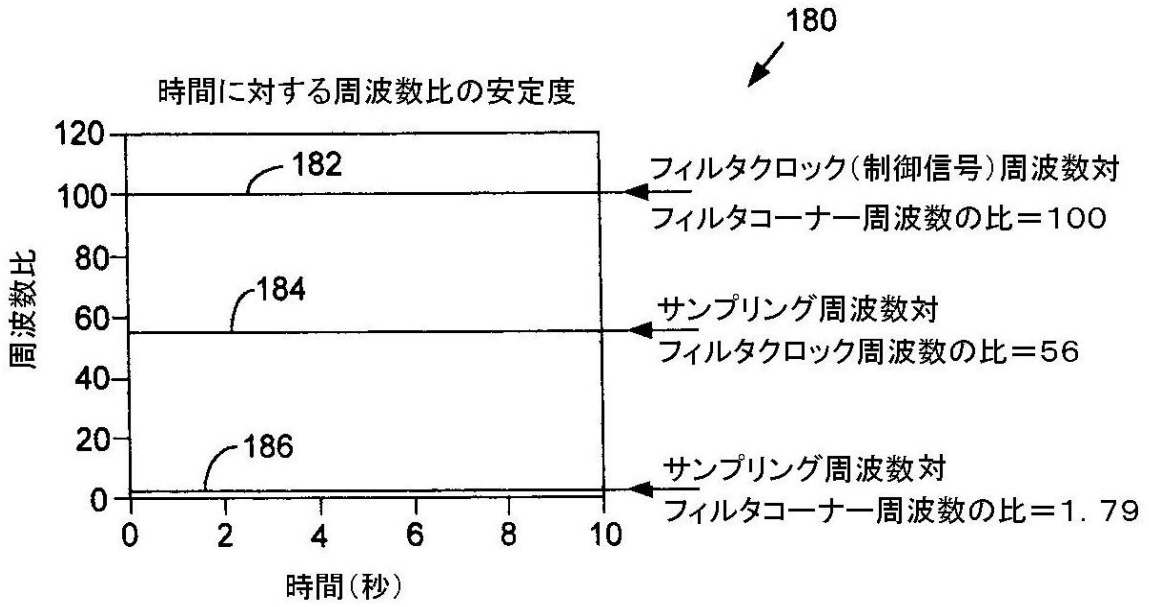
【図１】


100
122
123
120
104
112
102
110
データ収集デバイス
入力信号
Sig
クロック同調可能
フィルタ
Out
フィルタリングされた
信号
Con
フィルタ制御信号
108
サンプリング
周波数信号
106
周辺マッチング回路
114
自己同調形フィルタ
101
124
126
エンジン
エンコーダ
エンジンシャフト

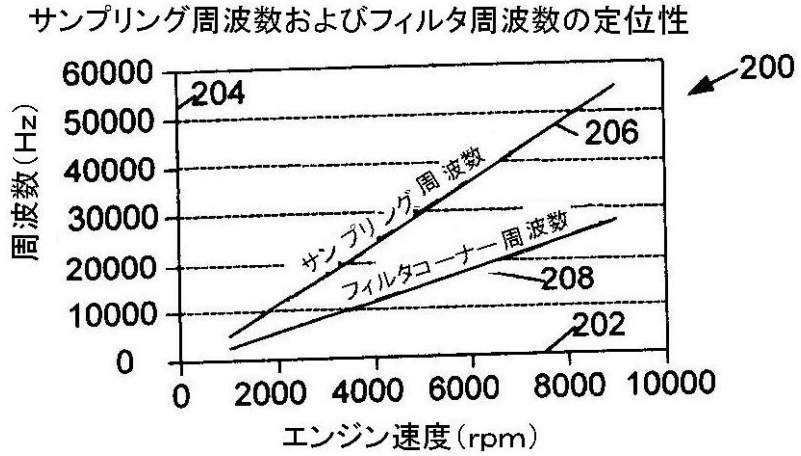
【図２】


150
過渡テスト中の通常のエンジン速度
152
エンジン速度 (rpm)
10000
9000
8000
7000
6000
5000
4000
3000
2000
1000
0
0
2
4
6
8
10
エンジンエンコーダからのパルストレイン
154
158
160
162
周波数マッチング回路から出力されるパルストレイン
156
164
166
168
時間(秒)

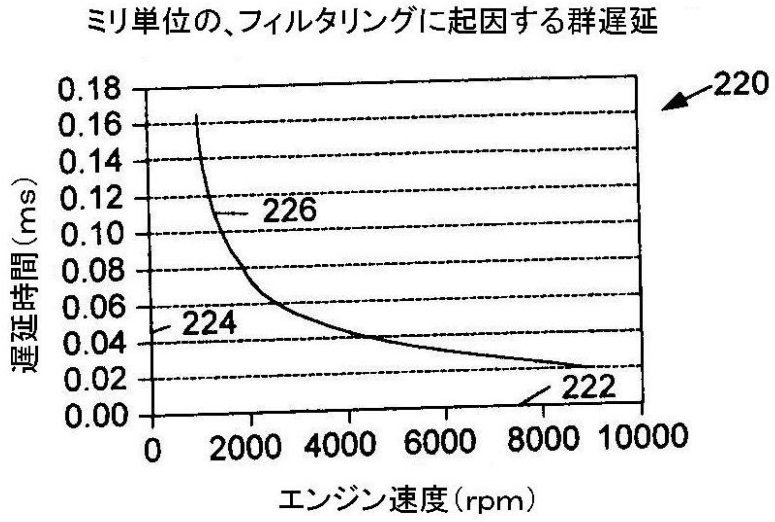
【図３】


180
時間に対する周波数比の安定度
120
100
80
60
40
20
0
周波数比
182
184
186
0
2
4
6
8
10
時間（秒）
フィルタクロック（制御信号）周波数対
フィルタコーナー周波数の比＝100
サンプリング周波数対
フィルタクロック周波数の比＝56
サンプリング周波数対
フィルタコーナー周波数の比＝1．79

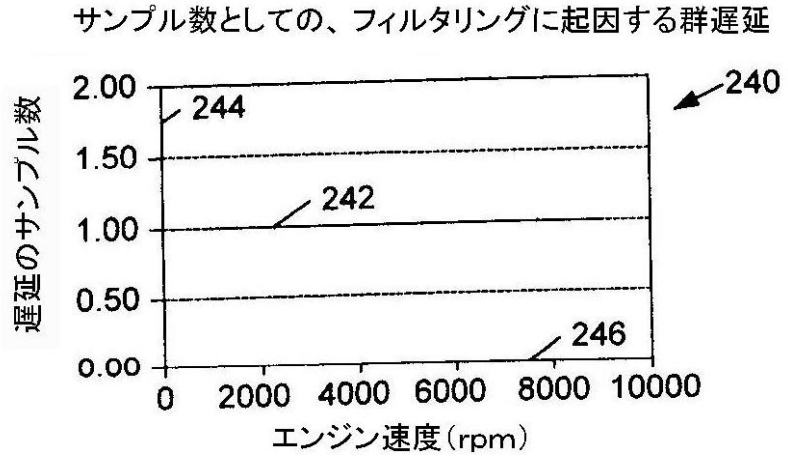
【図４】


サンプリング周波数およびフィルタ周波数の定位性
200
60000
50000
40000
30000
20000
10000
0
周波数（Hz）
204
206
208
202
サンプリング周波数
フィルタコーナー周波数
0
2000
4000
6000
8000
10000
エンジン速度（rpm）

【図５】

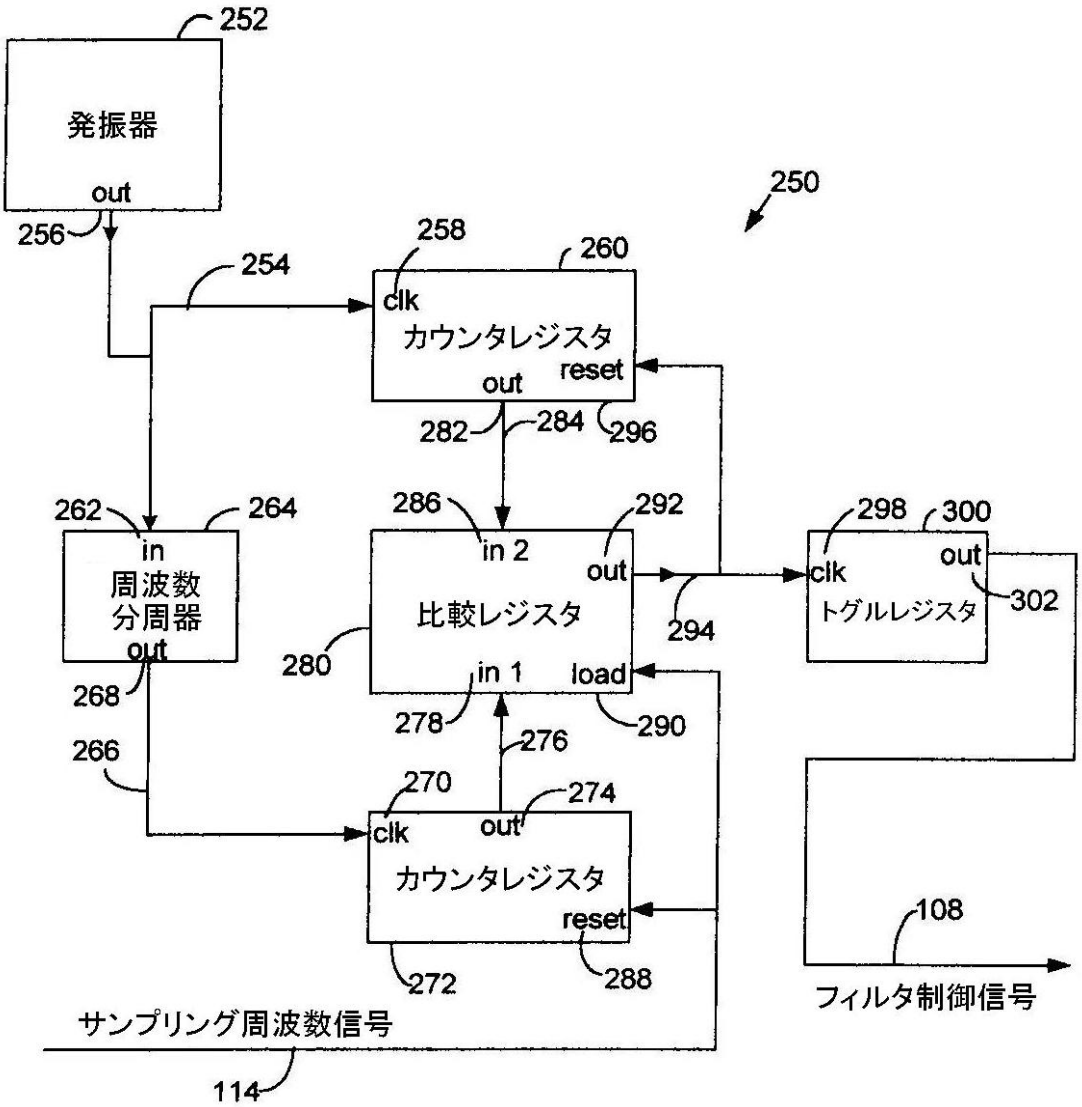

ミリ単位の、フィルタリングに起因する群遅延
220
0.18
0.16
0.14
0.12
0.10
0.08
0.06
0.04
0.02
0.00
遅延時間（ms）
226
224
222
0
2000
4000
6000
8000
10000
エンジン速度（rpm）

【図６】


サンプル数としての、フィルタリングに起因する群遅延
240
2.00
1.50
1.00
0.50
0.00
遅延のサンプル数
244
242
246
0
2000
4000
6000
8000
10000
エンジン速度（rpm）

【図７】

ディジタル周波数逓倍器



【国際調査報告】

INTERNATIONAL SEARCH REPORT

Ir nal Application No
PCT/US 02/06288

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H03M1/12

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 7 H03M F03D H03H

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)
EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 0 952 335 A (FORD GLOBAL TECH INC) 27 October 1999 (1999-10-27) figure 6 column 4, line 19-31,36-38,47,48	1-14
X	US 4 763 207 A (PODOLAK J B ET AL) 9 August 1988 (1988-08-09) abstract figures 1,2A column 4, line 7-24	1-14
X	US 5 900 830 A (SCHEFFLER ROBERT) 4 May 1999 (1999-05-04) figures 3,3A abstract column 4, line 58 -column 5, line 19 column 5, line 32 -column 6, line 12	1-14

☐ Further documents are listed in the continuation of box C. ☒ Patent family members are listed in annex.

° Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
27 June 2002	04/07/2002
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL – 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016	Authorized officer Plathner, B-D

Form PCT/ISA/210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT
Information on patent family members

Int al Application No
PCT/US 02/06288

Patent document cited in search report		Publication date	Patent family member(s)		Publication date
EP 0952335	A	27-10-1999	US	6073713 A	13-06-2000
			EP	0952335 A1	27-10-1999
US 4763207	A	09-08-1988	EP	0349664 A1	10-01-1990
US 5900830	A	04-05-1999	US	5418654 A	23-05-1995
			US	5041921 A	20-08-1991
			US	6263154 B1	17-07-2001
			CA	1327395 A1	01-03-1994
			DE	3800065 A1	24-11-1988
			FR	2611299 A1	26-08-1988
			GB	2199984 A ,B	20-07-1988
			JP	3072488 B2	31-07-2000
			JP	63261589 A	28-10-1988
			US	5021893 A	04-06-1991
			US	5502601 A	26-03-1996
			US	5233477 A	03-08-1993
			US	5365381 A	15-11-1994

Form PCT/ISA/210 (patent family annex) (July 1992)

フロントページの続き

(81)指定国 AP(GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,CH,CY,DE,DK,ES,FI,FR,GB,GR,IE,IT,LU,MC,NL,PT,SE,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,MW,MX,MZ,NO,NZ,OM,PH,PL,PT,RO,RU,SD,SE,SG,SI,SK,SL,TJ,TM,TN,TR,TT,TZ,UA,UG,UZ,VN,YU,ZA,ZM,ZW

(74)代理人 100096013
弁理士 富田 博行
(74)代理人 100084283
弁理士 秋元 芳雄
(72)発明者 ダグラス, ロバート
イギリス国ビーティー４２ １アールエヌ バリメナ, ザ・パドック・オールド・パーク・ロード １８
(72)発明者 マカロウ, ジェフリー
イギリス国ビーティー６２ ４ビージェイ ポータダウン, ラフゴール・ロード, アッシュフィールド・マナー １２

Ｆターム(参考) 3G384 DA04 EB12 EC01 EC07 EE36 FA58Z FA79Z FA80Z