

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：94143202

※ 申請日期：94年12月7日

※ IPC 分類：G09G3/30 (2006.01)

## 一、發明名稱：(中文/英文)

用以程式化及驅動主動陣列發光元件像素的方法及系統

METHOD AND SYSTEM FOR PROGRAMMING AND DRIVING

ACTIVE MATRIX LIGHT EMITTING DEVICE PIXEL

## 二、申請人：(共1人)

姓名或名稱：(中文/英文)

加拿大商·伊格尼斯創新股份有限公司

Ignis Innovation Inc.

代表人：(中文/英文)

納森艾羅奇亞

NATHAN, AROKIA

住居所或營業所地址：(中文/英文)

加拿大安大略省滑鐵盧市卡爾派柏大道55號

55 Culpepper Drive, Waterloo, Ontario, N2L 5K8, Canada

國籍：(中文/英文)

加拿大/Canada

## 三、發明人：(共2人)

姓名：(中文/英文)

1. 納森艾羅奇亞/NATHAN, AROKIA

2. 加吉戈蘭瑞查瑞札/CHAJI, GHOLAMREZA REZA

國籍：(中文/英文)

1. 加拿大/Canada

2. 加拿大/Canada

#### 四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

加拿大；2004 年 12 月 7 日；2,490,858

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 伍、中文發明摘要：

本發明提供用於程式化及驅動主動陣列發光元件像素的方法及系統。該像素為一電壓程式化像素電路，並具有一發光元件、一驅動電晶體以及一儲存電容。該像素具有包括多個操作週期之一程式化週期以及一驅動週期。在該程式化週期中，控制該 OLED 及該驅動電晶體之間的連接電壓，因而一驅動電晶體之所需閘-源電壓被儲存於一儲存電容中。

## 陸、英文發明摘要：

Method and system for programming and driving active matrix light emitting device pixel is provided. The pixel is a voltage programmed pixel circuit, and has a light emitting device, a driving transistor and a storage capacitor. The pixel has a programming cycle having a plurality of operating cycles, and a driving cycle. During the programming cycle, the voltage of the connection between the OLED and the driving transistor is controlled so that the desired gate-source voltage of a driving transistor is stored in a storage capacitor.

柒、指定代表圖：

(一)、本案指定代表圖為：第 3 圖。

(二)、本代表圖之元件代表符號簡單說明：

20	有機發光二極體	21	儲存電容
22	儲存電容	24	驅動電晶體
26	切換電晶體	200	像素電路

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

## 玖、發明說明：

### 【發明所屬之技術領域】

本發明與一發光元件顯示有關，更特言之與用於該發光元件顯示的驅動技術有關。

### 【先前技術】

近來主動有機發光二極體（AMOLED）伴隨非晶矽（a-Si）、聚合矽、有機或其他驅動背板由於在主動陣列液晶顯示上的優點因而已變得更有吸引力。例如使用 a-Si 背板的一 AMOLED 之優點在於包括低溫裝配而可擴展使用不同基材並得以製成可彎曲顯示，且其低成本裝配可製成具有一寬廣視角的高解析顯示。

該 AMOLED 顯示包括由列與行像素構成的一陣列，該列與行之陣列中各配置一有機發光二極體（OLED）以及背板電子。由於該 OLED 為一電流驅動元件，該 AMOLED 的像素應可提撥一準確及持續的驅動電流。

第 1 圖顯示美國專利第 5,748,160 號中揭露的一像素電路。第 1 圖之像素電路包括一 OLED 10，一驅動薄膜電晶體 11、一切換 TFT 13 以及一儲存電容 14。該驅動 TFT 11 的汲極被連接至該 OLED 10。該驅動 TFT 11 之閘終端透過該切換 TFT 13 被連接至一縱行 12。被連接於該驅動 TFT 11 之閘終端及該地面間的儲存電容 14 被用於在該像素電路脫離該縱行 12 時維持該驅動 TFT 之閘終端的電壓。通過該 OLED 10 的電流重度依賴該驅動 TFT 11 的特性參

數。由於該驅動 TFT 11 特別是在偏壓下的臨界電壓係隨時間而改變，而此改變可隨各像素而不同，所導致的影像變形可能高到無法接受。

美國專利第 6,229,508 號揭露一電壓程式化像素電路，其提供一獨立於一驅動 TFT 之臨界電壓的一電流予一 OLED。在此像素中，該驅動 TFT 之閘極-源極電壓係由一程式化電壓及該驅動 TFT 之臨界電壓所組成。美國專利第 6,229,508 號的一缺點在於該像素電路需要額外電晶體且為複雜的，因而導致一產量降低、像素孔徑降低以及該顯示之壽命降低。

另一種製造較不易於受到該驅動電晶體之臨界電壓之一變化之影響的一像素電路的方法為使用電流程式化像素電路，如美國專利第 6,734,636 號所揭露之像素電路。在傳統電流程式化像素電路中，該驅動 TFT 的閘極-源極電壓依據於次一訊框中流經該 TFT 的電流而自我調整，故該 OLED 電流較不依賴該驅動 TFT 的電流-電壓特性。該電流程式化像素電路之一缺點在於與低程式化電流層級有關之一準備時間 (overhead) 將自大線路電容所導致之縱行充電時間而引發。

#### 【發明內容】

本發明之一目的在於提供一種避免或減輕既有系統之至少一缺點之一方法及系統。

依據本發明之一態樣，其提供一種程式化及驅動一顯

示系統的方法，該顯示系統包括：具有以列行配置之多個像素電路的一顯示陣列，每個像素電路具有：具有一第一終端及一第二終端的一發光元件，該發光元件的第一終端被連接至一電壓供應電極；具有一第一終端及一第二終端的一電容；具有一閘終端、一第一終端及一第二終端的一切換電晶體，該切換電晶體的閘終端被連接至一選擇線路，該切換電晶體之第二終端被連接至該電容之第一終端；以及具有一閘終端、一第一終端及一第二終端的一驅動電晶體，該驅動電晶體之閘終端被連接至該切換電晶體之第二終端以及該電容之第一終端於一第一節點(A)，該驅動電晶體之第一終端被連接至該發光元件之第二終端以及該電容之第二終端於一第二節點(B)，該驅動電晶體的第二終端被連接至一可控制電壓供應線路；一驅動器以供驅動該選擇線路、該可控制電壓供應線路及該信號線路以操作該顯示陣列；本方法包括以下步驟：在一程式化週期之一第一操作週期中，充電該第二節點至一 $(V_{REF}-V_T)$ 或 $(-V_{REF}+V_T)$ 所定義之一第一電壓，其中 $V_{REF}$ 表示一參考電壓而 $V_T$ 表示該驅動電晶體之一臨界電壓；於一第二操作週期中，充電該第一節點至 $(V_{REF}+V_P)$ 或 $(-V_{REF}+V_P)$ 所定義之一第二電壓，因而該第一及第二節點之間的電壓差被儲存於該儲存電容中，其中 $V_P$ 表示一程式化電壓；於一驅動週期中，施加該儲存電容中儲存之電壓至該驅動電晶體之閘終端。

依據本發明之一進一步態樣，其提供一種程式化及驅

動一顯示系統的方法，該顯示系統包括：具有以列行配置之多個像素電路的一顯示陣列，每個像素電路具有：具有一第一終端及一第二終端的一發光元件，該發光元件之第一終端被連接至一電壓供應電極；一第一電容及一第二電容，各具有一第一終端及一第二終端；具有一閘終端、一第一終端及一第二終端的一第一切換電晶體，該第一切換電晶體之閘終端被連接至一第一選擇電路，該第一切換電晶體之第一終端被連接至該發光元件之第二終端，該第一切換電晶體之第二終端被連接至該第一電容之第一終端；具有一閘終端、一第一終端及一第二終端的一第二切換電晶體，該第二切換電晶體之閘終端被連接至一第二選擇線路，該第二切換電晶體之第一終端被連接至一信號線路以傳輸電壓資料；具有一閘終端、一第一終端及一第二終端的一驅動電晶體，該驅動電晶體之第一終端被連接至該發光元件之第二終端於一第一節點(A)，該驅動電晶體之閘終端被連接至該第一電容於一第二節點(B)，該驅動電晶體之第二終端被連接至一可控制電壓供應線路，該第二切換電晶體之第二終端被連接至該第一電容之第二終端以及該第二電容之第一終端於一第三節點(C)；一驅動器以驅動該第一及第二選擇線路、該可控制電壓供應線路及該信號線路以操作該顯示陣列，本方法包括以下步驟：於一程式化週期之一第一操作週期中，控制該第一節點及該第二節點個別之電壓以儲存 ( $V_T+V_P$ ) 或 ( $-V_T+V_P$ ) 於該第一儲存電容中，其中  $V_T$  表示該驅動電晶體之一臨界電壓，而

VP 表示一程式化電壓；於一第二操作週期中，放電該第三節點；於一驅動週期中，施加該儲存電容中儲存之電壓至該驅動電晶體之閘終端。

依據本發明之一進一步態樣，其提供一顯示系統，包括：具有以列行配置之多個像素電路之一顯示陣列，每個像素電路具有：具有一第一終端及一第二終端之一發光元件，該發光元件之第一終端被連接至一電壓供應電極；具有一第一終端及一第二終端之一電容；具有一閘終端、一第一終端及一第二終端之一切換電晶體，該切換電晶體的閘終端被連接至一選擇線路，該切換電晶體之第一終端被連接至一信號線路以供傳輸電壓資料，該切換電晶體之第二終端被連接至該電容之第一終端；以及具有一閘終端、一第一終端及一第二終端之一驅動電晶體，該驅動電晶體之閘終端被連接至該切換電晶體之第二終端以及該電容之第一終端於一第一節點(A)，該驅動電晶體之第一終端被連接至該發光元件之第二終端以及該電容之第二終端於一第二節點(B)，該驅動電晶體之第二終端被連接至一可控制電壓供應線路；一驅動器以供驅動該選擇線路、該可控制電壓供應線路以及該信號線路以操作該顯示陣列；以及一控制器以供實施一程式化週期以及使用該驅動器於該顯示陣列之每一列實施一驅動週期；其中該程式化週期包括一第一操作週期及一第二操作週期，其中該第一操作週期及該第二操作週期被充電至  $(V_{REF}-V_T)$  或  $(-V_{REF}+V_T)$  所定義之一第一電壓，其中  $V_{REF}$  表示一參考電壓而  $V_T$  表

示該驅動電晶體之一臨界電壓，於該第二操作週期，該第一節點被充電至  $(V_{REF}+V_P)$  或  $(-V_{REF}+V_P)$  所定義之第二電壓因而該第一及第二節點間的電壓差被儲存於該儲存電容中，其中  $V_P$  表示一程式化電壓；其中於該驅動週期，該儲存電容中儲存的電壓被施加至該驅動電晶體之閘終端。

依據本發明之一更進一步態樣，其提供一顯示系統，包括：具有以列行配置之多個像素電路之一顯示陣列，每個像素電路具有：具有一第一終端及一第二終端的一發光元件，該發光元件之第一終端被連接至一電壓供應電極；一第一電容及一第二電容，各具有一第一終端及一第二終端；具有一閘終端、一第一終端及一第二終端的一第一切換電晶體。該第一切換電晶體之閘終端被連接至一第一選擇線路，該第一切換電晶體之第一終端被連接至該發光元件之第二終端，該第一切換電晶體之第二終端被連接至該第一電晶體之第一終端；具有一閘終端、一第一終端及一第二終端的一第二切換電晶體，該第二切換電晶體之閘終端被連接至一第二選擇線路，該第二切換電晶體之第一終端被連接至一信號線路以供傳輸電壓資料；具有一閘終端、一第一終端及一第二終端的一驅動電晶體，該驅動電晶體之第一終端被連接至該發光元件的第二終端於一第一節點(A)，該驅動電晶體之閘終端被連接至該第一切換電晶體之第二終端以及該第一電容之第一終端於一第二節點(B)，該驅動電晶體之第二終端被連接至一可控制電壓供應

線路；該第二切換電晶體之第二終端被連接至該第一電容之第二終端以及該第二電容之第一終端於一第三節點(C)；一驅動器以供驅動該第一及第二選擇線路、該可控制電壓供應線路以及該信號線路以操作該顯示陣列；以及一控制器以實施一程式化週期以及使用該驅動器於該顯示陣列之每一列實施一驅動週期；其中該程式化週期包括一第一操作週期及一第二操作週期，其中於該第一操作週期中，控制該第一節點及該第二節各自之電壓以儲存 $(VT+VP)$ 或 $(-VT+VP)$ 於該第一儲存電容中，其中 $VT$ 表示該驅動電晶體之一臨界電壓， $VP$ 表示一程式化電壓，於該第二操作週期中，放電該第三節點，其中於該驅動週期中，該儲存電容中儲存的電壓被施加至該驅動電晶體之間終端。

此發明內容並不必然描述本發明之所有特徵。

本發明之其他態樣及特徵將藉由詳閱較佳實施例之詳細說明伴隨該附加圖示而為習知技藝人士所明瞭。

#### 【實施方式】

此處使用具有一有機發光二極體(OLED)及一驅動薄膜電晶體(TFT)之一像素說明本發明之實施例。然而該像素可包括除了OLED之外的任何發光元件且該像素可包括除了TFT之外的任何驅動電晶體。應注意在描述中“像素電路”及“像素”可互換使用。

第2圖為說明依據本發明之一實施例之程式化及驅動

週期的一圖示。在第 2 圖中 ROW(j)、ROW(j+1) 以及 ROW(j+2) 各自表示該顯示陣列的一列，其中多個像素電路以列行配置。

用於一訊框的程式化及驅動週期發生於次一訊框之程式化及驅動週期之後。用於該訊框位於一 ROW 之程式化及驅動週期與該相同訊框位於次一 ROW 之程式化及驅動週期重疊。如下文所述，在該程式化週期中，擷取該像素電路之時間相依參數以建立一穩定像素電路。

第 3 圖說明依據本發明之一實施例而應用程式化及驅動技術至一像素電路 200。該像素電路 200 包括一 OLED 20、一儲存電容 21、一驅動電晶體 24 以及一切換電晶體 26。該像素電路 200 為一電壓程式化像素電路。該電晶體 24 及 26 各具有一閘終端、一第一終端及一第二終端。在本說明中，該第一終端（第二終端）可為但不限於一汲極或一源極（一源極或一汲極）。

該電晶體 24 及 26 為 n 型 TFTs。然而，該電晶體 24 及 26 亦可為 p 型電晶體。如下所述，應用至該像素電路 200 的驅動技術亦可用於如第 14 圖中所示具有 p 型電晶體的一互補像素電路。可使用非晶矽、奈/微晶矽、聚合矽、有機半導體技術（如有機 TFT）、N 型金氧半導體（NMOS）/P 型金氧半導體（PMOS）技術或互補金氧半導體（CMOS）技術（如金氧半場效電晶體（MOSFET））製成該電晶體 24 及 26。

該驅動電晶體 24 的第一終端被連接至一可控制電壓

供應線路 VDD。該驅動電晶體 24 的第二終端被連接至該 OLED 20 之一陽極。該驅動電晶體 24 之閘終端透過該切換電晶體 26 被連接至一信號線路 VDATA。該儲存電容 21 被連接於該驅動電晶體 24 之源極與閘終端之間。

該切換電晶體 26 的閘終端被連接至一選擇線路 SEL。該切換電晶體 26 的第一終端被連接至該信號線路 VDATA。該切換電晶體 26 的第二終端被連接至該驅動電晶體 24 的閘終端。該 OLED 20 的陰極被連接至一地面電壓供應電極。

該電晶體 24 與 26 以及該儲存電容 21 被連接於節點 A1。該電晶體 24、該 OLED 20 以及該儲存電容 21 被連接於節點 B1。

第 4 圖為說明用於程式化及驅動第 3 圖之像素電路 200 之一波形範例之一時序圖。參照第 3 及 4 圖，該像素電路 200 之操作包括具有三操作週期 X11、X12 及 X13 的一程式化週期以及具有一操作週期 X14 的一驅動週期。

在該程式化週期中，節點 B1 被充電至該驅動電晶體 24 的負臨界電壓，而節點 A1 被充電至一程式化電壓 VP。

因此，該該驅動電晶體 24 之閘-源電壓成為：

$$VGS = VP - (-VT) = VP + VT \dots (1)$$

其中 VGS 表示該驅動電晶體 24 的閘-源電壓，而 VT 表示該驅動電晶體 24 的臨界電壓。

由於該驅動電晶體 24 位於操作飽和期中，其電流主要由其閘-源電壓所定義。因此即使該 OLED 電壓改變，由於該驅動電晶體 24 的閘-源電壓被儲存於該儲存電容 21 中，故其電流可保持固定。

在該第一操作週期 X11 中：VDD 成為一互補電壓 VCOMPB，而 VDATA 成為一高補償正電壓，且 SEL 為高。因此節點 A1 被充電至 VCOMPA 而節點 B1 被充電至 VCOMPB。

在該第二操作週期 X12 中：雖然 VDATA 成為一參考電壓 VREF，節點 B1 透過該驅動電晶體 24 被放電直到該驅動電晶體 24 關閉為止。因此，節點 B1 的電壓達到  $(VREF - VT)$ 。VDD 具有一正電壓 VH 以增加此週期 X12 的速度。為了最佳設置時間，可設置 VH 等於該驅動週期中 VDD 上之電壓的操作電壓。

在該第三操作週期 X13 中：VDD 成為其操作電壓。當 SEL 為高時，節點 A1 被充電至  $(VP + VREF)$ 。由於該 OLED 20 的電容 22 很大，節點 B1 的電壓維持於該先前週期 X12 所建立之電壓。故節點 B1 的電壓為  $(VREF - VT)$ 。因此，該驅動電晶體 24 的閘-源電壓為  $(VP + VT)$ ，而此閘-源電壓被儲存於該儲存電容 21 中。

在該第四操作週期 X14 中：SEL 及 VDATA 成為 0。VDD 的值與該第三操作週期 X13 中的數值相同。然而，VDD 可高於該第三操作週期 X13 中的數值。儲存於該儲存電容 21 中的電壓可被用於該驅動電晶體 24 之閘終端。由

於該驅動電晶體 24 的閘-源電壓包括其臨界電壓且亦獨立於該 OLED 電壓，故該 OLED 20 的壓降 (degradation) 以及該驅動電晶體 24 的不穩定性並不會影響流經該驅動電晶體 24 及該 OLED 20 的電流量。

應注意可利用不同的 VCOMPB、VCOMPA、VP、VREF 及 VH 數值操作該像素電路 200。VCOMPB、VCOMPA、VP、VREF 及 VH 定義該像素電路 200 的壽命。因此可依據該像素規格定義這些電壓。

第 5 圖說明第 3 及 4 圖中說明之像素電路及波形的一壽命測試結果。在該測試中，一裝配的像素電路長時間地被至於該操作下，同時監控該驅動電晶體 (第 3 圖之 24) 的電流以評估該驅動方案的穩定性。該結果說明 OLED 電流在 120 小時操作之後是穩定的。該驅動電晶體的 VT 偏移為 0.7V。

第 6 圖說明具有第 3 圖之像素電路 200 的一顯示系統。第 6 圖之 VDD1 及 VDD2 對應第 3 圖之 VDD。第 6 圖之 SEL1 及 SEL2 對應第 3 圖之 SEL。第 6 圖之 VDATA1 及 VDATA2 對應第 3 圖之 VDATA。第 6 圖之陣列為具有多個第 3 圖之像素電路 200 的一主動陣列發光二極體 (AMOLED) 顯示。該像素電路係以列行及互連 41、42 及 43 (VDATA、SEL1、VDD1) 加以配置。VDATA1 (或 VDATA2) 被共用於該共同行像素之間，而 SEL1 (或 SEL2) 及 VDD1 (或 VDD2) 被共用於該陣列結構之共同列像素之間。

提供一驅動器 300 以驅動 VDATA1 及 VDATA2。提供一驅動器 302 以驅動 VDD1、VDD2、SEL1 及 SEL2，然而用於 VDD 及 SEL 線路之驅動器可分別加以實施。一控制器 304 控制該驅動器 300 及 302 以如前述程式化及驅動該像素電路。第 2 圖中顯示用於程式化及驅動第 6 圖之顯示陣列的時序圖。每個程式化及驅動週期可與第 4 圖中所示相同。

第 7(a)圖說明具有被配置之頂部發光像素之陣列結構的一範例。第 7(b)圖說明具有被配置之底部發光像素之陣列結構的一範例。第 6 圖之陣列可具有顯示於第 7(a)或 7(b)圖中的陣列結構。在第 7(a)圖中，400 表示一基材，402 表示一像素接觸窗，403 表示一（頂部發光）像素電路，而 404 表示該 OLEDs 上的一透明頂部電極。在第 7(b)圖中，410 表示一透明基材，411 表示一（底部發光）像素電路，而 412 表示一頂部電極。包括該 TFTs、該儲存電容、該 SEL、VDATA 以及 VDD 線路的所有像素電路被裝配在一起。之後，對所有像素電路裝配該 OLEDs。使用介電孔（via）（如第 3 圖之 B1）將該 OLED 連接至對應的驅動電晶體，如第 7(a)及 7(b)圖所示。藉由沈積該 OLEDs 上可為一連續層的頂部電極而完成該面板，因而減低該設計複雜度且可被用於開啟/關閉該完整顯示或控制該亮度。

第 8 圖說明依據本發明之一進一步實施例而應用程式化及驅動技術於一像素電路 202。該像素電路 202 包括一 OLED 50、兩儲存電容 52 及 53、一驅動電晶體 54 以及切

換電晶體 56 及 58。該像素電路 202 為一頂部發光的電壓程式化像素電路。此實施例主要以類似於第 3 圖中所示之方式運作。然而在該像素電路 202 中，該 OLED 50 被連接至該驅動電晶體 54 之閘終端。因此，該電路可被連接至該 OLED 之陰極。故可以陰極開始該 OLED 沈積。

該電晶體 54、56 及 58 為 n 型 TFTs。然而該電晶體 54、56 及 58 亦可為 p 型電晶體。應用至該像素電路 202 的驅動技術亦可用於如第 17 圖中所示具有 p 型電晶體的一互補像素電路。可使用非晶矽、奈/微晶矽、聚合矽、有機半導體技術（例如有機 TFT）、NMOS/PMOS 技術或 CMOS 技術（如 MOSFET）製成該電晶體 54、56 及 58。

該驅動電晶體 54 的第一終端被連接至該 OLED 50 的陰極。該驅動電晶體 54 的第二終端被連接至一可控制電壓供應線路 VSS。該驅動電晶體 54 的閘終端透過該切換電晶體 56 被連接至其第一線路（終端）。該儲存電容 52 及 53 為串連，且被連接於該驅動電晶體 54 之閘終端及一共同地面之間。該電壓控制線路 VSS 上的電壓是可控制的。該共同地面可被連接至該 VSS。

該切換電晶體 56 的閘終端被連接至一第一選擇線路 SEL1。該切換電晶體 56 的第一終端被連接至該驅動電晶體 54 的汲極。該切換電晶體 56 的第二終端被連接至該驅動電晶體 54 的閘終端。

該切換電晶體 58 的閘終端被連接至一第二選擇電路 SEL2。該切換電晶體 58 的第一終端被連接至一信號線路

VDATA。該切換電晶體 58 的第二終端被連接至該儲存電容 52 及 53 的共同終端（即節點 C2）。該 OLED 50 的陽極被連接至一電壓供應電極 VDD。

該 OLED 50 及該電晶體 54 與 56 被連接於節點 A2。該儲存電容 52 及該電晶體 54 與 56 被連接於節點 B2。

第 9 圖為說明用於程式化及驅動第 8 圖之像素電路 202 之一波形範例之一時序圖。參照第 8 及 9 圖，該像素電路 202 的操作包括具有四操作週期 X21、X22、X23 及 X24 之一程式化週期以及具有一操作週期 X25 之一驅動週期。

在該程式化週期中，一程式化電壓加上該驅動電晶體 54 的臨界電壓被儲存於該儲存電容 52 中。該驅動電晶體 54 的源極成為 0，而該第二儲存電容 53 被充電至 0。

因此，該驅動電晶體 54 的閘-源電壓成為：

$$VGS = VP + VT \quad \dots(2)$$

其中 VGS 表示該驅動電晶體 54 的閘-源電壓，VP 表示該程式化電壓，而 VT 表示該驅動電晶體 54 的臨界電壓。

在該第一操作週期 X21 中：VSS 成為一高正電壓，而 VDATA 為 0。SEL1 及 SEL2 為高。因此節點 A2 及 B2 被充電為一正電壓。

在該第二操作週期 X22 中：當 SEL1 為低且該切換電晶體 56 關閉時，VDATA 成為一高正電壓。因此位於節點

B2 之電壓上升（即啟動中）且節點 A2 被充電至 VSS 之電壓。在此電壓時，該 OLED 50 為關閉的。

在該第三操作週期 X23 中：VSS 成為一參考電壓 VREF。VDATA 成為 (VREF-VP)。在此週期開始時，由於該 OLED 50 之電容 51 大於該儲存電容 52 之電容，故節點 B2 之電壓幾乎將等於節點 A2 之電壓。之後節點 B2 的電壓以及節點 A2 的電壓透過該驅動電晶體 54 被放電直到該驅動電晶體 54 關閉為止。因此，該驅動電晶體 54 的閘源電壓為 (VREF + VT)，而儲存於該儲存電容 52 中的電壓為 (VP + VT)。

在該第四操作週期 X24 中：SEL1 為低。由於 SEL2 為高，且 VDATA 為 0，故節點 C2 之電壓成為 0。

在第五操作週期 X25 中：VSS 成為其於該驅動週期中的操作電壓。在第 5 圖中，該 VSS 之操作電壓為 0。然而其亦可為除了 0 之外的其他電壓。SEL2 為低。儲存於該儲存電容 52 中的電壓被用於該驅動電晶體 54 的閘終端。因此，獨立於該驅動電晶體 54 之臨界電壓 VT 以及該 OLED 50 之電壓的一電流流過該驅動電晶體 54 及該 OLED 50。故該 OLED 50 之壓降以及該驅動電晶體 54 的不穩定性並不會影響流過該驅動電晶體 54 及該 OLED 50 之電流量。

第 10 圖說明依據本發明之一進一步實施例而應用程式化及驅動技術至一像素電路 204。該像素電路 204 包括一 OLED 60、兩儲存電容 62 及 63、一驅動電晶體 64 以及切換電晶體 66 及 68。該像素電路 204 為一頂部發光的電

壓程式化像素電路。該像素電路 204 主要以類似於第 8 圖中所示之方式運作。然而，一種共同選擇線路被用於操作該像素電路 204，其可增加該可用像素區域以及孔徑比。

該電晶體 64、66 及 68 為一 n 型 TFTs。然而該電晶體 64、66 及 68 亦可為 p 型電晶體。應用於該像素電路 204 之驅動技術亦可用於如第 19 圖中所示具有 p 型電晶體之一互補像素電路。可使用非晶矽、奈/微晶矽、聚合矽、有機半導體技術（如有機 TFT）、NMOS/PMOS 技術或 CMOS 技術（如 MOSFET）製成該電晶體 64、66 及 68。

該驅動電晶體 64 的第一終端被連接至該 OLED 60 之陰極。該驅動電晶體 64 的第二終端被連接至一可控制電壓供應線路 VSS。該驅動電晶體 64 之閘終端透過該切換電晶體 66 被連接至其第一線路（終端）。該儲存電容 62 及 63 為串連，且被連接於該驅動電晶體 64 之閘終端以及該共同地面之間。該電源供應線路 VSS 之電壓為可控制的。該共同地面可被連接至 VSS。

該切換電晶體 66 之閘終端被連接至一選擇線路 SEL。該切換電晶體 66 之第一終端被連接至該驅動電晶體 64 之第一終端。該切換電晶體 66 之第二終端被連接至該驅動電晶體 64 之閘終端。

該切換電晶體 68 之閘終端被連接至該選擇電路 SEL。該切換電晶體 68 之第一終端被連接至一信號線路 VDATA。該第二終端被連接至儲存電容 62 與 63 的共同終端（即節點 C3）。該 OLED 60 之陽極被連接至一電壓供應

電極 VDD。

該 OLED 60 及該電晶體 64 與 66 被連接於節點 A3。  
該儲存電容 62 及該電晶體 64 與 66 被連接於節點 B3。

第 11 圖說明用於程式化及驅動第 10 圖之像素電路 204 之一波形範例之一時序圖。參照第 10 及 11 圖，該像素電路 204 之操作包括具有三操作週期 X31、X32 及 X33 之一程式化週期以及具有一操作週期 X34 之一驅動週期。

在該程式化週期中，一程式化電壓加上該驅動電晶體 64 之臨界電壓被儲存於儲存電容 62 中。該驅動電晶體 64 之源極成為 0 且該儲存電容 63 被充電至 0。

因此，該驅動電晶體 64 的閘-源電壓成為：

$$V_{GS} = V_P + V_T \quad \dots(3)$$

其中  $V_{GS}$  表示該驅動電晶體 64 的閘-源電壓， $V_P$  表示該程式化電壓，而  $V_T$  表示該驅動電晶體 64 的臨界電壓。

在該第一操作週期 X31 中： $V_{SS}$  成為一高正電壓，而  $V_{DATA}$  為 0。 $SEL$  為高。因此節點 A3 及 B3 被充電為一正電壓。該 OLED 60 關閉。

在該第二操作週期 X32 中：當  $SEL$  為高時， $V_{SS}$  成為一參考電壓  $V_{REF}$ 。 $V_{DATA}$  成為  $(V_{REF} - V_P)$ 。因此，節點 B3 的電壓以及節點 A3 的電壓透過該驅動電晶體 64 被放電直到該驅動電晶體 64 關閉為止。該節點 B3 的電壓為  $(V_{REF} + V_T)$ ，而儲存於該儲存電容 62 中的電壓為  $(V_P$

+ VT)。

在該第三操作週期 X33 中：SEL 成為 VM。VM 為該切換電晶體 66 關閉以及該切換電晶體 68 開啟之間的一中間電壓。VDATA 成為 0。由於 SEL 為 VM 且 VDATA 為 0，故節點 C3 之電壓成為 0。

將 VM 定義為：

$$VT3 \ll VM < VREF + VT1 + VT2 \quad \dots (a)$$

其中 VT1 表示該驅動電晶體 64 之臨界電壓，VT2 表示該切換電晶體 66 之臨界電壓，而 VT3 表示該切換電晶體 68 之臨界電壓。

該條件 (a) 強制該切換電晶體 66 關閉而該切換電晶體 68 開啟。儲存於該儲存電容 62 中的電壓保持不變。

在該第四操作週期 X34 中：VSS 成為其於該驅動週期中的操作電壓。在第 11 圖中，VSS 之操作電壓為 0。然而該 VSS 之操作電壓可為除了 0 之外的其他電壓。儲存於該儲存電容 62 中的電壓被用於該驅動電晶體 64 之閘終端。該驅動電晶體 64 是開啟的。因此，獨立於該驅動電晶體 64 之臨界電壓 VT 以及該 OLED 60 之電壓的一電流流過該驅動電晶體 64 以及該 OLED 60。因此，該 OLED 60 之壓降以及該驅動電晶體 64 之不穩定性並不會影響流過該驅動電晶體 64 及該 OLED 60 的電流量。

第 12 圖說明依據本發明之一進一步實施例而應用程

式化及驅動技術於一像素電路 206。該像素電路 206 包括一 OLED 70、兩儲存電容 72 及 73、一驅動電晶體 74 以及切換電晶體 76 與 78。該像素電路 206 為一頂部發光的電壓可程式化像素電路。

該電晶體 74、76 及 78 為 n 型 TFTs。然而該電晶體 74、76 及 78 亦可為 p 型電晶體。應用於該像素電路 206 之驅動技術亦可用於如第 21 圖中所示具有 p 型電晶體的一互補像素電路。可使用非晶矽、柵/微晶矽、聚合矽、有機半導體技術（如有機 TFT）、NMOS/PMOS 技術或 CMOS 技術（如 MOSFET）製成該電晶體 74、76 及 78。

該驅動電晶體 74 的第一終端被連接至該 OLED 70 之陰極。該驅動電晶體 74 的第二終端被連接至一共同地面。該驅動電晶體 74 之閘終端透過該切換電晶體 76 被連接至其第一線路（終端）。該儲存電容 72 及 73 為串連，且被連接於該驅動電晶體 74 之閘終端以及該共同地面之間。

該切換電晶體 76 之閘終端被連接至一選擇線路 SEL。該切換電晶體 76 之第一終端被連接至該驅動電晶體 74 之第一終端。該切換電晶體 76 之第二終端被連接至該驅動電晶體 74 之閘終端。

該切換電晶體 78 之閘終端被連接至該選擇電路 SEL。該切換電晶體 78 之第一終端被連接至一信號線路 VDATA。該第二終端被連接至儲存電容 72 與 73 的共同終端（即節點 C4）。該 OLED 70 之陽極被連接至一電壓供應電極 VDD。該電壓電極 VDD 之電壓是可控制的。

該 OLED 70 及該電晶體 74 與 76 被連接於節點 A4。  
該儲存電容 72 及該電晶體 74 與 76 被連接於節點 B4。

第 13 圖說明用於程式化及驅動第 12 圖之像素電路 206 之一波形範例之一時序圖。參照第 12 及 13 圖，該像素電路 206 之操作包括具有四操作週期 X41、X42、X43 及 X44 之一程式化週期以及具有一操作週期 X45 之一驅動週期。

在該程式化週期中，一程式化電壓加上該驅動電晶體 74 的臨界電壓被儲存於該儲存電容 72 中。該驅動電晶體 74 的源極成為 0 而該第二儲存電容 73 被充電至 0。

因此，該驅動電晶體 74 的閘-源電壓成為：

$$V_{GS} = V_P + V_T \quad \dots(4)$$

其中  $V_{GS}$  表示該驅動電晶體 74 的閘-源電壓， $V_P$  表示該程式化電壓，而  $V_T$  表示該驅動電晶體 74 的臨界電壓。

在該第一操作週期 X41 中：SEL 為高。VDATA 成為一低電壓。當 VDD 為高時，節點 B4 及節點 A4 被充電至一正電壓。

在該第二操作週期 X42 中：SEL 為高，而於 OLED 70 關閉時 VDD 成為一參考電壓  $V_{REF}$ 。

在該第三操作週期 X43 中：VDATA 成為  $(V_{REF2} - V_P)$ ，其中  $V_{REF2}$  為一參考電壓。假設  $V_{REF2}$  為 0。然而， $V_{REF2}$  亦可為除了 0 之外的其他電壓。因此

該節點 B4 之電壓及節點 A4 之電壓於此週期開始時成為相同的。應注意該第一儲存電容 72 夠大而使其電壓具有支配性。之後節點 B4 透過該驅動電晶體 74 被放電直到該驅動電晶體 74 關閉。

因此，該節點 B4 之電壓為  $V_T$  (即該驅動電晶體 74 之臨界電壓)。儲存於該第一儲存電容 72 中的電壓為  $(V_P - V_{REF2} + V_T) = (V_P + V_T)$ ，其中  $V_{REF2} = 0$ 。

在該第四操作週期 X44 中：SEL 成為 VM，其中 VM 為該切換電晶體 76 關閉以及該切換電晶體 78 開啟之間的一中間電壓。VM 滿足以下條件：

$$V_{T3} \ll VM < V_P + V_T \quad \dots(b)$$

其中  $V_{T3}$  表示該切換電晶體 78 之臨界電壓。

VDATA 成為  $V_{REF2} (= 0)$ 。該節點 C4 之電壓成為  $V_{REF2} (= 0)$ 。

此致使該驅動電晶體 74 之閘-源電壓 VGS 為  $(V_P + V_T)$ 。由於  $VM < V_P + V_T$ ，故該切換電晶體 76 關閉，而儲存於該儲存電容 72 中的電壓保持於  $V_P + V_T$ 。

在第五操作週期 X45 中：VDD 成為該操作電壓。SEL 為低。儲存於該儲存電容 72 中的電壓被用於該驅動電晶體 74 的閘終端。因此，獨立於該驅動電晶體 74 之臨界電壓  $V_T$  以及該 OLED 70 之電壓的一電流流過該驅動電晶體 74 及該 OLED 70。故該 OLED 70 之壓降以及該驅動電晶體

74 的不穩定性並不會影響流過該驅動電晶體 74 及該 OLED 70 之電流量。

第 14 圖說明依據本發明之一實施例而應用程式化及驅動技術至一像素電路 208。該像素電路 208 包括一 OLED 80、一儲存電容 81、一驅動電晶體 84 以及一切換電晶體 86。該像素電路 208 對應第 3 圖之像素電路 200 以及一電壓程式化像素電路。

該電晶體 84 及 86 為 p 型 TFTs。可使用非晶矽、奈 / 微晶矽、聚合矽、有機半導體技術（如有機 TFT）、CMOS 技術（如 MOSFET）以及其他提供 p 型電晶體之技術製成該電晶體 84 及 86。

該驅動電晶體 84 的第一終端被連接至一可控制電壓供應線路 VSS。該驅動電晶體 84 的第二終端被連接至該 OLED 80 之一陰極。該驅動電晶體 84 之閘終端透過該切換電晶體 86 被連接至一信號線路 VDATA。該儲存電容 81 被連接於該驅動電晶體 84 之第二終端與閘終端之間。

該切換電晶體 86 的閘終端被連接至一選擇線路 SEL。該切換電晶體 86 的第一終端被連接至該信號線路 VDATA。該切換電晶體 86 的第二終端被連接至該驅動電晶體 84 的閘終端。該 OLED 80 的陽極被連接至一地面電壓供應電極。

該電晶體 84 與 86 以及該儲存電容 81 被連接於節點 A5。該 OLED 80、該儲存電容 81 以及該驅動電晶體 84 被連接於節點 B5。

第 15 圖為說明用於程式化及驅動第 14 圖之像素電路 208 之一波形範例的一時序圖。第 15 圖對應至第 4 圖。VDATA 及 VSS 被用於程式化及補償該像素電路 208 之一時間相依參數，類似於第 4 圖之 VDATA 及 VDD。參照第 15 及 16 圖，該像素電路 208 之操作包括具有三操作週期 X51、X52 及 X53 的一程式化週期以及具有一操作週期 X54 的一驅動週期。

在該程式化週期中，節點 B5 被充電至該驅動電晶體 84 的一正臨界電壓，而節點 A5 被充電至一負程式化電壓。

因此，該該驅動電晶體 84 之閘-源電壓成為：

$$VGS = -VP + (-|VT|) = -VP - |VT| \quad \dots(5)$$

其中 VGS 表示該驅動電晶體 84 的閘-源電壓，VP 表示該程式化電壓，而 VT 表示該驅動電晶體 84 的臨界電壓。

在該第一操作週期 X51 中：VAA 成為一正互補電壓 VCOMPB，而 VDATA 成為一負補償電壓 (-VCOMPA)，且 SEL 為低。因此該切換電晶體 86 開啟。節點 A5 被充電至 (-VCOMPA)。節點 B5 被充電至 VCOMPB。

在該第二操作週期 X52 中：VDATA 成為一參考電壓 VREF。節點 B5 透過該驅動電晶體 84 被放電直到該驅動電晶體 84 關閉為止。因此，節點 B5 的電壓達到  $VREF + |VT|$ 。VSS 成為一負電壓 VL 以增加此週期 X52 的速度。為了最佳設置時間，可選擇 VL 等於該驅動週期中

VSS 之電壓的操作電壓。

在該第三操作週期 X53 中：當 VSS 於該 VL 層級中，且 SEL 為低時，節點 A5 被充電至 (VREF-VP)。由於該 OLED 80 之電容 82 很大，節點 B5 之電壓維持於該驅動電晶體 84 之正臨界電壓。因此該驅動電晶體 84 之閘-源電壓為  $(-VP-|VT|)$ ，其被儲存於儲存電容 81 中。

在該第四操作週期 X54 中：SEL 及 VDATA 成為 0。VSS 成為一高負電壓（即其操作電壓）。儲存於該儲存電容 81 中的電壓可被用於該驅動電晶體 84 之閘終端。因此，獨立於該 OLED 80 之電壓以及該驅動電晶體 84 之臨界電壓的一電流流過該驅動電晶體 84 及該 OLED 80。故該 OLED 80 的壓降以及該驅動電晶體 84 的不穩定性並不會影響流經該驅動電晶體 84 及該 OLED 80 的電流量。

應注意可利用不同的 VCOMPB、VCOMPA、VL、VREF 及 VP 數值操作該像素電路 208。VCOMPB、VCOMPA、VL、VREF 及 VP 定義該像素電路 208 的壽命。因此可依據該像素規格定義這些電壓。

第 16 圖說明具有第 14 圖之像素電路 208 的一顯示系統。第 16 圖之 VSS1 及 VSS2 對應至第 14 圖之 VSS。第 16 圖之 SEL1 及 SEL2 對應至第 14 圖之 SEL。第 16 圖之 VDATA1 及 VDATA2 對應至第 14 圖之 VDATA。地 16 圖之陣列為具有多個第 14 圖之像素電路 208 的一主動矩陣發光二極體 (AMOLED) 顯示。該像素電路 208 以列行以及互連 91、92 及 93 (VDATA1、SEL2、VSS2) 加以配置。VDATA1

(或 VDATA2) 被共用於該共同行像素之間，而 SEL1 (或 SEL2) 及 VSS1 (或 VSS2) 被共用於該陣列結構之共同列像素間。

提供一驅動器 310 以驅動 VDATA1 及 VDATA2。提供一驅動器 312 已驅動 VSS1、VSS2、SEL1 及 SEL2。一控制器 314 控制該驅動器 310 及 312 以實施前述程式化及驅動週期。第 2 圖中說明用於程式化及驅動第 6 圖之顯示陣列的時序圖。每個程式化及驅動週期可與第 15 圖中所示者相同。

第 16 圖之陣列可具有第 7(a) 或 7(b) 圖中顯示之陣列結構。第 16 圖之陣列係以類似於第 6 圖之陣列的方式加以製造。包括該 TFTs、該儲存電容、該 SEL、VDATA 以及 VSS 線路的所有該像素電路被裝配在一起。之後對所有像素電路裝配該 OLEDs。使用一介電孔 (如第 14 圖之 B5) 將該 OLED 連接至對應的驅動電晶體。藉由沈積該 OLEDs 上可為一連續層的頂部電極而完成該面板，因而減低該設計複雜度且可被用於開啟/關閉該完整顯示或控制該亮度。

第 17 圖說明依據本發明之一進一步實施例而應用程式化及驅動技術於一像素電路 210。該像素電路 210 包括一 OLED 100、兩儲存電容 102 及 103、一驅動電晶體 104 以及切換電晶體 106 及 108。該像素電路 210 對應第 8 圖之像素電路 202。

該電晶體 104、106 及 108 為 p 型 TFTs。可使用非晶矽、奈/微晶矽、聚合矽、有機半導體技術 (例如有機 TFT)。

CMOS 技術（如 MOSFET）以及任何其他提供 p 型電晶體之技術製成該電晶體 104、106 及 108。

在第 17 圖中，該驅動電晶體 104 的一終端被連接至該 OLED 100 的陽極，而其他終端被連接至一可控制電壓供應線路 VDD。該儲存電容 102 及 103 為串連，且被連接於該驅動電晶體 104 之閘終端及一電壓供應電極 V2 之間。V2 亦可被連接至 VDD。該 OLED 100 之陰極被連接至一地面電壓供應電極。

該 OLED 100 及該電晶體 104 與 106 被連接於節點 A6。該儲存電容 102 及該電晶體 104 與 106 被連接於節點 B6。該電晶體 108 及該儲存電容 102 與 103 被連接於節點 C6。

第 18 圖為說明用於程式化及驅動第 17 圖之像素電路 210 之一波形範例的一時序圖。第 18 圖對應至第 9 圖。VDATA 及 VDD 被用於程式化及補償該像素電路 210 之一時間相依參數，其類似於第 9 圖之 VDATA 及 VSS。參照第 17 及 18 圖，該像素電路 210 的操作包括具有四操作週期 X61、X62、X63 及 X64 之一程式化週期以及具有一操作週期 X65 的一驅動週期。

在該程式化週期中，一負程式化電壓加上該驅動電晶體 104 的負臨界電壓被儲存於該儲存電容 102 中，而該第二儲存電容 103 被充電至 0。

因此，該驅動電晶體 104 的閘-源電壓成為：

$$VGS = -VP - |VT| \quad \dots(6)$$

其中 VGS 表示該驅動電晶體 104 的閘-源電壓，VP 表示該程式化電壓，而 VT 表示該驅動電晶體 104 的臨界電壓。

在該第一操作週期 X61 中：VSS 成為一高負電壓，而 VDATA 被設為 V2。SEL1 及 SEL2 為低。因此節點 A6 及 B6 被充電為一負電壓。

在該第二操作週期 X62 中：當 SEL1 為高且該切換電晶體 106 關閉時，VDATA 成為一負電壓。因此位於節點 B6 之電壓下降（即啟動中）且節點 A6 被充電至 VDD 之電壓。在此電壓時，該 OLED 100 為關閉的。

在該第三操作週期 X63 中：VDD 成為一參考電壓 VREF。VDATA 成為  $(V2 - VREF + VP)$ ，其中 VREF 為一參考電壓。假設 VREF 為 0。然而，VREF 亦可為除了 0 之外的其他電壓。在此週期開始時，由於該 OLED 100 之電容 101 大於該儲存電容 102 之電容，故節點 B6 之電壓幾乎將等於節點 A6 之電壓。之後節點 B6 的電壓以及節點 A6 的電壓透過該驅動電晶體 104 被充電直到該驅動電晶體 104 關閉為止。因此，該驅動電晶體 104 的閘-源電壓為  $(-VP - |VT|)$ ，其被儲存於該儲存電容 102 中。

在該第四操作週期 X64 中：SEL1 為高。由於 SEL2 為低，且 VDATA 成為 V2，故節點 C6 之電壓成為 V2。

在第五操作週期 X65 中：VDD 成為其於該驅動週期中的操作電壓。在第 18 圖中，該 VDD 之操作電壓為 0。然

而其亦可為除了 0 之外的其他電壓。SEL2 為高。儲存於該儲存電容 102 中的電壓被用於該驅動電晶體 104 的閘終端。因此，獨立於該驅動電晶體 104 之臨界電壓  $V_T$  以及該 OLED 100 之電壓的一電流流過該驅動電晶體 104 及該 OLED 100。故該 OLED 100 之壓降以及該驅動電晶體 104 的不穩定性並不會影響流過該驅動電晶體 104 及該 OLED 100 之電流量。

第 19 圖說明依據本發明之一進一步實施例而應用程式化及驅動技術至一像素電路 212。該像素電路 212 包括一 OLED 110、兩儲存電容 112 及 113、一驅動電晶體 114 以及切換電晶體 116 及 118。該像素電路 212 對應至第 10 圖之像素電路 204。

該電晶體 114、116 及 118 為一 p 型 TFTs。可使用非晶矽、奈/微晶矽、聚合矽、有機半導體技術（如有機 TFT）、CMOS 技術（如 MOSFET）或其他任何可提供 p 型電晶體的技術製成該電晶體 114、116 及 118。

在第 19 圖中，該驅動電晶體 114 的一終端被連接至該 OLED 110 之陽極，而其他終端被連接至一可控制電壓供應線路 VDD。該儲存電容 112 及 113 為串連，且被連接於該驅動電晶體 114 之閘終端以及一電壓供應電極 V2 之間。V2 亦可被連接至 VDD。該 OLED 110 之陰極被連接至一地面電壓供應電極。

該 OLED 110 及該電晶體 114 與 116 被連接於節點 A7。該儲存電容 112 及該電晶體 114 與 116 被連接於節點

B7。該電晶體 118 及該儲存電容 112 與 113 被連接於節點 C7。

第 20 圖說明用於程式化及驅動第 19 圖之像素電路 212 之一波形範例之一時序圖。第 20 圖對應至第 11 圖。VDATA 及 VDD 被用於程式化及補償該像素電路 212 之一時間相依參數，其類似於第 11 圖之 VDATA 及 VSS。參照第 19 及 20 圖，該像素電路 212 之操作包括具有四操作週期 X71、X72 及 X73 之一程式化週期以及具有一操作週期 X74 之一驅動週期。

在該程式化週期中，一負程式化電壓加上該驅動電晶體 114 之負臨界電壓被儲存於儲存電容 112 中。該儲存電容 113 被充電至 0。

因此，該驅動電晶體 114 的閘-源電壓成為：

$$VGS = -VP - |VT| \quad \dots(7)$$

其中 VGS 表示該驅動電晶體 114 的閘-源電壓，VP 表示該程式化電壓，而 VT 表示該驅動電晶體 114 的臨界電壓。

在該第一操作週期 X71 中：VDD 成為一負電壓。SEL 為低。節點 A7 及 B7 被充電為一負電壓。

在該第二操作週期 X72 中：VDD 成為一參考電壓 VREF。VDATA 成為  $(V2 - VREF + VP)$ 。節點 B7 的電壓以及節點 A7 的電壓透過該驅動電晶體 114 被充電直到該驅動電晶體 114 關閉為止。該節點 B7 的電壓為  $(-VREF - VT)$ ，

而儲存於該儲存電容 112 中的電壓為  $(-VP-|VT|)$ 。

在該第三操作週期 X73 中：SEL 成為 VM。VM 為該切換電晶體 116 關閉以及該切換電晶體 118 開啟之間的一中間電壓。VDATA 成為 V2。節點 C7 之電壓成為 V2。儲存於該儲存電容 112 之電壓與 X72 之中相同。

在該第四操作週期 X74 中：VDD 成為其操作電壓。SEL 為高。然而該 VSS 之操作電壓可為除了 0 之外的其他電壓。儲存於該儲存電容 112 中的電壓被用於該驅動電晶體 114 之閘終端。該驅動電晶體 114 是開啟的。因此，獨立於該驅動電晶體 114 之臨界電壓 VT 以及該 OLED 110 之電壓的一電流流過該驅動電晶體 114 以及該 OLED 110。

第 21 圖說明依據本發明之一進一步實施例而應用程式化及驅動技術於一像素電路 214。該像素電路 214 包括一 OLED 120、兩儲存電容 122 及 123、一驅動電晶體 124 以及切換電晶體 126 與 128。該像素電路 214 對應至第 12 圖之像素電路 206。

該電晶體 124、126 及 128 為 p 型 TFTs。可使用非晶矽、奈/微晶矽、聚合矽、有機半導體技術（如有機 TFT）、CMOS 技術（如 MOSFET）或任何其他可提供 p 型電晶體的技術製成該電晶體 124、126 及 128。

在第 21 圖中，該驅動電晶體 124 的一終端被連接至該 OLED 120 之陰極，而其他終端被連接至一電壓供應線路 VDD。該儲存電容 122 及 123 為串連，且被連接於該驅動電晶體 124 之閘終端以及 VDD 之間。該 OLED 120 之陰極

被連接至一可控制電壓供應電極 VSS。

該 OLED 120 及該電晶體 124 與 126 被連接於節點 A8。該儲存電容 122 及該電晶體 124 與 126 被連接於節點 B8。該電晶體 128 及該儲存電容 122 及 123 被連接於節點 C8。

第 22 圖說明用於程式化及驅動第 21 圖之像素電路 214 之一波形範例之一時序圖。第 22 圖對應至第 13 圖。VDATA 及 VSS 被用於程式化及補償該像素電路 214 之一時間相依參數，其類似於第 13 圖之 VDATA 及 VDD。參照第 21 及 22 圖，該像素電路 214 之操作包括具有四操作週期 X81、X82、X83 及 X84 之一程式化週期以及具有一驅動器 X85 的一驅動週期。

在該程式化週期中，一負程式化電壓加上該驅動電晶體 124 的負臨界電壓被儲存於該儲存電容 122 中。該儲存電容 123 被放電至 0。

因此，該驅動電晶體 124 的閘-源電壓成為：

$$VGS = -VP - |VT| \quad \dots(8)$$

其中 VGS 表示該驅動電晶體 124 的閘-源電壓，VP 表示該程式化電壓，而 VT 表示該驅動電晶體 124 的臨界電壓。

在該第一操作週期 X81 中：VDATA 成為一高電壓。SEL 為低。節點 A8 及節點 B8 被充電至一正電壓。

在該第二操作週期 X82 中：SEL 為高，VSS 成為一

參考電壓  $VREF1$ ，其中該 OLED 120 為關閉的。

在該第三操作週期 X83 中： $VDATA$  成為  $(VREF2+VP)$ ，其中  $VREF2$  為一參考電壓。 $SEL$  為低。因此該節點 B8 之電壓及節點 A8 之電壓於此週期開始時成為相同的。應注意該第一儲存電容 112 夠大而使其電壓具有支配性。之後節點 B8 透過該驅動電晶體 124 被充電直到該驅動電晶體 124 關閉為止。

因此，該節點 B8 之電壓為  $(VDD-|VT|)$ 。儲存於該第一儲存電容 122 中的電壓為  $(-VREF2-VP-|VT|)$ 。

在該第四操作週期 X84 中： $SEL$  成為  $VM$ ，其中  $VM$  為該切換電晶體 126 關閉以及該切換電晶體 128 開啟之間的一中間電壓。 $VDATA$  成為  $VREF2$ 。該節點 C8 之電壓成為  $VREF2$ 。

此致使該驅動電晶體 124 之閘-源電壓  $VGS$  為  $(-VP-|VT|)$ 。由於  $VM < -VP-VT$ ，故該切換電晶體 126 關閉，而儲存於該儲存電容 122 中的電壓保持於  $-(VP+|VT|)$ 。

在第五操作週期 X85 中： $VSS$  成為該操作電壓。 $SEL$  為低。儲存於該儲存電容 122 中的電壓被用於該驅動電晶體 124 的閘終端。

應注意用於操作具有第 8、10、12、17、19 或 21 圖之像素電路之一陣列的系統可與第 6 或 16 圖中所示者類似。具有第 8、10、12、17、19 或 21 之像素電路的陣列可具有第 7(a) 或 7(b) 圖之陣列結構。

應注意依據互補電路之概念可以 p 型或 n 型電晶體取

代各個電晶體。

依據本發明之實施例，該驅動電晶體位於操作飽和區中。故其電流主要由其閘-源電壓  $V_{GS}$  所定義。因此，即使該 OLED 電壓改變，但由於其閘-源電壓被儲存於該儲存電容中，故該驅動電晶體之電流仍保持恆定。

依據本發明之實施例，藉由應用獨立於該驅動電晶體之臨界電壓及 / 或一發光二極體電壓之一波形而建立提供給一驅動電晶體的電壓降 (overdrive voltage)。

依據本發明之實施例，提供一種依據啟動的一穩定驅動技術 (例如第 2-12 及 16-20 圖)。

藉由儲存於一儲存電容之電壓並且將其用於該驅動電晶體之閘終端而得以補償一像素電路之特性偏移 (例如一驅動電晶體之臨界電壓偏移以及在長時間顯示操作下一發光元件的壓降)。因此，該像素電路可提供一穩定電流通過該發光元件而不具有任何偏移影響，因而可增加顯示操作壽命。再者，該電路單純性較傳統像素電路確保較高產量、較低裝配成本以及較高解析度。

所有引註在此為參照所包含。

已關聯一或多個實施例描述本發明。然而該些習知技藝人士可明瞭在不偏離本發明於附加申請專利範圍中定義之範圍的情況下可加以變化及修改。

#### 【圖式簡單說明】

從以下描述並參照附加圖示將更能瞭解本發明這些及

其他特徵，其中：

第 1 圖為說明一傳統 2-TFT 電壓程式化像素電路的圖示；

第 2 圖為說明依據本發明之一實施例而被應用至一顯示陣列的一示範程式化及驅動週期的一時序圖；

第 3 圖為說明依據本發明之一實施例而應用程式化及驅動技術至一像素電路的一圖示；

第 4 圖為說明用於程式化及驅動第 3 圖之像素電路之一波形範例的一時序圖；

第 5 圖為說明第 3 圖之像素電路之一壽命測試結果的一圖示；

第 6 圖為說明具有第 3 圖之像素電路之一顯示系統的一圖示；

第 7(a)圖為一圖示，其說明具有可應用至第 6 圖之陣列的頂部發光像素結構的一示範陣列結構；

第 7(b)圖為一圖示，其說明具有可應用至第 6 圖之陣列的底部發光像素結構的一示範陣列結構；

第 8 圖為說明依據本發明之一進一步實施例而應用程式化及驅動技術至一像素電路的一圖示；

第 9 圖為說明用於程式化及驅動第 8 圖之像素電路之一波形範例的一時序圖；

第 10 圖為說明依據本發明之一進一步實施例而應用程式化及驅動技術至一像素電路的一圖示；

第 11 圖為說明用於程式化及驅動第 10 圖之像素電路

之一波形範例的一時序圖；

第 12 圖為說明依據本發明之一進一步實施例而應用程式化及驅動技術至一像素電路的一圖示；

第 13 圖為說明用於程式化及驅動第 12 圖之像素電路之一波形範例的一時序圖；

第 14 圖為說明依據本發明之一進一步實施例而應用程式化及驅動技術至一像素電路的一圖示；

第 15 圖為說明用於程式化及驅動第 14 圖之像素電路之一波形範例的一時序圖；

第 16 圖為說明一種具有第 14 圖之像素電路的顯示系統的一圖示；

第 17 圖為說明依據本發明之一進一步實施例而應用程式化及驅動技術至一像素電路的一圖示；

第 18 圖為說明用於程式化及驅動第 17 圖之像素電路之一波形範例的一時序圖；

第 19 圖為說明依據本發明之一進一步實施例而應用程式化及驅動技術至一像素電路的一圖示；

第 20 圖為說明用於程式化及驅動第 19 圖之像素電路之一波形範例的一時序圖；

第 21 圖為說明依據本發明之一進一步實施例而應用程式化及驅動技術至一像素電路的一圖示；及

第 22 圖為說明用於程式化及驅動第 21 圖之像素電路之一波形範例的一時序圖。

## 【元件代表符號簡單說明】

- 10, 20, 50, 60, 70, 80, 100, 110, 120 有機發光二極體  
(OLED)
- 11 薄膜電晶體 (TFT)
- 12 縱行
- 13 切換 TFT
- 14, 21, 22, 51, 52, 53, 61, 62, 63, 71, 72, 73, 81, 82, 101,  
102, 103, 111, 112, 113, 121, 122, 123 儲存電容
- 24, 54, 64, 74, 84, 104, 114, 124 驅動電晶體
- 26, 56, 58, 66, 68, 76, 78, 86, 106, 108, 116, 118, 126,  
128 切換電晶體
- 41, 42, 43, 91, 92, 93 互連
- 200, 202, 204, 206, 208, 210, 212, 214, 403, 411 像素電  
路
- 300, 302, 310, 312 驅動器
- 301, 304 控制器
- 400, 410 基材
- 402 像素接觸窗
- 404, 412 電極

## 拾、申請專利範圍：

1. 一種程式化及驅動一顯示系統的方法，該顯示系統包括：

具有多個以列行配置之像素電路的一顯示陣列，  
每個像素電路具有：

具有一第一終端及一第二終端的一發光元件，該發光元件的第一終端被連接至一電壓供應電極；

具有一第一終端及一第二終端的一電容；

具有一閘終端、一第一終端及一第二終端的一切換電晶體，該切換電晶體之閘終端被連接至一選擇線路，該切換電晶體之第一終端被連接至一信號線路以供傳輸電壓資料，該切換電晶體之第二終端被連接至該電容之第一終端；及

具有一閘終端、一第一終端及一第二終端的一驅動電晶體，該驅動電晶體之閘終端被連接至該切換電晶體之第二終端以及該電容之第一終端於一第一節點(A)，該驅動電晶體之第一終端被連接至該發光元件之第二終端以及該電容之第二終端於一第二節點(B)，該驅動電晶體之第二終端被連接至一可控制電壓供應線路；

一驅動器，用以供驅動該選擇線路、該可控制電壓供應線路以及該信號線路以操作該顯示陣列；

該方法包含以下步驟：

在一程式化週期中，

在一第一操作週期中，充電該第二節點至  $(V_{REF}-V_T)$  或  $(-V_{REF}+V_T)$  所定義之一第一電壓，其中  $V_{REF}$  表示一參考電壓而  $V_T$  表示該驅動電晶體之一臨界電壓；

在一第二操作週期中，充電該第一節點至  $(V_{REF}+V_P)$  或  $(-V_{REF}+V_P)$  所定義之一第二電壓因而該第一及第二電壓間的差被儲存於該儲存電容中，其中  $V_P$  表示一程式化電壓；

在一驅動週期中，施加儲存於該儲存電容中的電壓至該驅動電晶體之閘終端。

2. 如申請專利範圍第 1 項所述之方法，其中該發光元件為一有機發光二極體。
3. 如申請專利範圍第 1 項所述之方法，其中至少一電晶體為一薄膜電晶體。
4. 如申請專利範圍第 1 項所述之方法，其中該程式化週期及該驅動週期被連續地對每一列實施。
5. 一種程式化及驅動一顯示系統的方法，該顯示系統包

括：

具有多個以列行配置之像素電路的一顯示陣列，  
每個像素電路具有：

具有一第一終端及一第二終端的一發光元件，該發光元件的第一終端被連接至一電壓供應電極；

一第一電容及一第二電容，各自包括一第一終端及一第二終端；

具有一閘終端、一第一終端及一第二終端的一第一切換電晶體，該第一切換電晶體之閘終端被連接至一第一選擇線路，該第一切換電晶體之第一終端被連接至該發光元件之第二終端，該第一切換電晶體之第二終端被連接至該第一電容之第一終端；

具有一閘終端、一第一終端及一第二終端的一第二切換電晶體，該第二切換電晶體之閘終端被連接至一第二選擇線路，該第二切換電晶體之第一終端被連接至一信號線路以供傳輸電壓資料；

具有一閘終端、一第一終端及一第二終端的一驅動電晶體，該驅動電晶體的第一終端被連接至該發光元件之第二終端於一第一節點(A)，該驅動電晶體之閘終端被連接至該第一切換電晶體之

第二終端及該第一電容之第一終端於一第二節點 (B)，該驅動電晶體之第二終端被連接至一可控制電壓供應線路；

該第二切換電晶體之第二終端被連接至該第一電容之第二終端以及該第二電容之第一終端於一第三節點 (C)；

一驅動器以供驅動該第一及第二選擇線路、該可控制電壓供應線路以及該信號線路以操作該顯示陣列；

該方法包含以下步驟：

在一程式化週期中，

在一第一操作週期中，控制該第一節點及該第二節點各自之電壓以便儲存  $(V_T + V_P)$  或  $-(V_T + V_P)$  於該第一儲存電容中，其中  $V_T$  表示該驅動電晶體之一臨界電壓， $V_P$  表示一程式化電壓；

在一第二操作週期中，放電該第三節點；

在一驅動週期中，施加儲存於該儲存電容中的電壓至該驅動電晶體之閘終端。

6. 如申請專利範圍第 5 項之方法，其中該發光元件為一有機發光二極體。

7. 如申請專利範圍第 5 項之方法，其中至少一電晶體為一

薄膜電晶體。

8. 如申請專利範圍第 5 項之方法，其中該第一及第二選擇線路為一共同選擇線路。

9. 如申請專利範圍第 5 項之方法，其中用於一系列的該程式化週期及該驅動週期與用於一鄰接列之該程式化週期及該驅動週期重疊。

10. 一顯示系統，至少包含：

具有多個以列行配置之像素電路的一顯示陣列，

每個像素電路具有：

具有一第一終端及一第二終端的一發光元件，該發光元件之第一終端被連接至一電壓供應電極；

具有一第一終端及一第二終端的一電容；

具有一閘終端、一第一終端及一第二終端的一切換電晶體，該切換電晶體之閘終端被連接至一選擇線路，該切換電晶體之第一終端被連接至一信號線路以供傳輸電壓資料，該切換電晶體之第二終端被連接至該電容之第一終端；及

具有一閘終端、一第一終端及一第二終端的一驅動電晶體，該驅動電晶體之閘終端被連接至

該切換電晶體之第二終端以及該電容之第一終端於一第一節點(A)，該驅動電晶體之第一終端被連接至該發光元件之第二終端以及該電容之第二終端於一第二節點(B)，該驅動電晶體之第二終端被連接至一可控制電壓供應線路；

一驅動器，用以供驅動該選擇線路、該可控制電壓供應線路以及該信號線路以操作該顯示陣列；及

一控制器，用以供使用該驅動器於該顯示陣列之每一列上實施一程式化週期及一驅動週期；

其中該程式化週期包括一第一操作週期及一第二操作週期，

其中於該第一操作週期中，該第二節點被充電至 $(V_{REF}-V_T)$ 或 $(-V_{REF}+V_T)$ 所定義之一第一電壓，其中 $V_{REF}$ 表示一參考電壓而 $V_T$ 表示該驅動電晶體之一臨界電壓，在該第二操作週期中，該第一節點被充電至 $(V_{REF}+V_P)$ 或 $(-V_{REF}+V_P)$ 所定義之一第二電壓因而該第一及第二電壓的差被儲存於該儲存電容中，其中 $V_P$ 表示一程式化電壓；

其中在該驅動週期中，儲存於該儲存電容中的該電壓被施加於該驅動電晶體之閘終端。

11. 如申請專利範圍第10項所述之一顯示系統，其中該發光元件為一有機發光二極體。

12. 如申請專利範圍第 10 項所述之一顯示系統，其中至少一電晶體為一薄膜電晶體。

13. 如申請專利範圍第 10 項所述之一顯示系統，其中用於一列的該程式化週期及該驅動週期與用於一鄰接列的該程式化週期及該驅動週期重疊。

14. 一種顯示系統，至少包含：

具有多個以列行配置之像素電路的一顯示陣列，  
每個像素電路具有：

具有一第一終端及一第二終端的一發光元件，該發光元件的第一終端被連接至一電壓供應電極；

一第一電容及一第二電容，各自具有一第一及一第二終端；

具有一閘終端、一第一終端及一第二終端的一第一切換電晶體，該第一切換電晶體的閘終端被連接至一第一選擇線路，該第一切換電晶體的第一終端被連接至該發光元件的第二終端，該第一切換電晶體的第二終端被連接至該第一電容的第一終端；

具有一閘終端、一第一終端及一第二終端的

一第二切換電晶體，該第二切換電晶體的閘終端被連接至一第二選擇線路，該第二切換電晶體的第一終端被連接至一信號線路以供傳輸電壓資料；

具有一閘終端、一第一終端及一第二終端的一驅動電晶體，該驅動電晶體之第一終端被連接至該發光元件之第二終端於一第一節點(A)，該驅動電晶體的閘終端被連接至該第一切換電晶體之第二終端以及該第一電容之第一終端於一第二節點(B)，該驅動電晶體之第二終端被連接至一可控制電壓供應線路；

該第二切換電晶體之第二終端被連接至該第一電容之第二終端以及該第二電容之第一終端於一第三節點(C)；

一驅動器，用以供驅動該第一及第二選擇線路、該可控制電壓供應線路以及該信號線路以操作該顯示陣列；及

一控制器，用以供使用該驅動器於該顯示陣列之每一列上實施一程式化週期及一驅動週期；

其中該程式化週期包括一第一操作週期及一第二操作週期；

其中於該第一操作週期中，控制該第一節點及該第二節點各自之電壓以便儲存  $(V_T + V_P)$  或  $-(V_T +$

VP) 於該第一儲存電容中，其中 VT 表示該驅動電晶體之一臨界電壓，VP 表示一程式化電壓，在一第二操作週期中，放電該第三節點；

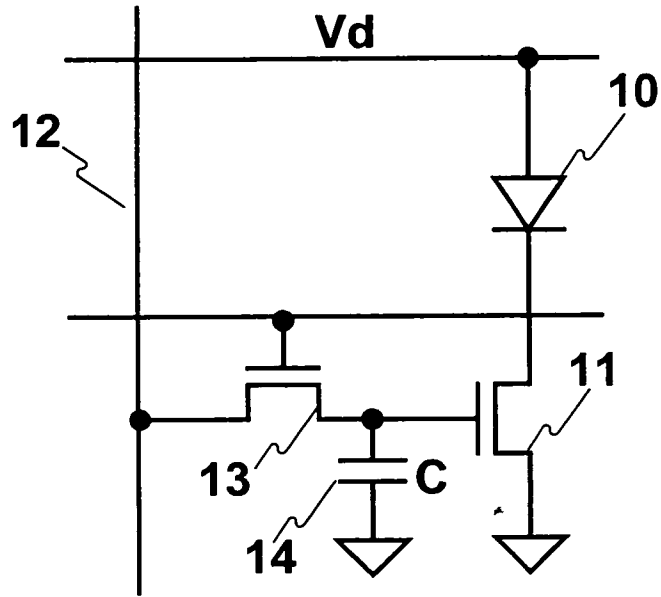
其中於該驅動週期中，儲存於該儲存電容中的該電壓被施加於該驅動電晶體之閘終端。

15. 如申請專利範圍第 14 項所述之顯示系統，其中該發光元件為一有機發光二極體。

16. 如申請專利範圍第 14 項所述之顯示系統，其中至少一電晶體為一薄膜電晶體。

17. 如申請專利範圍第 14 項所述之顯示系統，其中該第一及第二選擇線路為一共同選擇線路。

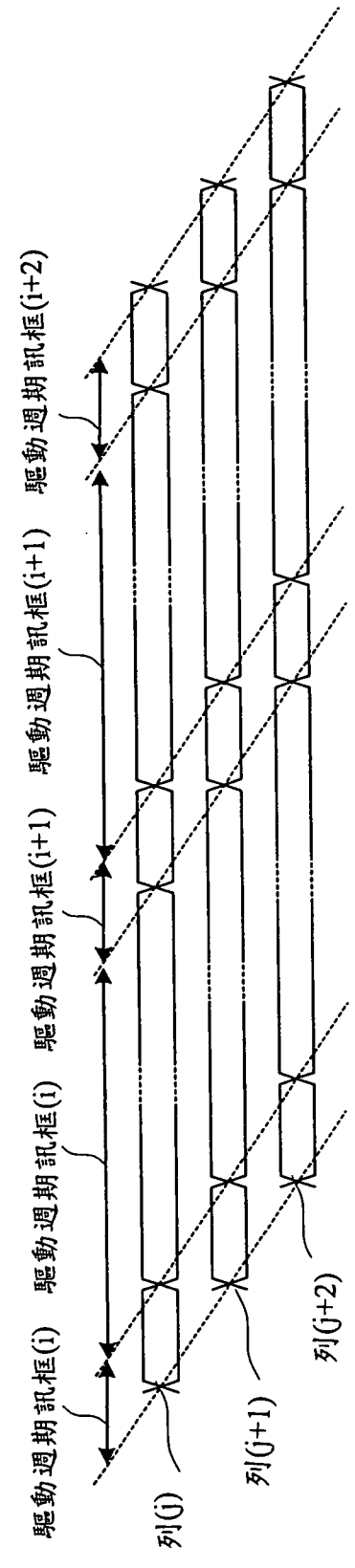
18. 如申請專利範圍第 14 項所述之顯示系統，其中用於一列的該程式化週期及該驅動週期與用於一鄰接列的該程式化週期與該驅動週期重疊。



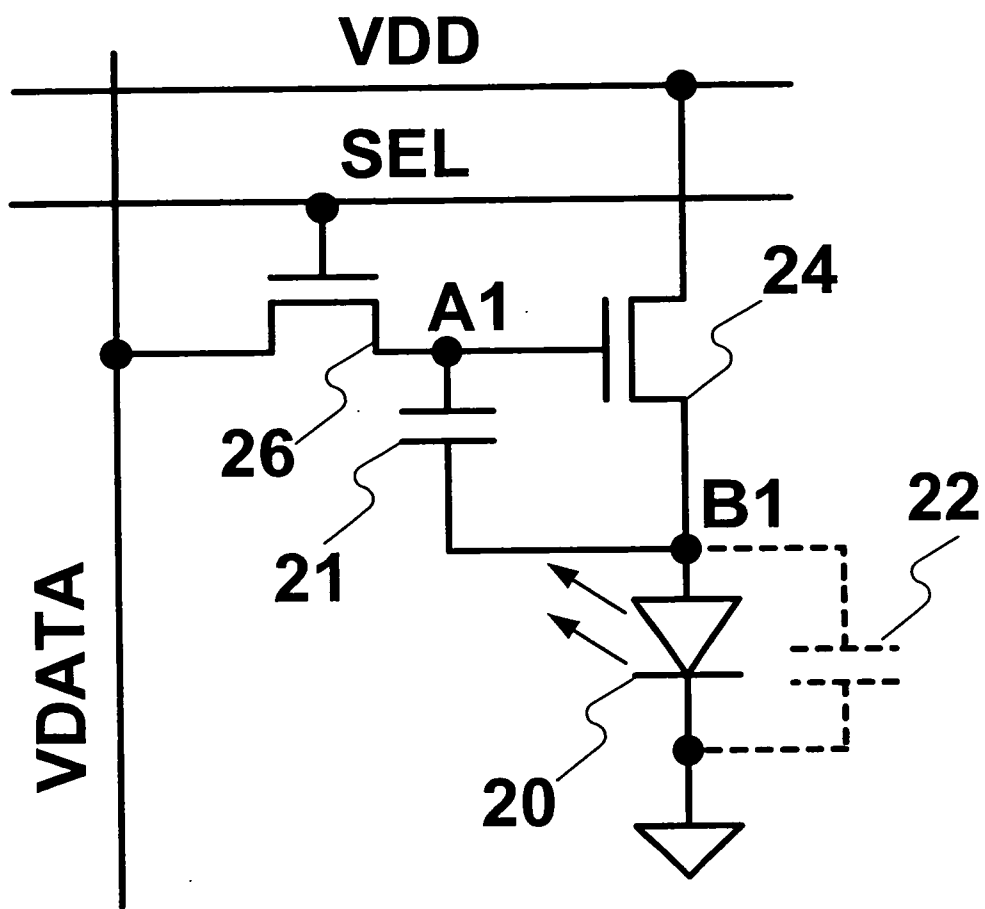
第 1 圖

(習知技術)

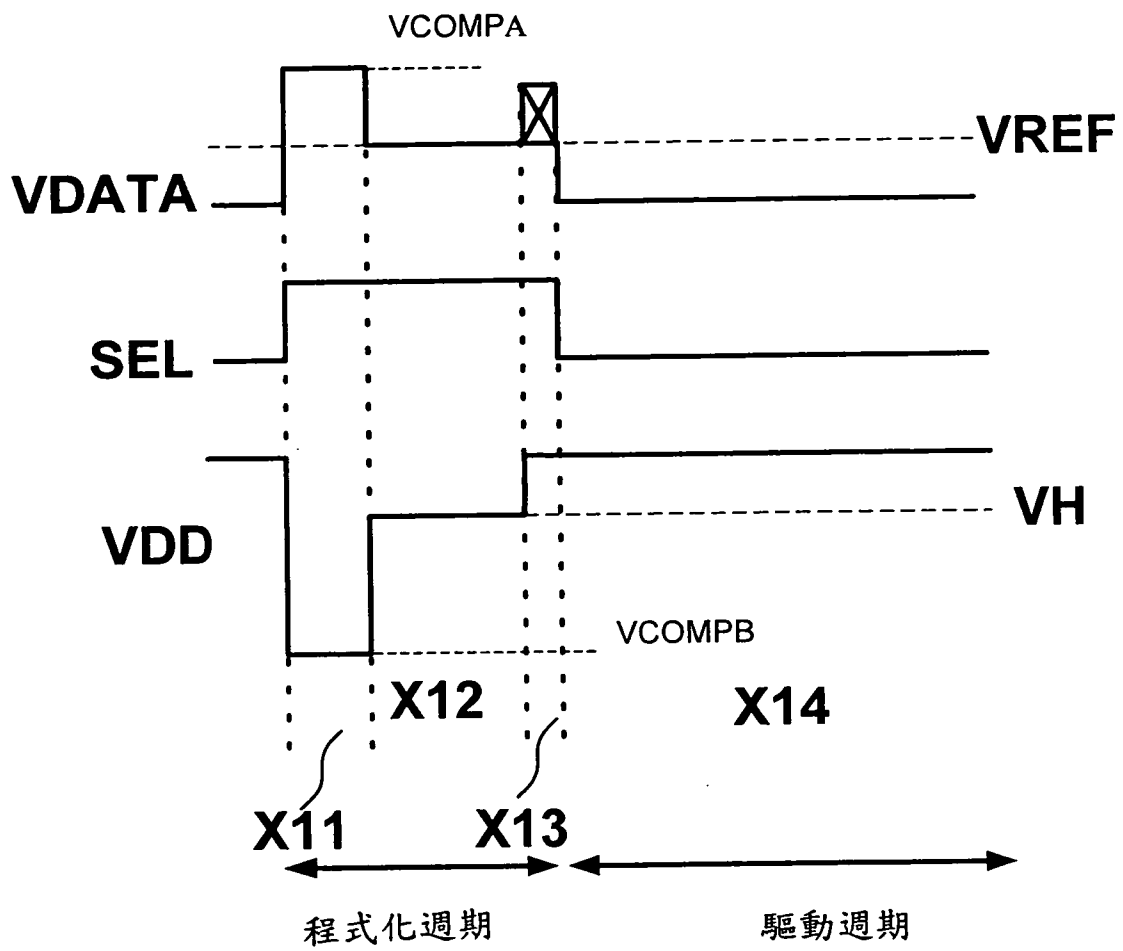
第 2 圖



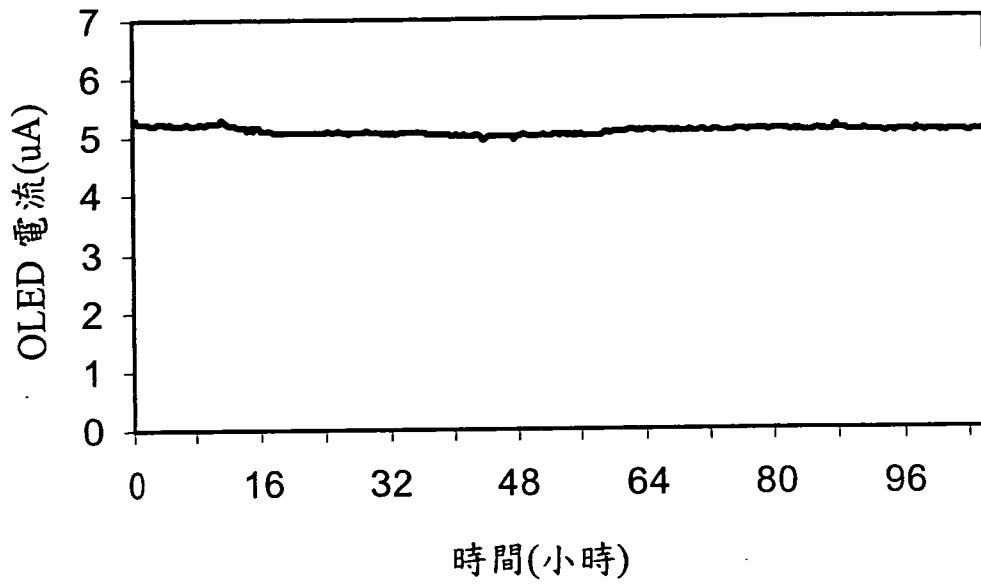
200



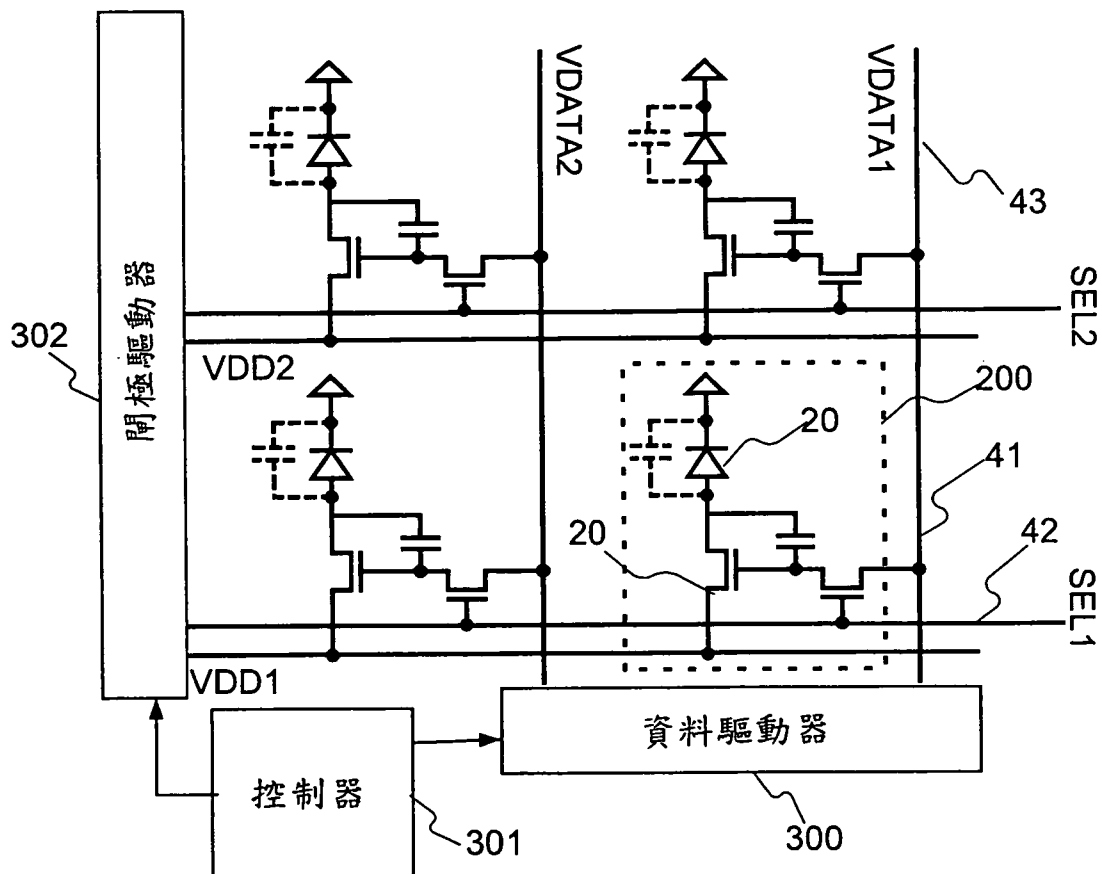
第 3 圖



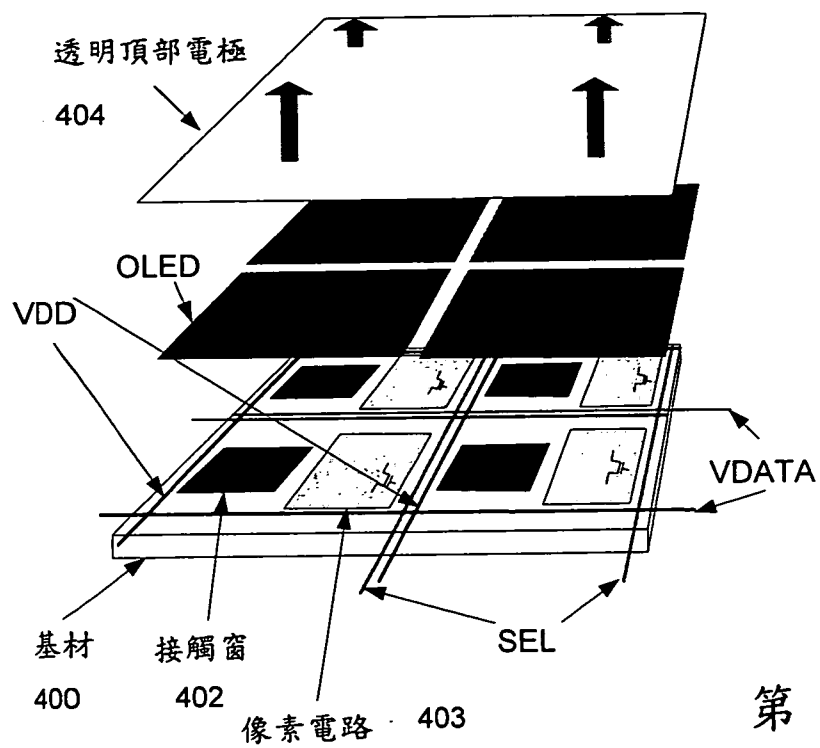
第 4 圖



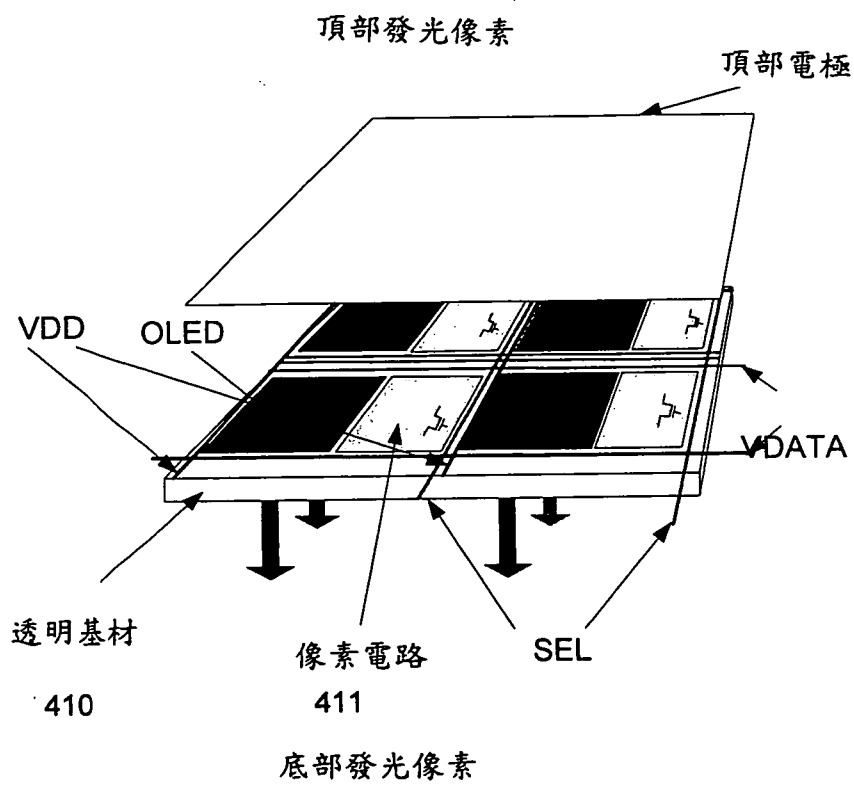
第 5 圖



第 6 圖



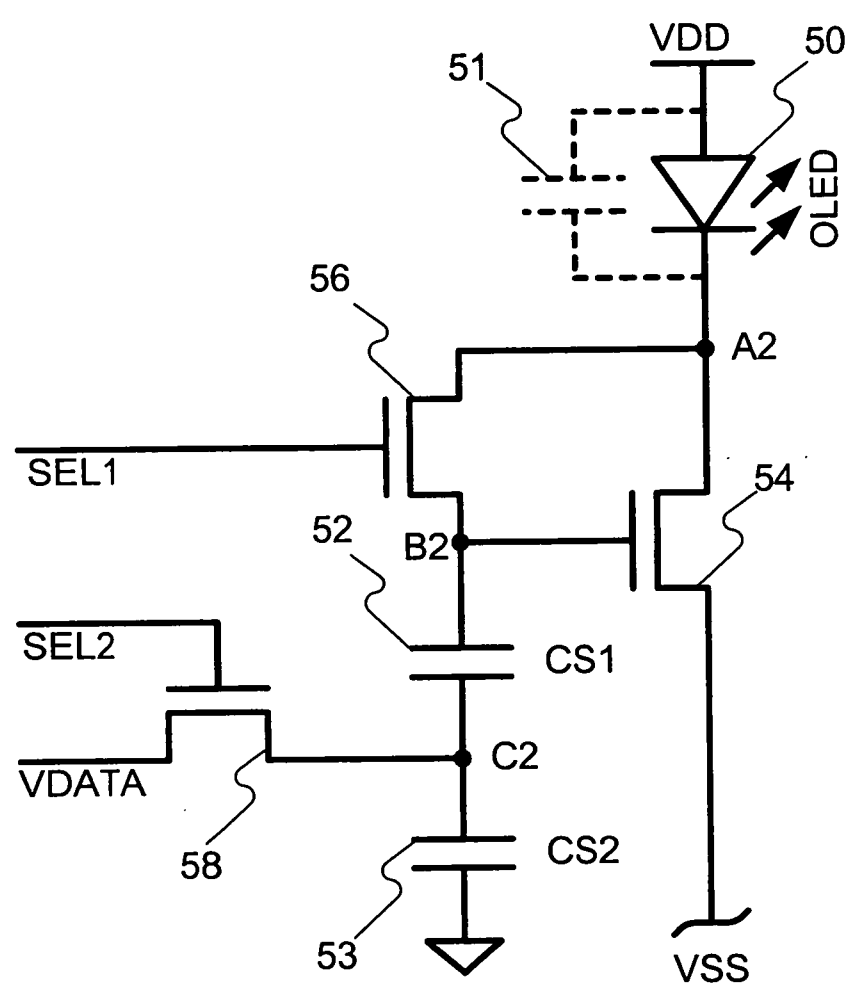
第 7(a) 圖



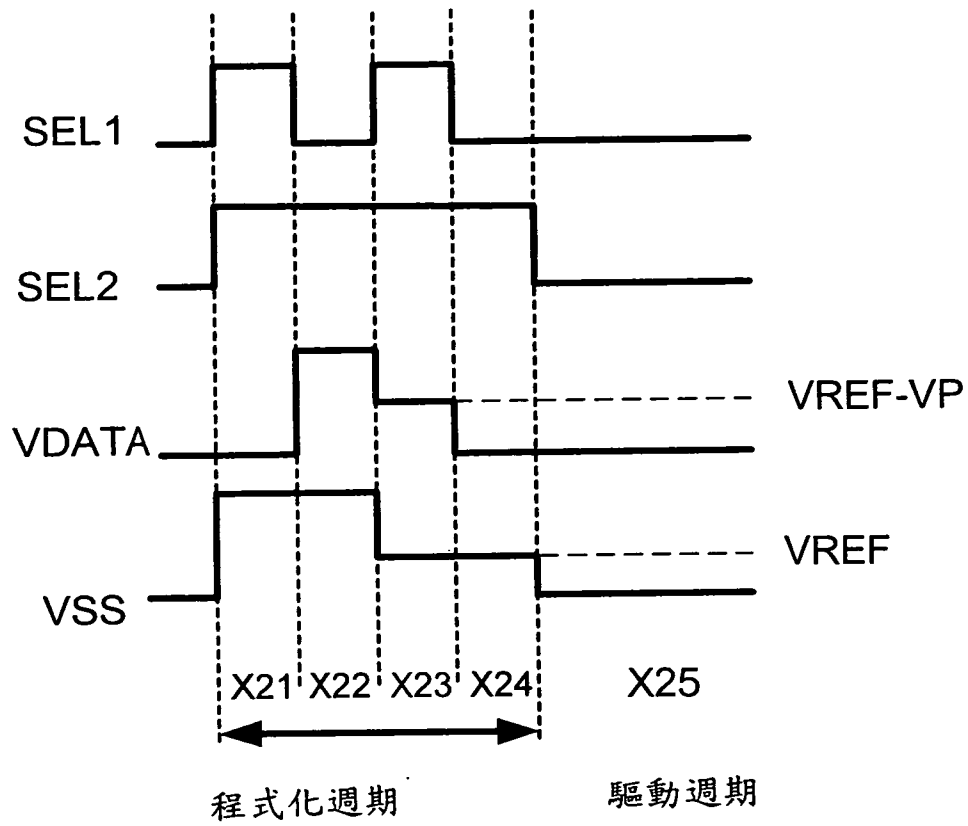
底部發光像素

第 7(b) 圖

**202**

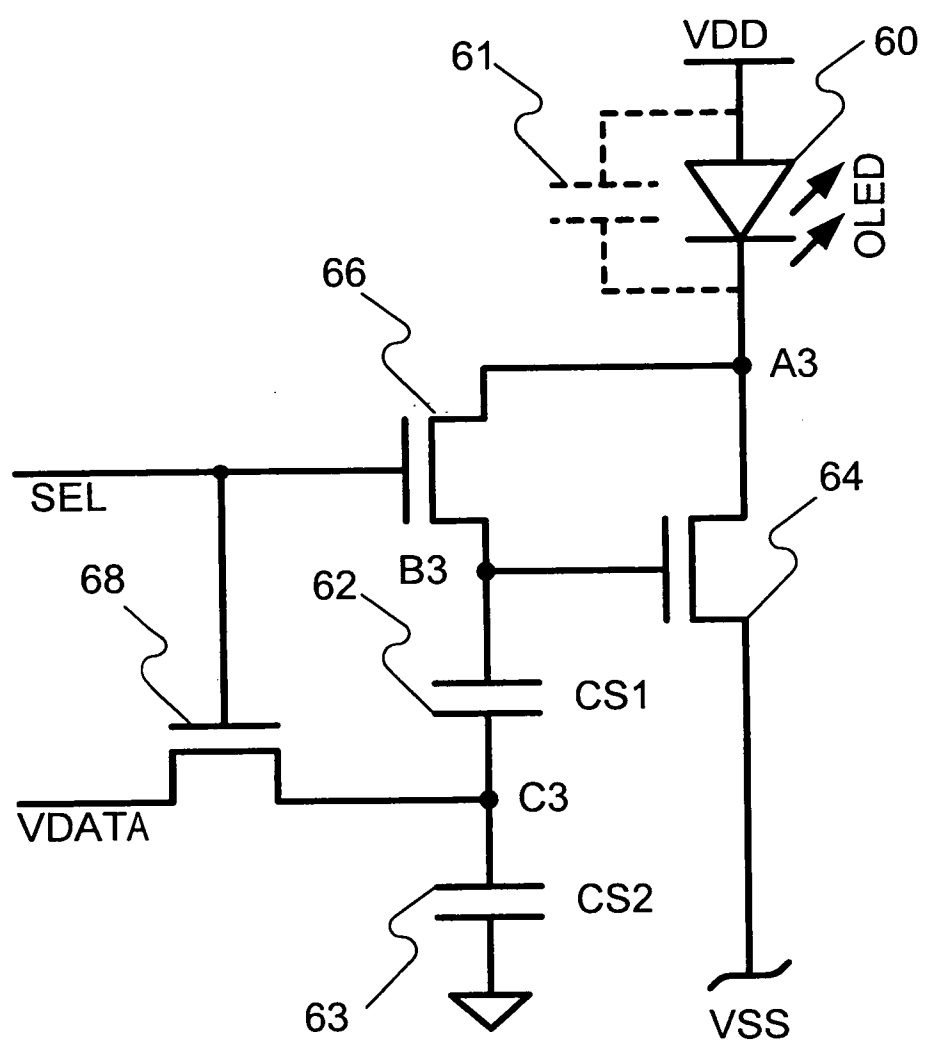


第 8 圖

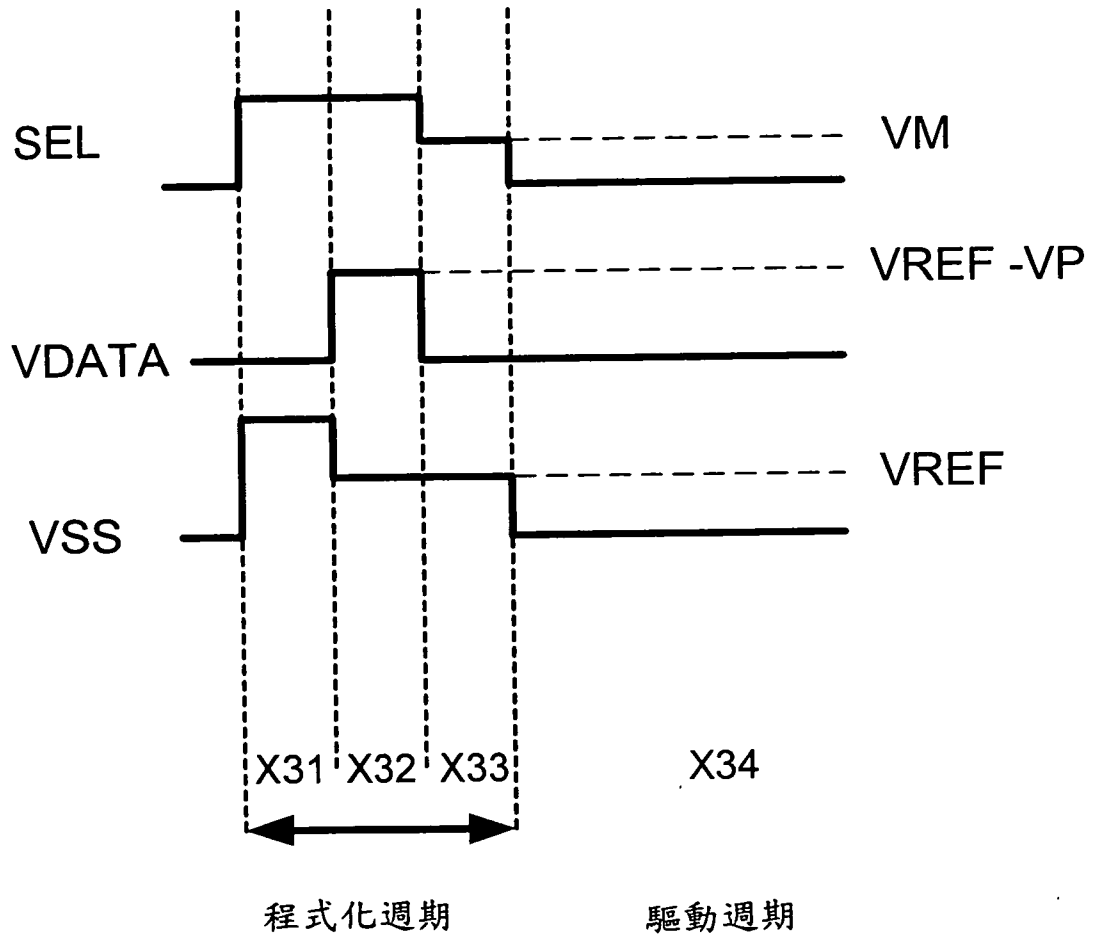


第 9 圖

**204**

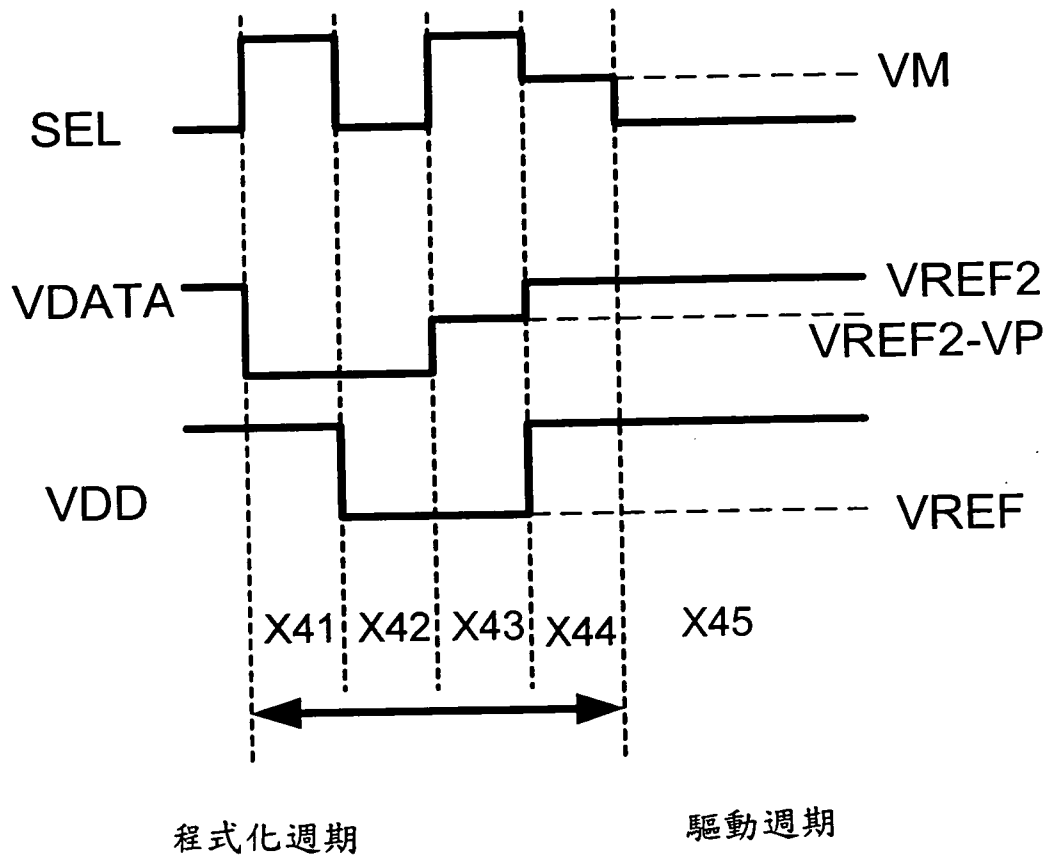


第 10 圖



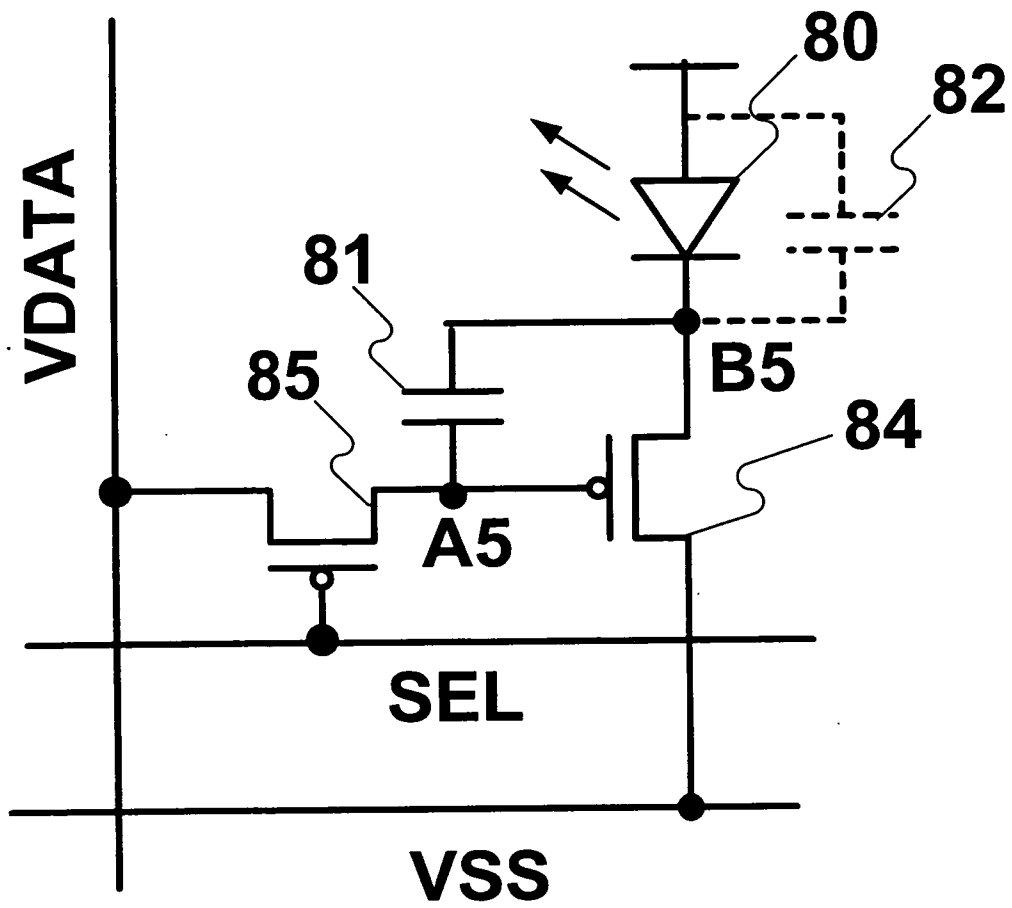
第 11 圖



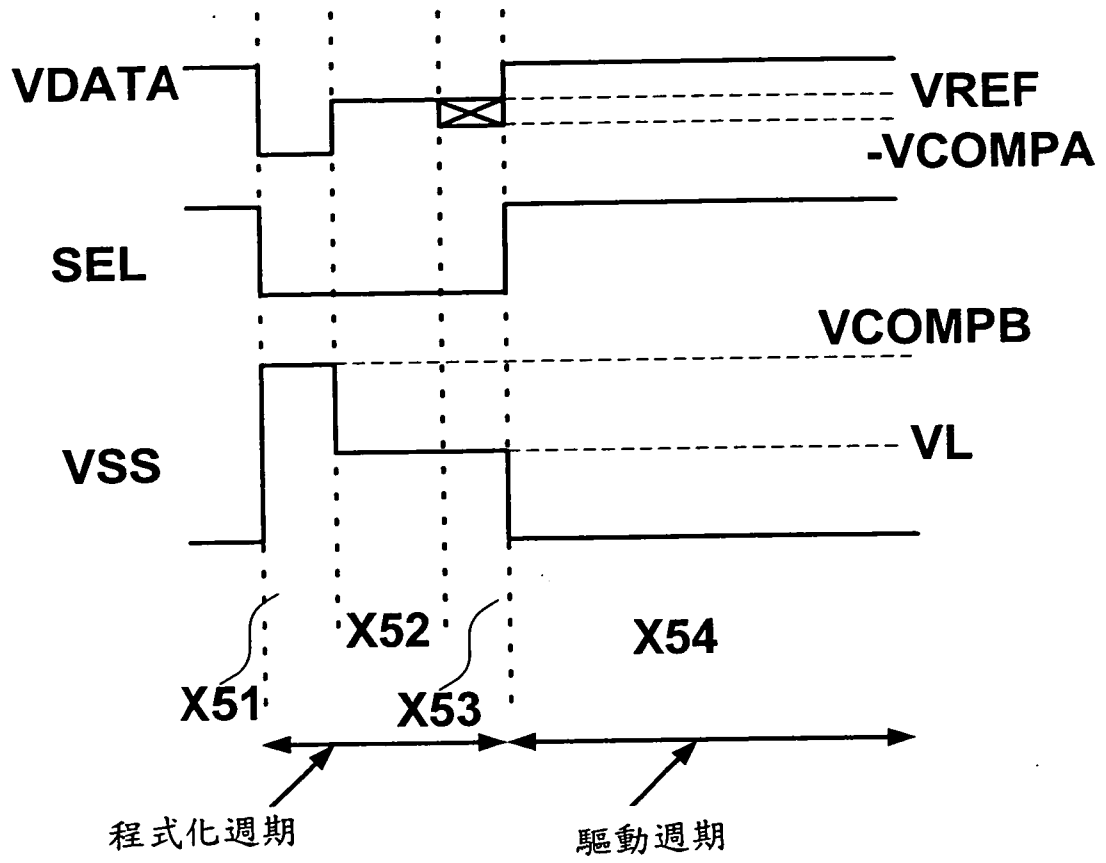


第 13 圖

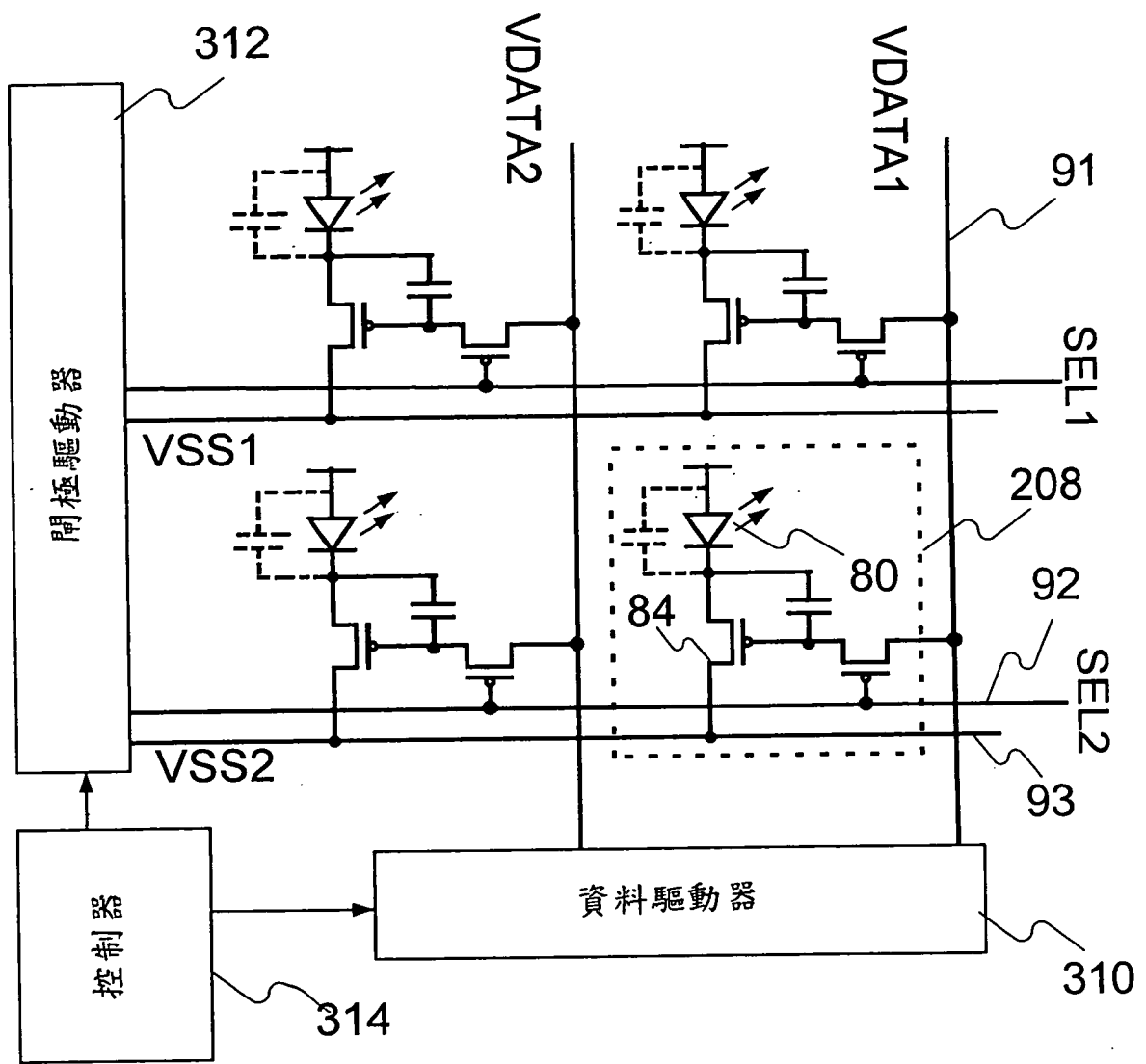
208



第 14 圖

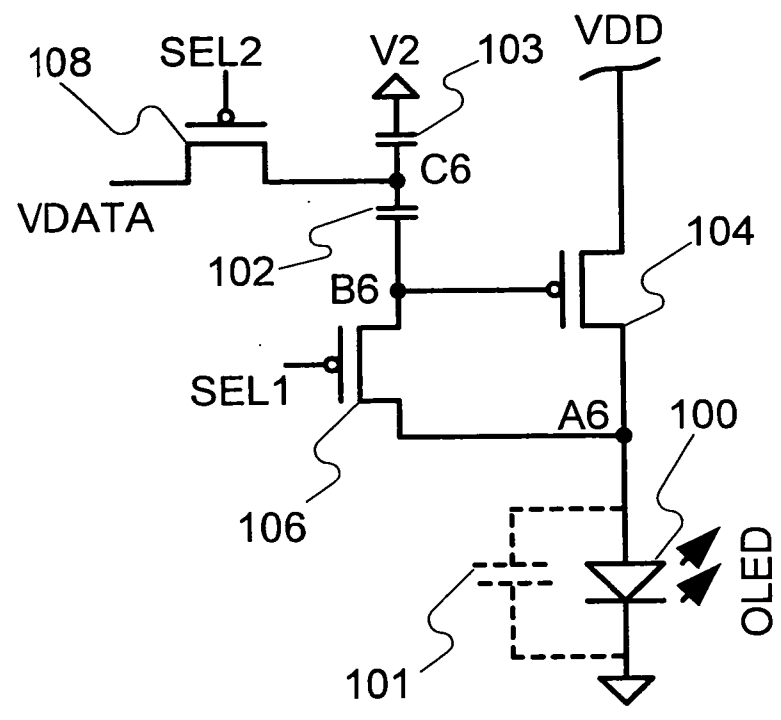


第 15 圖

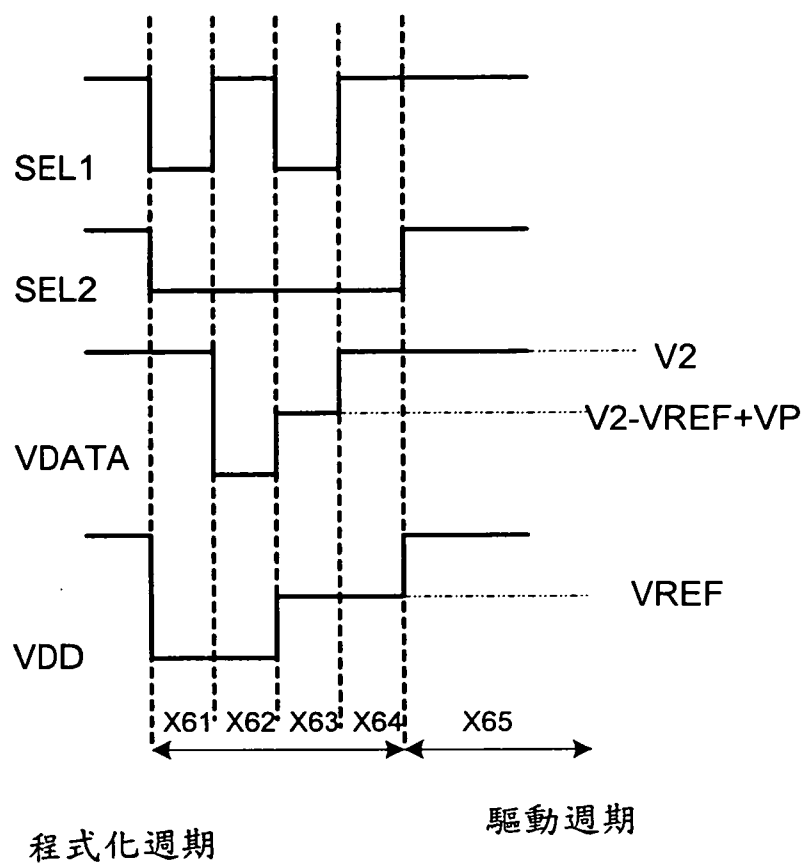


第 16 圖

210

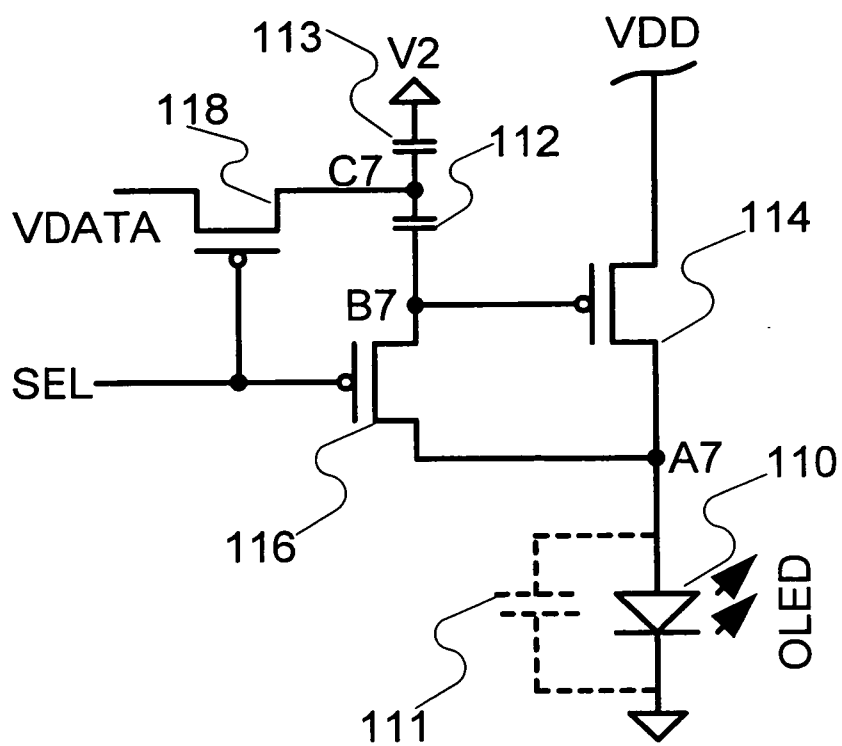


第 17 圖

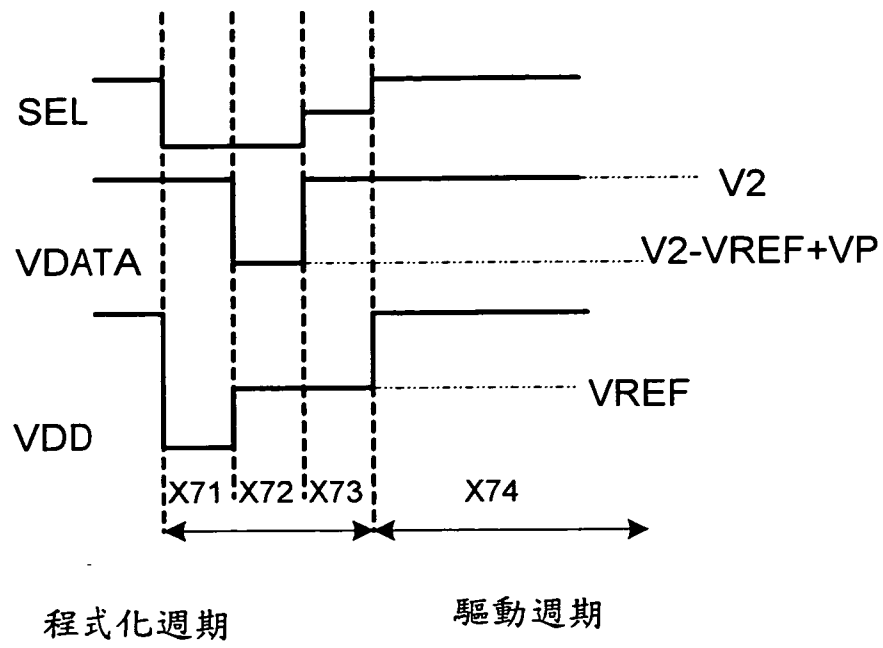


第 18 圖

212

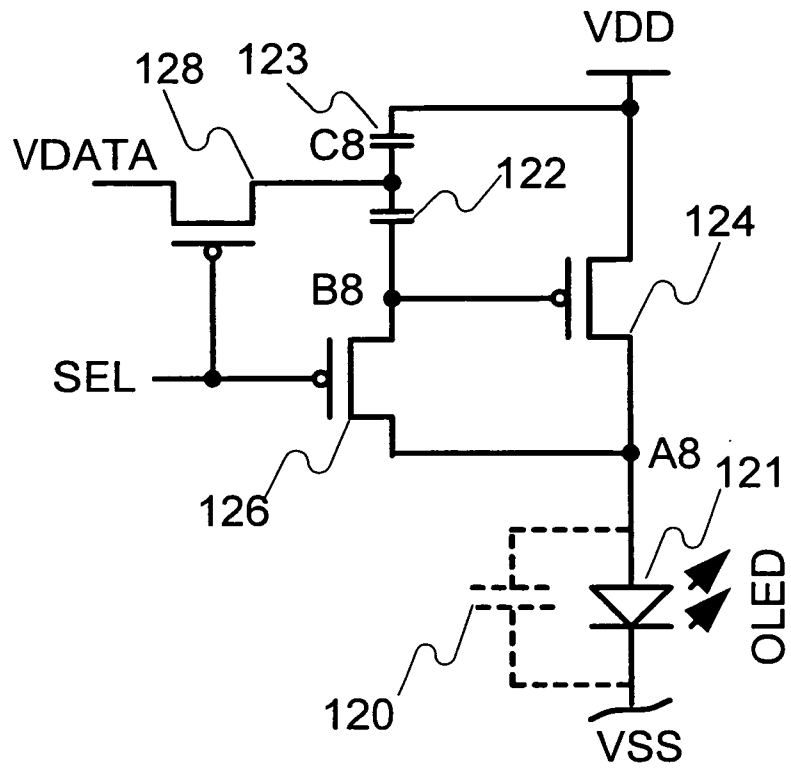


第 19 圖

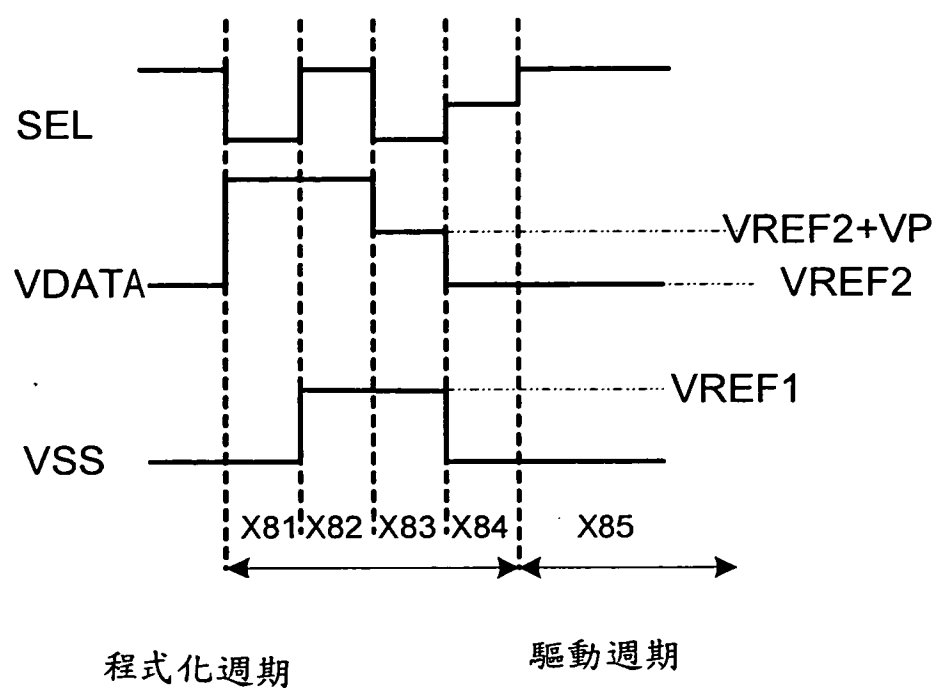


第 20 圖

214



第 21 圖



第 22 圖