

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-46254  
(P2019-46254A)

(43) 公開日 平成31年3月22日(2019.3.22)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G06F 13/16 (2006.01)</b>	G06F 13/16 510A	5B060
<b>G11C 11/407 (2006.01)</b>	G11C 11/407	5M024
<b>G11C 11/4096 (2006.01)</b>	G11C 11/4096 550	
<b>G11C 7/10 (2006.01)</b>	G11C 7/10 405	
<b>G06F 12/00 (2006.01)</b>	G06F 12/00 550K	

審査請求 未請求 請求項の数 12 O L (全 18 頁)

(21) 出願番号 特願2017-169633 (P2017-169633)  
(22) 出願日 平成29年9月4日(2017.9.4)

(71) 出願人 318010018  
東芝メモリ株式会社  
東京都港区芝浦一丁目1番1号  
(74) 代理人 110002147  
特許業務法人酒井国際特許事務所  
(72) 発明者 清水 直樹  
東京都港区芝浦一丁目1番1号 東芝メモリ株式会社内  
Fターム(参考) 5B060 MB06 MB08  
5M024 AA44 AA87 BB04 BB27 DD60  
JJ03 JJ04 PP01 PP07

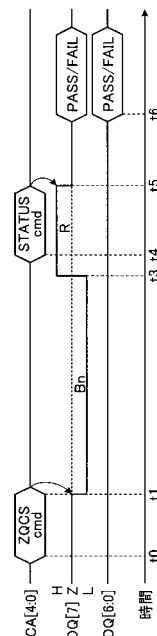
(54) 【発明の名称】 半導体メモリ装置、方法及びプログラム

(57) 【要約】 (修正有)

【課題】 ZQキャリブレーション期間中であっても内部状態通知端子を備えていない半導体メモリ装置における内部状態を把握できる半導体メモリ装置、方法及びプログラムを提供する。

【解決手段】 半導体メモリ装置は、データベースを具備し、内部状態を通知する内部状態通知端子を具備しない半導体メモリ装置である。半導体メモリ装置は、出力インピーダンスを補正するZQキャリブレーション実行時の内部状態を内部状態通知信号としてデータベースを構成している信号線DQを介して通知する。

【選択図】 図2



**【特許請求の範囲】****【請求項 1】**

データベースを具備し、内部状態を通知する内部状態通知端子を不具備の半導体メモリ装置であって、

出力インピーダンスを補正する Z Q キャリブレーション実行時の前記内部状態を内部状態通知信号として前記データベースを構成している信号線を介して通知する、

半導体メモリ装置。

**【請求項 2】**

前記信号線として、データ線あるいはデータストロブ線を用いる、

請求項 1 記載の半導体メモリ装置。

10

**【請求項 3】**

前記 Z Q キャリブレーションの実行を指示するコマンドの入力後に入力された通知解除コマンドにより前記内部状態の通知を解除する、

請求項 1 又は請求項 2 記載の半導体メモリ装置。

**【請求項 4】**

前記通知解除コマンドとして、前記 Z Q キャリブレーションの実行結果を問い合わせるステータスコマンド、前記 Z Q キャリブレーションの実行を指示するコマンドの入力後に最初に入力された他のコマンドあるいは前記内部状態の通知を解除するためのステータスリセットコマンドのいずれかを用いる、

請求項 1 乃至請求項 3 のいずれかに記載の半導体メモリ装置。

20

**【請求項 5】**

前記内部状態通知信号として、ビジー状態を表す固定電圧レベルのプリアンプル部と、レディ状態を表す電圧レベルを“H”レベルと“L”レベルとの間でトグルさせるトグル部と、を備えた信号とする、

請求項 1 乃至請求項 3 のいずれかに記載の半導体メモリ装置。

**【請求項 6】**

前記プリアンプル部は、前記 Z Q キャリブレーションの実行を指示するコマンドの入力終了のタイミングに同期して出力される、

請求項 5 記載の半導体メモリ装置。

**【請求項 7】**

前記プリアンプル部は、所定のリードレイテンシ、所定のライトレイテンシあるいは所定の Z Q キャリブレーションレイテンシの経過タイミングに同期して出力される、

請求項 5 記載の半導体メモリ装置。

30

**【請求項 8】**

前記 Z Q キャリブレーションレイテンシは、Z Q キャリブレーションロング及び Z Q キャリブレーションショートのうちいずれかに対応する値に設定される、

請求項 7 記載の半導体メモリ装置。

**【請求項 9】**

前記内部状態通知信号として、ビジー状態を表す電圧レベルを“H”レベルと“L”レベルとの間でトグルさせるトグル部と、レディ状態を表すハイインピーダンス状態で固定されたハイインピーダンス部と、を備えた信号とする、

請求項 1 乃至請求項 8 のいずれかに記載の半導体メモリ装置。

40

**【請求項 10】**

前記半導体メモリ装置は、チップイネーブル信号がイネーブル状態である場合に前記内部状態通知信号を出力する、

請求項 1 乃至請求項 9 のいずれかに記載の半導体メモリ装置。

**【請求項 11】**

データベースを具備し、内部状態を通知する内部状態通知端子を不具備の半導体メモリ装置で実行される方法であって、

出力インピーダンスを補正する Z Q キャリブレーションコマンドの入力を受けつける過

50

程と、

前記 Z Q キャリブレーションを行う過程と、

前記 Z Q キャリブレーションコマンドの入力により前記 Z Q キャリブレーション実行時の前記内部状態を内部状態通知信号として前記データバスを構成している信号線を介して通知する過程と、

を備えた方法。

【請求項 1 2】

データバスを具備し、内部状態を通知する内部状態通知端子を不具備の半導体メモリ装置をコンピュータにより制御するためのプログラムであって、

前記コンピュータを、

出力インピーダンスを補正する Z Q キャリブレーションコマンドの入力を受けつける手段と、

前記 Z Q キャリブレーションを行う手段と、

前記 Z Q キャリブレーションコマンドの入力により前記 Z Q キャリブレーション実行時の前記内部状態を内部状態通知信号として前記データバスを構成している信号線を介して通知する手段と、

して機能させるプログラム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、半導体メモリ装置、方法及びプログラムに関する。

【背景技術】

【0002】

従来 DDR3 SDRAM 等の半導体メモリ装置においては、出力抵抗  $R_{on}$  及び ODT (Dynamic On Die Termination) を補正し、信号品質を確保するために ZQ (Zero Quotient) キャリブレーションが行われる。

【0003】

この ZQ キャリブレーションには、初期化時に行われる処理時間の長い ZQ キャリブレーションロング (ZQCL) 及び初期化後に定期的に行われる処理時間の短い ZQ キャリブレーションショート (ZQCS) が存在する。

【0004】

ZQ キャリブレーションロング (ZQCL) 及び ZQ キャリブレーションショート (ZQCS) のいずれにおいても、ZQ キャリブレーション期間中は、全てのコマンドを受けつけることができず、全てのデバイスはデータバス (DQ) に対しハイインピーダンス状態で接続されている必要があった。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2013 - 172395 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

したがって、端子数の関係で半導体メモリ装置の内部状態 (Ready / Busy) を通知するための内部状態通知端子 (Ready / Busy 端子) を備えていない半導体メモリ装置においては、ZQ キャリブレーション期間中は、半導体メモリ装置の内部がレディ (Ready) 状態となっても当該状態を把握することはできなかつた。

本発明は、上記に鑑みてなされたものであって、ZQ キャリブレーション期間中であっても内部状態通知端子を備えていない半導体メモリ装置における内部状態を把握できる半導体メモリ装置、方法及びプログラムを提供することを目的としている。

【課題を解決するための手段】

10

20

30

40

50

## 【 0 0 0 7 】

実施形態の半導体メモリ装置は、データバスを具備し、内部状態を通知する内部状態通知端子を不具備の半導体メモリ装置である。

そして半導体メモリ装置は、出力インピーダンスを補正するZQキャリブレーション実行時の内部状態を内部状態通知信号としてデータバスを構成している信号線を介して通知する。

## 【 図面の簡単な説明 】

## 【 0 0 0 8 】

【 図 1 】 図 1 は、実施形態の半導体メモリ装置としてのメモリチップの概要構成ブロック図である。

10

【 図 2 】 図 2 は、第 1 実施形態の動作タイミングチャートである。

【 図 3 】 図 3 は、第 2 実施形態の動作タイミングチャートである。

【 図 4 】 図 4 は、第 3 実施形態の動作タイミングチャートである。

【 図 5 】 図 5 は、第 4 実施形態の動作タイミングチャートである。

【 図 6 】 図 6 は、第 5 実施形態の動作タイミングチャートである。

【 図 7 】 図 7 は、第 6 実施形態の動作タイミングチャートである。

【 図 8 】 図 8 は、第 7 実施形態の動作タイミングチャートである。

【 図 9 】 図 9 は、第 8 実施形態の動作タイミングチャートである。

## 【 発明を実施するための形態 】

## 【 0 0 0 9 】

20

次に実施形態について図面を参照して詳細に説明する。

図 1 は、実施形態の半導体メモリ装置としてのメモリチップの概要構成ブロック図である。

メモリチップ 10 は、大別すると、入出力制御回路 11 と、ロジックコントロール回路 12 と、モードレジスタ 13 と、アドレスレジスタ 14 と、コマンドレジスタ 15 と、列デコーダ 16 と、データレジスタ 17 と、センスアンプ 18 と、メモリセルアレイ 19 と、行デコーダ 20 と、コントロール回路 21 と、を備えている。

## 【 0 0 1 0 】

入出力制御回路 11 は、一例として、8 ビットに対応する 8 本のデータ線 DQ7 ~ DQ0 を備え、各種コマンド、アドレス及びデータ等が入力され、メモリセルアレイから読み出されたデータ等が出力されるデータバスが接続されるデータバス端子 TDQ 及びデータストロープ端子 TDQS に接続され、データストロープ端子 TDQS から入力されるタイミングデータ等に基づいてデータバス端子 TDQ を介してデータの入出力を制御する。

30

また、入出力制御回路 11 は、一例として、5 ビットに対応する 5 本のアドレス線（図 1 においては、以下の説明に係るカラムアドレス送信タイミングに対応するアドレス線としてアドレス線 CA4 ~ CA0 と標記している）を備え、カラムアドレス送信タイミングを利用して各種コマンドが入力されるアドレスバスが接続されるアドレスバス端子 AD を介してアドレス及びコマンドの入力を制御している。

## 【 0 0 1 1 】

ロジックコントロール回路 12 は、後述する各端子の状態を解析し、解析結果に応じた制御を行う。

40

ロジックコントロール回路 12 は、当該メモリチップ 10 が動作対象として選択されていることを示すチップイネーブル信号 CEN が入力されるチップイネーブル端子 TCEN（“L”アクティブ）と、データバス端子 TDQ を介したコマンド取込（コマンドラッチ）の可否を示すコマンドラッチ信号 CLE（“H”アクティブ）が入力されるコマンドラッチイネーブル端子 TCLE と、データバス端子 DQ を介したアドレス取込（アドレスラッチ）の可否を示すアドレスラッチ信号 ALE（“H”アクティブ）が入力されるアドレスラッチイネーブル端子 TALE と、を備えている。

## 【 0 0 1 2 】

また、ロジックコントロール回路 12 は、メモリセルアレイ 19 へのデータ書き込みの

50

可否を示す書込イネーブル信号  $WEn$  (“L” アクティブ) が入力される書込イネーブル端子  $TWEn$  と、メモリセルアレイ 19 からのデータ読み出しの可否を示す読出イネーブル信号  $REn$  (“L” アクティブ) が入力される読出イネーブル端子  $TREn$  と、メモリセルアレイ 19 への書き込みを禁止するための書込プロテクト信号  $WPn$  (“L” アクティブ) が入力される書込プロテクト端子  $TWPn$  と、を備えている。

【0013】

モードレジスタ 13 は、入出力制御回路 11 あるいはコントロール回路 21 から入力される動作モード制御用のモードデータ  $MOD$  を格納する。

アドレスレジスタ 14 は、入出力制御回路 11 がデータバス端子  $DQ$  を介して取得したアドレスデータ  $ADD$  を格納する。

【0014】

コマンドレジスタ 15 は、入出力制御回路 11 がデータバス端子  $DQ$  を介して取得したコマンドデータ  $CMD$  を格納する。

列デコーダ 16 は、アドレスデータ  $ADD$  に含まれる列アドレスデータをデコーディング (復号化) し、メモリセルアレイ 19 のビット線を選択するための信号を生成する。

【0015】

データレジスタ 17 は、メモリセルアレイ 19 に書き込むためのデータ  $DAT$  あるいはメモリセルアレイ 19 から読み出したデータ  $DAT$  を一時的に格納する。

センスアンプ 18 は、メモリセルアレイ 19 から読み出した信号を増幅してデータ  $DAT$  として読み取り可能な状態とする。

【0016】

メモリセルアレイ 19 は、複数のビット線、複数のワード線及び 2 次元配置あるいは 3 次元配置された複数のメモリセルを備え、データ  $DAT$  を記憶する。

行デコーダ 19 は、アドレスデータ  $ADD$  に含まれる行アドレスデータをデコーディング (復号化) し、メモリセルアレイ 19 のワード線を選択するための信号を生成する。

【0017】

コントロール回路 21 は、ロジックコントロール回路 12 の解析結果及びコマンドレジスタ 15 に格納されたコマンドデータ  $MCMD$  に基づいて、モードレジスタ 13 にモードデータ  $MOD$  を書き込むとともに、メモリチップ 10 全体の制御を行う。

【0018】

次にメモリチップ 10 の動作について詳細に説明する。

[1] 第 1 実施形態

図 2 は、第 1 実施形態の動作タイミングチャートである。

本第 1 実施形態においては、 $ZQ$  コマンドが入力された場合にデータバスを構成しているデータ線  $DQ7 \sim DQ0$  のうちいずれかのデータ線 (図 2 の例の場合、データ線  $DQ7$ ) に内部状態通知信号 (ビジー/レディ信号) を出力している。

【0019】

時刻  $t_0$  において、アドレスバス端子  $TAD$  から  $ZQ$  コマンドである  $ZQ$  キャリブレーションショートコマンド (以下、 $ZQCS$  コマンド) の入力開始されたとすると、入出力制御回路 11 及びコマンドレジスタ 15 を介してコントロール回路 21 は、 $ZQCS$  コマンドに対応して、 $ZQ$  キャリブレーションを実行する。すなわち、コントロール回路 21 は、接続されている外部の高精度抵抗を利用して、出力ドライバのインピーダンス及び  $ODT$  (On Die Termination) が配線インピーダンスに合わせて調整し、インピーダンスの不整合を緩和する。これにより、信号の反射も抑制される。

【0020】

すなわち、プロセス、電圧、温度によるばらつきの影響が軽減され、インピーダンス値が適切に制御されて変動幅が小さく維持されるように  $ZQ$  キャリブレーションを実行する。

【0021】

したがって、本第 1 実施形態においては、コントロール回路 21 は、 $ZQCS$  コマンド

10

20

30

40

50

の実行中であり、全てのコマンドを受け付けることができないビジー（Busy）状態であることを通知するために、入出力制御回路11を制御し、時刻t1において、データ線DQ7をハイインピーダンス状態（Z）から“L”レベルへと遷移させる。

【0022】

この結果、メモリチップ10の外部に接続され、メモリチップ10を利用している装置は、データ線DQ7が“L”レベルとなったことを検出して、メモリチップ10がビジー状態にあることを把握することができる。

【0023】

そして、ZQCSコマンドの実行が終了すると、コントロール回路21は、ZQCSコマンドの実行が完了し、待機状態に移行してレディ（Ready）状態であることを通知するために、入出力制御回路11を制御し、時刻t3において、データ線DQ7を“L”レベルから“H”レベルへと遷移させる。

10

【0024】

この結果、メモリチップ10の外部に接続された装置は、データ線DQ7が“H”レベルとなったことを検出して、メモリチップ10がレディ状態に移行したことを把握し、時刻t4において、ZQCSコマンドの実行の結果が成功したか否か、すなわち、パスした（Pass）か、あるいは、フェイルした（Fail）かを検出するためにステータス（Status）コマンドの入力を開始する。

【0025】

時刻t4において、アドレスバス端子TADからステータスコマンドの入力が開始されたとすると、コントロール回路21は、時刻t5において、入出力制御回路11を制御し、時刻t5において、データ線DQ7を“H”レベルからハイインピーダンス状態（Z）へと遷移させる。

20

【0026】

これらの結果、時刻t6において、コントロール回路21は、データ線DQ7～DQ0を介してパス/フェイルデータを出力してメモリチップ10の外部に接続された装置に対して通知することとなる。

【0027】

以上の説明のように、本第1実施形態によれば、ZQキャリブレーション期間中であっても状態通知端子を備えていないメモリチップ10において、ビジー/レディ端子に代えてデータ線DQ7を介して当該メモリチップ10の内部状態信号であるビジー/レディ信号を外部に接続された装置に対して通知でき、当該外部に接続された装置は、メモリチップ10の内部状態を把握できる。

30

【0028】

以上の説明においては、メモリチップ10の内部状態を通知するのにデータ線DQ7を用いていたが、データバスを構成しているデータ線DQ7～DQ0のうち予め定めたいずれかのデータ線を用いることが可能である。

【0029】

また、以上の説明においては、パス/フェイルデータの出力にデータ線DQ7～DQ0の全てを用いる場合について説明したが、当該システムにおいて必要とされるパス/フェイルデータの内容に応じて任意数のデータ線を用いるように構成することも可能である。

40

【0030】

## [2] 第2実施形態

上記第1実施形態においては、データ線DQ7に内部状態通知信号（ビジー/レディ信号）を出力する構成を採るとともに、ZQCSコマンドの実行の結果を取得するためのステータスコマンドの入力によりビジー/レディ情報の出力を解除していたが、本第2実施形態は、ZQCSコマンドの入力によりZQキャリブレーションの終了後に最初に入力されたいずれかのコマンド（以下、ネクストコマンドという）により、内部状態通知信号（ビジー/レディ信号）の出力を解除するとともに、当該メモリチップ10がZQキャリブレーションの実行によりビジー状態となり、その後レディ状態に移行したタイミングでバ

50

ス/フェイルデータの出力を行い、ネクストコマンドの入力によりパス/フェイルデータの出力も解除する場合の実施形態である。

【0031】

図3は、第2実施形態の動作タイミングチャートである。

本第2実施形態においては、第1実施形態と同様にアドレスバス端子TADからZQコマンドが入力された場合にデータバスを構成しているデータ線DQ7～DQ0のうちいずれかのデータ線(図3の例の場合、データ線DQ7)に内部状態通知信号(ビジー/レディ信号)を出力している。

また、本第2実施形態においては、パス/フェイルデータの出力を、パスあるいはフェイルの1ビットの情報としてビジー/レディ情報を出力しているデータ線以外のいずれかのデータ線(図3の例の場合、データ線DQ6)に対して行っている。

10

【0032】

時刻t0において、アドレスバス端子TADからZQCSコマンドの入力が開始されたとすると、入出力制御回路11及びコマンドレジスタ15を介してコントロール回路21は、ZQCSコマンドに対応して、ZQキャリブレーションを実行する。

【0033】

したがって、本第2実施形態においても第1実施形態と同様に、コントロール回路21は、ZQCSコマンドの実行中であり、全てのコマンドを受けつけることができないビジー(Busy)状態であることを通知するために、入出力制御回路11を制御し、時刻t1において、データ線DQ7をハイインピーダンス状態(Z)から“L”レベルへと遷移させる。

20

【0034】

この結果、メモリチップ10の外部に接続され、メモリチップ10を利用している装置は、データ線DQ7が“L”レベルとなったことを検出して、メモリチップ10がビジー状態にあることを把握することができる。

【0035】

そして、ZQCSコマンドの実行が終了すると、コントロール回路21は、ZQCSコマンドの実行が完了し、待機状態に移行してレディ(Reday)状態であることを通知するために、入出力制御回路11を制御し、時刻t2において、データ線DQ7を“L”レベルから“H”レベルへと遷移させる。

30

【0036】

この結果、メモリチップ10の外部に接続された装置は、データ線DQ7が“H”レベルとなったことを検出して、次の何らかの処理を行わせるため、時刻t3において、当該処理に対応するネクストコマンドの入力を開始する。

【0037】

これと並行して、コントロール回路21は、入出力制御回路11を制御し、データ線DQ6を介してパス/フェイルデータを出力してメモリチップ10の外部に接続された装置に対して通知することとなる。

【0038】

そして、時刻t4において、ネクストコマンドの入力が終了すると、コントロール回路21は、入出力制御回路11を制御し、データ線DQ7を“H”レベルからハイインピーダンス状態(Z)へと遷移させる。これとともにコントロール回路21は、入出力制御回路11を制御し、データ線DQ6をハイインピーダンス状態(Z)へと遷移させ、パス/フェイルデータの出力を解除する。

40

【0039】

以上の説明のように、本第2実施形態によれば、第1実施形態の効果に加えて、内部状態通知信号(ビジー/レディ信号)の出力解除のための特別なコマンドを設ける必要がなく、メモリチップ10の外部に接続された装置のコマンド体系を変更する必要がない。

さらにZQキャリブレーションの実効的な実施時間(=ZQコマンドの入力からパス/フェイルデータの出力完了までの時間)をより短縮することができ、処理効率の向上が図

50

れる。

【 0 0 4 0 】

以上の説明においては、メモリチップ 1 0 の内部状態を通知するのにデータ線 D Q 7 を用いていたが、データバスを構成しているデータ線 D Q 7 ~ D Q 0 のうちいずれのデータ線を用いるのかは、予め定めてあればいずれのデータ線であって用いることが可能である。

【 0 0 4 1 】

また、以上の説明においては、パス/フェイルデータの出力にデータ線 D Q 6 を用いていたが、メモリチップ 1 0 の内部状態を通知するのに用いたデータ線(本第 2 実施形態においては、データ線 D Q 7 )以外の予め定めたデータ線であれば、いずれのデータ線であっても用いることが可能である。

10

【 0 0 4 2 】

[ 3 ] 第 3 実施形態

上記第 2 実施形態においては、内部状態通知信号(ビジー/レディ信号)の出力解除及びパス/フェイルデータの出力解除のために、Z Q キャリブレーション実行後に最初に入力された他のコマンドであるネクストコマンドを用いる構成を採っていたが、本第 3 実施形態においては、内部状態通知信号(ビジー/レディ信号)の出力解除及びパス/フェイルデータの出力解除のために新たにステータスリセットコマンドを設け、各チップについて個別に解除を行うようにした場合の実施形態である。

20

【 0 0 4 3 】

図 4 は、第 3 実施形態の動作タイミングチャートである。

本第 3 実施形態においては、第 2 実施形態と同様にアドレスバス端子 T A D から Z Q コマンドが入力された場合にデータバスを構成しているデータ線 D Q 7 に内部状態通知信号(ビジー/レディ信号)を出力し、パス/フェイルデータの出力をデータ線 D Q 6 に対して行っている。

【 0 0 4 4 】

時刻 t 0 において、アドレスバス端子 T A D から Z Q C S コマンドの入力が開始されたとすると、メモリチップ 1 0 の入出力制御回路 1 1 及びコマンドレジスタ 1 5 を介してコントロール回路 2 1 は、Z Q C S コマンドに対応して、Z Q キャリブレーションを実行する。

30

【 0 0 4 5 】

したがって、本第 3 実施形態においても第 2 実施形態と同様に、コントロール回路 2 1 は、Z Q C S コマンドの実行中であり、全てのコマンドを受けつけることができないビジー(B u s y )状態であることを通知するために、入出力制御回路 1 1 を制御し、時刻 t 1 において、データ線 D Q 7 をハイインピーダンス状態(Z)から“ L ”レベルへと遷移させる。

【 0 0 4 6 】

この結果、半導体メモリ装置 1 0 0 の外部に接続され、メモリチップ 1 0 を利用している装置は、データ線 D Q 7 が“ L ”レベルとなったことを検出して、メモリチップ 1 0 がビジー状態にあることを把握することができる。

40

【 0 0 4 7 】

そして、Z Q C S コマンドの実行が終了すると、メモリチップ 1 0 のコントロール回路 2 1 は、Z Q C S コマンドの実行が完了し、待機状態に移行してレディ(R e d a y )状態であることを通知するために、入出力制御回路 1 1 を制御し、時刻 t 2 において、データ線 D Q 7 を“ L ”レベルから“ H ”レベルへと遷移させる。

【 0 0 4 8 】

これと並行して、メモリチップ 1 0 のコントロール回路 2 1 は、入出力制御回路 1 1 を制御し、データ線 D Q 6 を介してパス/フェイルデータを出力して半導体メモリ装置 1 0 0 の外部に接続された装置に対して通知することとなる。

【 0 0 4 9 】

50



この結果、半導体メモリ装置 100 の外部に接続された装置は、データ線 D Q 7 が “ H ” レベルとなったことを検出して、メモリチップ 10 における内部状態通知信号（ビジー / レディ信号）の出力解除及びパス / フェイルデータの出力解除を行わせるため、時刻 t 3 において、ステータスリセットコマンドの入力を開始する。

【 0 0 5 0 】

そして、時刻 t 4 において、ステータスリセットコマンドの入力が終了すると、メモリチップ 10 のコントロール回路 2 1 は、入出力制御回路 1 1 を制御し、データ線 D Q 7 を “ H ” レベルからハイインピーダンス状態（ Z ）へと遷移させる。これとともにコントロール回路 2 1 は、入出力制御回路 1 1 を制御し、データ線 D Q 6 をハイインピーダンス状態（ Z ）へと遷移させ、パス / フェイルデータの出力を解除する。

10

【 0 0 5 1 】

以上の説明のように、本第 3 実施形態によれば、第 2 実施形態の効果に加えて、マルチチップ構成の半導体メモリ装置 100 における特定のメモリチップ 10 において、 Z Q キャリブレーションを実行させることができる。

【 0 0 5 2 】

以上の説明においては、メモリチップ 10 の内部状態を通知するのにデータ線 D Q 7 を用いていたが、データバスを構成しているデータ線 D Q 7 ~ D Q 0 のうちいずれのデータ線を用いるのかは、予め決めてあればいずれのデータ線であって用いることが可能である。

【 0 0 5 3 】

また、以上の説明においては、パス / フェイルデータの出力にデータ線 D Q 6 を用いていたが、メモリチップ 10 の内部状態を通知するのに用いたデータ線（本第 2 実施形態においては、データ線 D Q 7 ）以外の予め定めたデータ線であれば、いずれのデータ線であっても用いることが可能である。

20

【 0 0 5 4 】

[ 4 ] 第 4 実施形態

上記各実施形態においては、メモリチップ 10 の内部状態を通知するのにデータ線 D Q 7 ~ D Q 0 のいずれかを用いていたが、本第 4 実施形態は、データストロープ信号線 D Q S を用いる場合の実施形態である。

【 0 0 5 5 】

図 5 は、第 4 実施形態の動作タイミングチャートである。

以下においては、再び図 1 に示したメモリチップ 10 の構成を用いて説明を行うものとする。

30

本第 4 実施形態においてはデータストロープ信号線 D Q S に内部状態通知信号（ビジー / レディ信号）を出力している。

【 0 0 5 6 】

時刻 t 0 において、アドレスバス端子 T A D から Z Q C S コマンドの入力が開始されたとすると、入出力制御回路 1 1 及びコマンドレジスタ 1 5 を介してコントロール回路 2 1 は、 Z Q C S コマンドに対応して、 Z Q キャリブレーションを実行する。

【 0 0 5 7 】

したがって、本第 4 実施形態においても第 1 実施形態と同様に、コントロール回路 2 1 は、 Z Q C S コマンドの実行中であり、全てのコマンドを受けつけることができないビジー（ B u s y ）状態であることを通知するために、入出力制御回路 1 1 を制御し、時刻 t 1 において、データストロープ信号線 D Q S をハイインピーダンス状態（ Z ）から “ H ” レベルあるいは “ L ” レベルへと遷移させ、その状態を維持し、プリアンプル部 P R E A を形成する。

40

【 0 0 5 8 】

この結果、メモリチップ 10 の外部に接続され、メモリチップ 10 を利用している装置は、データストロープ信号線 D Q S がハイインピーダンス状態（ Z ）でなくなり “ H ” レベルあるいは “ L ” レベルとなったことを検出して、メモリチップ 10 がビジー状態にあ

50

ることを把握することができる。

【0059】

そして、ZQCSコマンドの実行が終了すると、コントロール回路21は、ZQCSコマンドの実行が完了し、待機状態に移行してレディ(Reday)状態であることを通知するために、入出力制御回路11を制御し、時刻t2において、プリアンプル部PREAからデータストロブ信号線DQSを“H”レベルと“L”レベルとの間で交互にトグルさせるトグル部TGLへと移行させる。

【0060】

そして、時刻t3において、コントロール回路21は、入出力制御回路11を制御し、データストロブ信号線DQSを“H”レベルと“L”レベルとの間で交互にトグルさせるトグル部TGLからハイインピーダンス状態(Z)へと遷移させる。

10

【0061】

以上の説明のように、本第4実施形態によれば、ZQキャリアレーション期間中であっても状態通知端子を備えていないメモリチップ10において、ビジー/レディ端子に代えてデータストロブ信号線DQSを介して当該メモリチップ10の内部状態に相当する内部状態通知信号(ビジー/レディ信号)を外部に接続された装置に対して通知でき、当該外部に接続された装置は、メモリチップ10の内部状態を把握できる。

【0062】

[5]第5実施形態

上記第4実施形態においては、データストロブ信号線DQSにビジー/レディ情報を出力する構成を採っていたが、本第5実施形態は、当該メモリチップ10がZQキャリアレーションの実行によりビジー状態となり、その後レディ状態に移行したタイミングでパス/フェイルデータの出力を行う場合の実施形態である。

20

【0063】

図6は、第5実施形態の動作タイミングチャートである。

以下においても、図1に示したメモリチップ10の構成を用いて説明を行うものとする。

。

本第5実施形態においてはデータストロブ信号線DQSにビジー/レディ情報を出力し、データ線DQ7~DQ0にパス/フェイルデータを出力している。

【0064】

時刻t0において、アドレスバス端子TADからZQCSコマンドの入力が開始されたとすると、入出力制御回路11及びコマンドレジスタ15を介してコントロール回路21は、ZQCSコマンドに対応して、ZQキャリアレーションを実行する。

30

【0065】

したがって、本第5実施形態においても第4実施形態と同様に、コントロール回路21は、ZQCSコマンドの実行中であり、全てのコマンドを受け付けることができないビジー(Busy)状態であることを通知するために、入出力制御回路11を制御し、時刻t1において、データストロブ信号線DQSをハイインピーダンス状態(Z)から“H”レベルあるいは“L”レベルへと遷移させ、その状態を維持し、プリアンプル部PREAを形成する。

40

【0066】

この結果、メモリチップ10の外部に接続され、メモリチップ10を利用している装置は、データストロブ信号線DQSがハイインピーダンス状態(Z)でなくなり“H”レベルあるいは“L”レベルとなったことを検出して、メモリチップ10がビジー状態にあることを把握することができる。

【0067】

そして、ZQCSコマンドの実行が終了すると、コントロール回路21は、ZQCSコマンドの実行が完了し、待機状態に移行してレディ(Reday)状態であることを通知するために、入出力制御回路11を制御し、時刻t2において、プリアンプル部PREAからデータストロブ信号線DQSを“H”レベルと“L”レベルとの間で交互にトグル

50

させるトグル部 T G L へと移行させる。

【 0 0 6 8 】

これと並行して、コントロール回路 2 1 は、データ線 D Q 7 ~ D Q 0 にパス/フェイルデータを出力するとともにデータストロブ信号線 D Q S のトグル状態に同期して、パスフェイルデータを反転するトグル状態で出力する。

【 0 0 6 9 】

そして、時刻  $t_3$  において、コントロール回路 2 1 は、入出力制御回路 1 1 を制御し、データストロブ信号線 D Q S 及びデータ線 D Q 7 ~ D Q 0 を “ H ” レベルと “ L ” レベルとの間で交互にトグルさせるトグル部 T G L からハイインピーダンス状態 ( Z ) へと遷移させる。

10

【 0 0 7 0 】

以上の説明のように、本第 5 実施形態によれば、第 4 実施形態の効果に加えて、Z Q キャリブレーションの実効的な実施時間 ( = Z Q コマンドの入力からパス/フェイルデータの出力完了までの時間 ) をより短縮することができ、処理効率の向上が図れる。

【 0 0 7 1 】

[ 6 ] 第 6 実施形態

上記第 4 実施形態及び第 5 実施形態においては、Z Q キャリブレーションコマンド ( 図 5 及び図 6 においては、Z Q C S コマンド ) の入力終了から Z Q キャリブレーションの実行終了までの時間をプリアンブル部 P R E A としていたが、本第 6 実施形態は、Z Q キャリブレーションコマンドの入力開始からリードレイテンシ  $t_{RL}$ 、ライトレイテンシ  $t_{WL}$  または Z Q キャリブレーションレイテンシ  $t_{ZQL}$  が経過してから Z Q キャリブレーションの実行終了までの時間をプリアンブル部 P R E A として、プリアンブル部 P R E A の期間を短くする場合の実施形態である。

20

【 0 0 7 2 】

ここで、Z Q キャリブレーションレイテンシ  $t_{ZQL}$  には、Z Q キャリブレーションロング時のレイテンシである Z Q キャリブレーションロングレイテンシ  $t_{ZQLL}$  及び Z Q キャリブレーションショートレイテンシ  $t_{ZQLS}$  の双方を含むものとし、実際には Z Q キャリブレーションレイテンシ  $t_{ZQL}$  は Z Q キャリブレーションに必要な最短時間に基づいて規定されるものとする。

【 0 0 7 3 】

図 7 は、第 6 実施形態の動作タイミングチャートである。

30

以下においても、図 1 に示したメモリチップ 1 0 の構成を用いて説明を行うものとする。

【 0 0 7 4 】

時刻  $t_0$  において、アドレスバス端子 T A D から Z Q C S コマンドの入力が開始されると、入出力制御回路 1 1 及びコマンドレジスタ 1 5 を介してコントロール回路 2 1 は、Z Q C S コマンドに対応して、Z Q キャリブレーションを実行する。その後、時刻  $t_1$  においてアドレスバス端子 T A D から Z Q C S コマンドの入力が終了する。

【 0 0 7 5 】

これと並行して、コントロール回路 2 1 は、時刻  $t_0$  からリードレイテンシ  $t_{RL}$ 、ライトレイテンシ  $t_{WL}$  または Z Q キャリブレーションレイテンシ  $t_{ZQL}$  が経過した時刻  $t_2$  において、Z Q C S コマンドの実行中であり、全てのコマンドを受けつけることができないビジー ( B u s y ) 状態であることを通知するために、入出力制御回路 1 1 を制御し、時刻  $t_1$  において、データストロブ信号線 D Q S をハイインピーダンス状態 ( Z ) から “ H ” レベルあるいは “ L ” レベルへと遷移させ、その状態を維持し、プリアンブル部 P R E A を形成する。

40

【 0 0 7 6 】

この結果、メモリチップ 1 0 の外部に接続され、メモリチップ 1 0 を利用している装置は、データストロブ信号線 D Q S がハイインピーダンス状態 ( Z ) でなくなり “ H ” レベルあるいは “ L ” レベルとなったことを検出して、メモリチップ 1 0 がビジー状態にあ

50

ることを把握することができる。

【0077】

そして、ZQCSコマンドの実行が終了すると、コントロール回路21は、ZQCSコマンドの実行が完了し、待機状態に移行してレディ(Reday)状態であることを通知するために、入出力制御回路11を制御し、時刻t3において、プリアンブル部PREAからデータストロープ信号線DQSを“H”レベルと“L”レベルとの間で交互にトグルさせるトグル部TGLへと移行させる。

【0078】

そして、時刻t4において、コントロール回路21は、入出力制御回路11を制御し、データストロープ信号線DQS及びデータ線DQ7~DQ0を“H”レベルと“L”レベルとの間で交互にトグルさせるトグル部TGLからハイインピーダンス状態(Z)へと遷移させる。

10

【0079】

以上の説明のように、本第6実施形態によれば、第4実施形態の効果に加えて、プリアンブル部PREAの期間を短くすることができ、処理効率の向上が図れる。

【0080】

以上の説明においては、パス/フェイルデータの出力を行っていなかったが、第5実施形態と同様にパス/フェイルデータの出力を行うように構成することも可能である。

【0081】

[7]第7実施形態

20

上記第4実施形態~第6実施形態においては、ZQCコマンドの実行完了後にデータストロープ信号線DQSをトグル状態としていたが、本第7実施形態は、ZQCコマンドの実行中にデータストロープ信号線DQS(あるいはデータ信号線DQ)をトグルさせることによりビジー状態であることを通知する実施形態である。

【0082】

図8は、第7実施形態の動作タイミングチャートである。

以下においても、図1に示したメモリチップ10の構成を用いて説明を行うものとする。

【0083】

時刻t0において、アドレスバス端子TADからZQCSコマンドの入力が開始されたとすると、入出力制御回路11及びコマンドレジスタ15を介してコントロール回路21は、ZQCSコマンドに対応して、ZQキャリブレーションを実行する。

30

【0084】

コントロール回路21は、その後、時刻t1においてアドレスバス端子TADからZQCSコマンドの入力が終了するとデータストロープ信号線DQSをハイインピーダンス状態(Z)から、“H”レベルと“L”レベルとの間で交互に遷移させるトグル部TGL1へと移行させる。

【0085】

この結果、メモリチップ10の外部に接続され、メモリチップ10を利用している装置は、データストロープ信号線DQSがハイインピーダンス状態(Z)でなくなりトグル部TGL1へ移行したことを検出して、メモリチップ10がビジー状態にあることを把握することができる。

40

【0086】

そして、時刻t2において、ZQキャリブレーションの実行が完了すると、コントロール回路21は、入出力制御回路11を制御し、データストロープ信号線DQSを“H”レベルと“L”レベルとの間で交互にトグルさせるトグル部TGL1からハイインピーダンス状態(Z)へと遷移させて、レディ(Reday)状態であることを通知する。

【0087】

以上の説明のように、本第7実施形態によっても、第4実施形態と同様の効果が得られる。

50

## 【 0 0 8 8 】

以上の説明においては、パス/フェイルデータの出力を行っていなかったが、第5実施形態と同様にパス/フェイルデータの出力を行うように構成することも可能である。することができる。

## 【 0 0 8 9 】

## [ 8 ] 第8実施形態

上記各実施形態においては、チップイネーブル信号C E nの状態については考慮していなかったが、本第8実施形態は、チップイネーブル信号C E nがアクティブ状態において内部状態通知信号を通知する場合の実施形態である。

## 【 0 0 9 0 】

図9は、第8実施形態の動作タイミングチャートである。

本第2実施形態においては、第1実施形態と同様にアドレスバス端子T A DからZ Q コマンドが入力された場合にデータバスを構成しているデータ線D Q 7 ~ D Q 0のうちいずれかのデータ線(図9の例の場合、データ線D Q 7)に内部状態通知信号(ビジー/レディ信号)を出力している。

## 【 0 0 9 1 】

また、本第8実施形態においては、パス/フェイルデータの出力を、パスあるいはフェイルの1ビットの情報としてビジー/レディ情報を出力しているデータ線以外のいずれかのデータ線(図9の例の場合、データ線D Q 6)に対して行っている。

## 【 0 0 9 2 】

時刻t 0において、チップイネーブル信号C E nがアクティブ(図9の例の場合、“L”レベル)となり、時刻t 1においてアドレスバス端子T A DからZ Q C Sコマンドの入力が開始され、時刻t 2において、Z Q C Sコマンドの入力が終了したとすると、チップイネーブル信号C E nはインアクティブ(図9の例の場合、“H”レベル)となる。

これと並行して、入出力制御回路1 1及びコマンドレジスタ1 5を介してコントロール回路2 1は、Z Q C Sコマンドに対応して、Z Q キャリブレーションを実行する。

## 【 0 0 9 3 】

したがって、本第8実施形態においても第2実施形態と同様に、コントロール回路2 1は、Z Q C Sコマンドの実行に移行し、全てのコマンドを受けつけることができないビジー(B u s y)状態となる。

## 【 0 0 9 4 】

その後Z Q C Sコマンドの実行中に、全てのコマンドを受けつけることができないビジー(B u s y)状態であることを通知するために、再び時刻t 3において、チップイネーブル信号C E nがアクティブ(図9の例の場合、“L”レベル)となると、入出力制御回路1 1を制御し、データ線D Q 7をハイインピーダンス状態(Z)から“L”レベルへと遷移させる。

## 【 0 0 9 5 】

この結果、メモリチップ1 0の外部に接続され、メモリチップ1 0を利用している装置は、データ線D Q 7が“L”レベルとなったことを検出して、メモリチップ1 0がビジー状態にあることを把握することができる。

## 【 0 0 9 6 】

そして、Z Q C Sコマンドの実行が終了すると、コントロール回路2 1は、Z Q C Sコマンドの実行が完了し、待機状態に移行してレディ(R e d a y)状態であることを通知するために、入出力制御回路1 1を制御し、時刻t 4において、データ線D Q 7を“L”レベルから“H”レベルへと遷移させる。

## 【 0 0 9 7 】

これと並行して、コントロール回路2 1は、入出力制御回路1 1を制御し、データ線D Q 6を介してパス/フェイルデータを出力してメモリチップ1 0の外部に接続された装置に対して通知することとなる。

## 【 0 0 9 8 】

10

20

30

40

50

この結果、メモリチップ10の外部に接続された装置は、データ線DQ7が“H”レベルとなったことを検出して、次の何らかの処理を行わせるため、時刻t5において、当該何らかの処理に対応するネクストコマンドの入力を開始する。

【0099】

そして、時刻t4において、ネクストコマンドの入力が終了すると、コントロール回路21は、入出力制御回路11を制御し、データ線DQ7を“H”レベルからハイインピーダンス状態(Z)へと遷移させる。これとともにコントロール回路21は、入出力制御回路11を制御し、データ線DQ6をハイインピーダンス状態(Z)へと遷移させ、パス/フェイルデータの出力を解除する。

【0100】

以上の説明のように、本第8実施形態によれば、第2実施形態の効果に加えて、チップイネーブル信号CEnがアクティブの期間のみ、内部状態通知信号(ビジー/レディ信号)を通知する構成を採っているため、内部状態通知信号(ビジー/レディ信号)の通知期間を必要以上に長くする必要がなく、処理効率の向上が図れる。

【0101】

以上の説明においては、期間TMにおいて、内部状態通知信号(ビジー/レディ信号)の通知、パス/フェイルデータの出力及びネクストコマンドの入力を行う構成を採っていた。

【0102】

しかしながら、この期間TMにおいて、図5に示した第4実施形態における時刻t1～時刻t3の処理、図6に示した第5実施形態における時刻t1～時刻t3の処理、図7に示した第6実施形態において時刻t0～時刻t2の後に第6実施形態における時刻t2～時刻t4の処理あるいは、図8に示した第7実施形態における時刻t1～時刻t2の処理を行うようにすることも可能である。

【0103】

以上の説明においては、メモリチップ10の内部状態を通知するのにデータ線DQ7を用いていたが、データバスを構成しているデータ線DQ7～DQ0のうちいずれのデータ線を用いるのかは、予め決めてあればいずれのデータ線であって用いることが可能である。

【0104】

また、以上の説明においては、パス/フェイルデータの出力にデータ線DQ6を用いていたが、メモリチップ10の内部状態を通知するのに用いたデータ線(本第2実施形態においては、データ線DQ7)以外の予め定めたデータ線であれば、いずれのデータ線であっても用いることが可能である。

【0105】

なお、本実施形態の半導体メモリ装置で実行されるプログラムは、ROM等に予め組み込まれて提供される。

本実施形態の半導体メモリ装置で実行されるプログラムは、インストール可能な形式又は実行可能な形式のファイルでCD-ROM、携帯可能な半導体メモリ装置(USBメモリ等)、DVD(Digital Versatile Disk)等のコンピュータで読み取り可能な記録媒体に記録して提供するように構成してもよい。

【0106】

さらに、本実施形態の半導体メモリ装置で実行されるプログラムを、インターネット等のネットワークに接続されたコンピュータ上に格納し、ネットワーク経由でダウンロードさせることにより提供するように構成しても良い。また、本実施形態の半導体メモリ装置で実行されるプログラムをインターネット等のネットワーク経由で提供または配布するように構成しても良い。

【0107】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その

10

20

30

40

50

他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

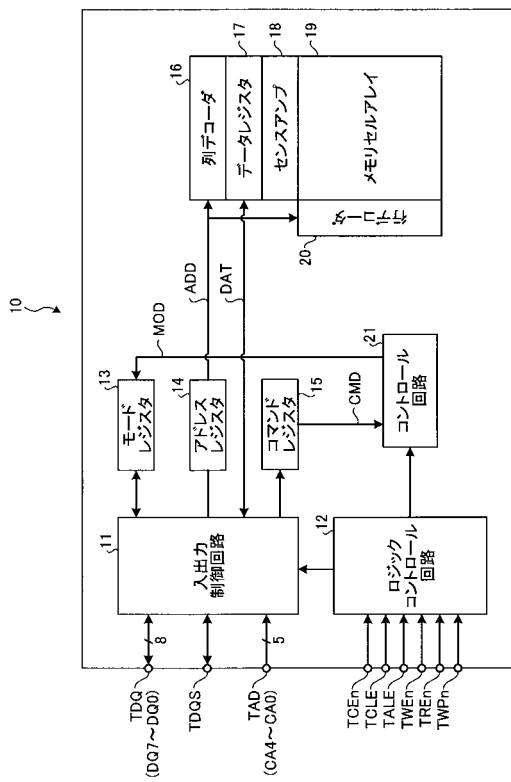
【符号の説明】

【0108】

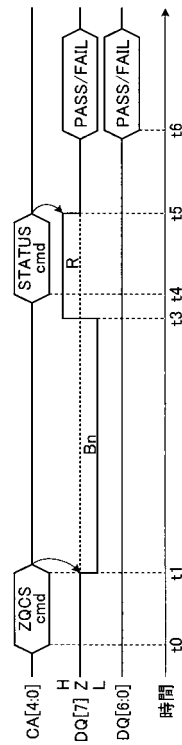
10	メモリチップ	
11	入出力制御回路	
12	ロジックコントロール回路	
13	モードレジスタ	10
14	アドレスレジスタ	
15	コマンドレジスタ	
16	列デコーダ	
17	データレジスタ	
18	センスアンプ	
19	メモリセルアレイ	
20	行デコーダ	
21	コントロール回路	
100	半導体メモリ装置	
ADD	アドレスデータ	20
ALE	アドレスラッチ信号	
CADD	チップアドレス信号	
CE <sub>n</sub>	チップイネーブル信号	
CLE	コマンドラッチ信号	
CMD	コマンドデータ	
2	CADD	
CADD0	チップアドレス信号	
DAT	データ	
TDQ	データバス端子	
DQ <sub>7</sub> ~ DQ <sub>0</sub>	データ信号線	30
DQS	データストロープ信号線	
MCD	コマンドデータ	
MOD	モードデータ	
PREA	プリアンブル部	
RE <sub>n</sub>	読出イネーブル信号	
Ro <sub>n</sub>	出力抵抗	
TALE	アドレスラッチイネーブル端子	
TCADD	チップアドレス信号端子	
TCADD__A	共通チップアドレス信号端子	
TCE <sub>n</sub>	チップイネーブル端子	40
TCE <sub>n</sub> __A	共通チップイネーブル端子	
TCLE	コマンドラッチイネーブル端子	
TDQ	データバス端子	
TDQ__A	共通データバス端子	
TGL	トグル部	
TM	期間	
TRE <sub>n</sub>	読出イネーブル端子	
TWE <sub>n</sub>	書込イネーブル端子	
TWP <sub>n</sub>	書込プロテクト端子	
WE <sub>n</sub>	書込イネーブル信号	50

W P n 書込プロテクト信号  
 t R L リードレイテンシ  
 t W L ライトレイテンシ  
 t Z Q L Z Q キャリブレーションレイテンシ

【 図 1 】

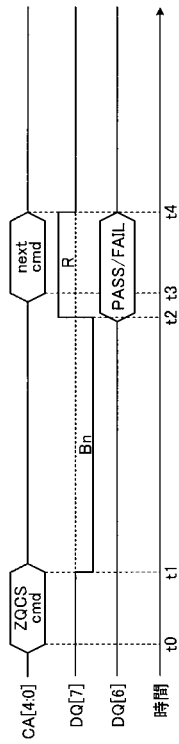


【 図 2 】

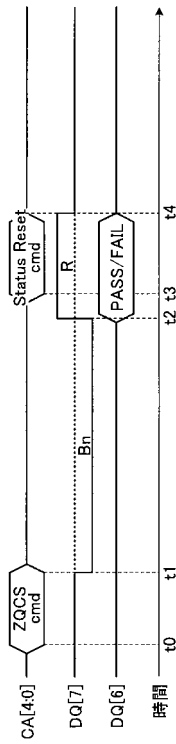




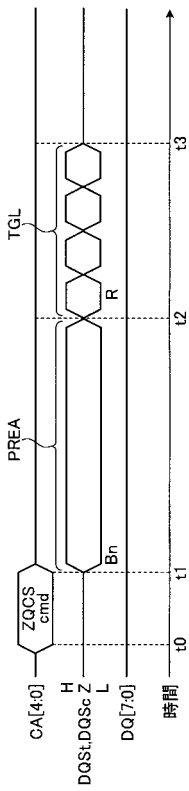
【 図 3 】



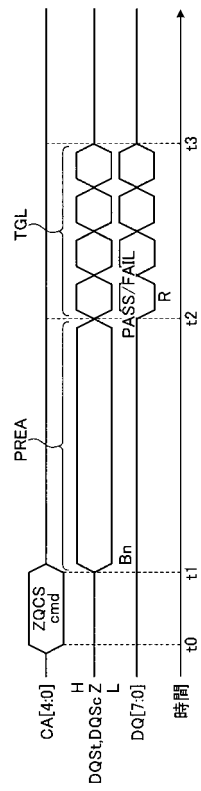
【 図 4 】



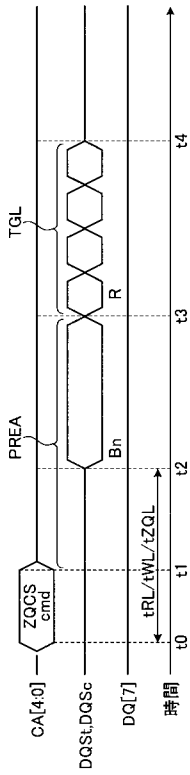
【 図 5 】



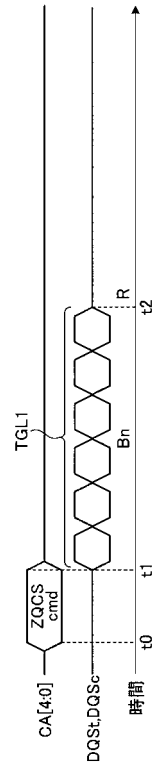
【 図 6 】



【 図 7 】



【 図 8 】



【 図 9 】

