

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2005-295629
(P2005-295629A)

(43) 公開日 平成17年10月20日(2005. 10. 20)

(51) Int.Cl. ⁷ H02M 3/155	F I H02M 3/155 H02M 3/155 H02M 3/155	F H T	テーマコード (参考) 5H730
--	---	-------------	----------------------

審査請求 未請求 請求項の数 5 O L (全 9 頁)

(21) 出願番号 (22) 出願日	特願2004-104470 (P2004-104470) 平成16年3月31日 (2004. 3. 31)	(71) 出願人 ミツミ電機株式会社 東京都多摩市鶴牧2丁目11番地2 (74) 代理人 100070150 弁理士 伊東 忠彦 (72) 発明者 鈴木 雅之 神奈川県厚木市酒井1601 ミツミ電機株式会社厚木事業所内 (72) 発明者 竹下 順司 神奈川県厚木市酒井1601 ミツミ電機株式会社厚木事業所内 (72) 発明者 大原 智光 神奈川県厚木市酒井1601 ミツミ電機株式会社厚木事業所内 Fターム(参考) 5H730 AA14 AS01 BB14 DD04 EE59 FD01 FD11 FG01 XC19
-----------------------	--	---

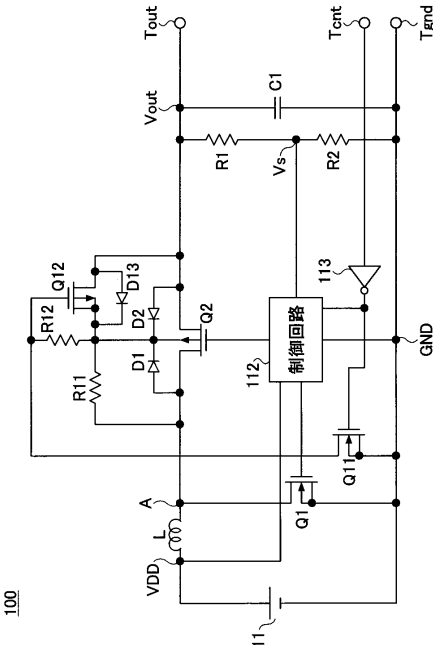
(54) 【発明の名称】 電源装置

(57) 【要約】 (修正有)

【課題】 回路動作停止時のリーク電流を低減できる電源装置を提供する。

【解決手段】 一端に電源電圧VDDが印加されるコイルLと、コイルLの他端と出力端子T_{out}との間にドレイン-ソースが接続された第1のMOSトランジスタQ2と、出力端子T_{out}から出力される出力電圧V_{out}を検出し、出力端子T_{out}の電圧が所定の電圧となるようにコイルLの他端の接続を制御する制御回路112とを有する電源回路において、第1のMOSトランジスタQ2の基板とコイルLとの間に接続された第1の抵抗R11と、第1のMOSトランジスタQ2の基板と第2のMOSトランジスタQ12のゲートとの間に接続された第2の抵抗R12と、第2のMOSトランジスタQ12のゲートと第2の抵抗R12との接続点と基準電位GNDとの間に接続されたスイッチ手段Q11とを有する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

一端に入力端子が接続されたコイルと、該コイルの他端と出力端子との間にドレイン - ソースが接続された第 1 の MOS トランジスタと、該出力端子から出力される出力電圧を検出し、該出力端子の電圧が所定の電圧となるように該コイルの他端の接続を制御する制御回路部とを有する電源回路において、

前記第 1 の MOS トランジスタの基板と前記出力端子との間に接続された第 2 の MOS トランジスタと、

前記第 1 の MOS トランジスタの基板と前記コイルとの間に接続された第 1 の抵抗と、

前記第 1 の MOS トランジスタの基板と前記第 2 の MOS トランジスタのゲートとの間に接続された第 2 の抵抗と、

前記第 2 の MOS トランジスタのゲートと前記第 2 の抵抗との接続点と基準電位との間に接続されたスイッチ手段とを有することを特徴とする電源装置。

【請求項 2】

前記第 2 の MOS トランジスタは、前記出力端子側から前記第 1 の MOS トランジスタの基板側に向かって順方向となるように寄生ダイオードが形成される構成とされたことを特徴とする請求項 1 記載の電源装置。

【請求項 3】

前記第 2 の MOS トランジスタは、P チャネル MOS トランジスタから構成され、基板が前記第 1 の MOS トランジスタの基板に接続されたことを特徴とする請求項 2 記載の電源装置。

【請求項 4】

前記スイッチ手段は、前記出力端子から電源を出力するときにオンされ、前記出力端子から電源の出力を停止する時にオフされることを特徴とする請求項 1 乃至 3 のいずれか一項記載の電源装置。

【請求項 5】

前記スイッチ手段は、MOS トランジスタから構成されたことを特徴とする請求項 1 乃至 4 のいずれか一項記載の電源装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は電源装置に係り、特に、一端に電源電圧が印加されるコイルと、コイルの他端と出力端子との間にドレイン - ソースが接続された MOS トランジスタと、出力端子から出力される出力電圧を検出し、出力端子の電圧が所定の電圧となるように MOS トランジスタを制御する制御回路部とを有する電源装置に関する。

【背景技術】

【0002】

図 3 は従来電源装置の一例の回路構成図を示す。

【0003】

従来電源装置 1 は、コイル L、MOS トランジスタ Q1 ~ Q4、抵抗 R1、R2、コンデンサ C1、インバータ 21、制御回路 22 により、チョップ方式の昇圧型スイッチングレギュレータを構成しており、電池などからなる直流電源 11 の出力電圧を昇圧して出力端子 T_{out}より出力する（特許文献 1 参照）。

【0004】

直流電源 11 は、コイル L の一端に供給される。コイル L の他端は、N チャネル MOS トランジスタ Q1 を介して接地端子 T_{gnd}に接続されているとともに、P チャネル MOS トランジスタ Q2 を介して出力端子 T_{out}に接続されている。

【0005】

出力端子 T_{out}と接地端子 T_{gnd}の間には、抵抗 R1、R2 が直列に接続されるとともに、コンデンサ C が接続されている。抵抗 R1 と抵抗 R2 との接続点には、出力端子 T_{ou}

10

20

30

40

50

tから出力される出力電圧 V_{out} を分割した電圧 V_s が出現する。抵抗 R_1 と抵抗 R_2 との接続点に出現した電圧 V_s は、制御回路22に供給される。

【0006】

制御回路22は、電圧 V_s に応じてMOSトランジスタ Q_1 とMOSトランジスタ Q_2 とを交互にオンさせる。このとき、出力端子 T_{out} から出力される出力電圧 V_{out} が一定となるように、その周期を制御している。

【0007】

なお、MOSトランジスタ Q_3 、 Q_4 は、MOSトランジスタ Q_2 の基板電圧を切り換えるためのスイッチ手段であり、MOSトランジスタ Q_2 がオフ時に、出力端子 T_{out} 側にリーク電流が流れるの防止するための回路である。

【0008】

図4はpチャネルMOSトランジスタの断面図を示す。

【0009】

pチャネルMOSトランジスタは、p形基板31にn形ウェル領域32を設け、さらに、ウェル領域32上に高濃度p形領域33、34を設け、ソース及びドレインとし、高濃度p形領域33と高濃度p形領域34との間の領域上に絶縁層35を挟んでゲート電極36を形成した構成とされている。このとき、高濃度p形領域33、34とウェル領域32及び高濃度n形領域37とで寄生ダイオード D_1 、 D_2 が形成される。

【0010】

このとき、通常MOSトランジスタのようにMOSトランジスタ Q_2 のバックゲートである高濃度n形領域37をソース又はドレインに接続して、基板電位を決定すると、MOSトランジスタ Q_2 がオフの時に寄生ダイオードを通してコイルL側から出力端子 T_{out} 側に電流が流れてしまう。

【0011】

このため、MOSトランジスタ Q_3 、 Q_4 を設け、MOSトランジスタ Q_2 の基板電位を切り換えて、MOSトランジスタ Q_2 のオフ時にコイルL側から出力端子 T_{out} 側に電流が流れることを防止している。

【0012】

端子 T_{cnt} には、外部からコントロール信号が供給される。コントロール信号は、出力端子 T_{out} から出力電圧 V_{out} を出力又は停止させるための信号である。端子 T_{cnt} に供給されたコントロール信号は、制御回路22に供給されるとともに、MOSトランジスタ Q_4 のゲート、及び、インバータ21を介してMOSトランジスタ Q_3 のゲートに供給される。

【0013】

MOSトランジスタ Q_3 は、ソース・ドレインがコイルLの他端とMOSトランジスタ Q_1 の基板との間に接続されている。また、MOSトランジスタ Q_4 は、ソース・ドレインが出力端子 T_{out} とMOSトランジスタ Q_1 のバックゲートである基板との間に接続されている。

【0014】

MOSトランジスタ Q_3 は、コントロール信号がローレベルのときには、そのゲート電位はハイレベルとなるので、オフされる。また、コントロール信号がハイレベルのときには、そのゲート電位はローレベルとなるので、オンされる。

【0015】

MOSトランジスタ Q_4 は、コントロール信号がローレベルのときには、そのゲート電位はローレベルとなるので、オンされる。また、コントロール信号がハイレベルのときには、そのゲート電位はハイレベルとなるので、オフされる。コントロール信号により、MOSトランジスタ Q_3 、 Q_4 を切り換えることにより、出力電圧 V_{out} の出力停止時に、MOSトランジスタ Q_2 の基板電位を切り換え、不要な電流が流れないようにしていた。

【0016】

【特許文献1】特開平8-251913号公報

10

20

30

40

50

【発明の開示】

【発明が解決しようとする課題】

【0017】

しかるに、従来の電源装置1は、単に、MOSトランジスタQ3、Q4のスイッチングによって、基板電圧を切り換えているため、MOSトランジスタQ2の基板電位などを自在に設定することはできなかった。

【0018】

本発明は上記の点に鑑みてされたもので、回路動作停止時のリーク電流を低減でき、回路設計を容易に行える電源装置を提供することを目的とする。

【課題を解決するための手段】

【0019】

本発明は、一端に電源電圧(VDD)が印加されるコイル(L)と、コイル(L)の他端と出力端子(Tout)との間にドレイン・ソースが接続された第1のMOSトランジスタ(Q2)と、出力端子(Tout)から出力される出力電圧(Vout)を検出し、出力端子(Tout)の電圧が所定の電圧となるようにコイル(L)の他端の接続を制御する制御回路(112)とを有する電源回路において、第1のMOSトランジスタ(Q2)の基板と出力端子(Tout)との間に接続された第2のMOSトランジスタ(Q12)と、第1のMOSトランジスタ(Q2)の基板とコイル(L)との間に接続された第1の抵抗(R11)と、第1のMOSトランジスタ(Q2)の基板と第2のMOSトランジスタ(Q12)のゲートとの間に接続された第2の抵抗(R12)と、第2のMOSトランジスタ(Q12)のゲートと第2の抵抗(R12)との接続点と基準電位(GND)との間に接続されたスイッチ手段(Q11)とを有することを特徴とする。

【0020】

また、本発明は、第2のMOSトランジスタ(Q12)は、出力端子(Tout)側から第1のMOSトランジスタ(Q2)の基板側に向かって順方向となるように寄生ダイオード(D13)が形成される構成とされたことを特徴とする。

【0021】

さらに、第2のMOSトランジスタ(Q12)は、PチャネルMOSトランジスタから構成され、基板が第1のMOSトランジスタ(Q2)の基板に接続されたことを特徴とする。

【0022】

また、スイッチ手段(Q11)は、出力端子(Tout)から電源(Vout)を出力するときにオンされ、出力端子(Tout)から電源の出力を停止する時にオフされることを特徴とする。

【0023】

スイッチ手段(Q11)は、MOSトランジスタから構成されたことを特徴とする。

【0024】

なお、上記参照符号はあくまでも参考であり、これによって、特許請求の範囲が限定されるものではない。

【発明の効果】

【0025】

本発明によれば、一端に入力端子が接続されたコイルと、コイルの他端と出力端子との間にドレイン・ソースが接続された第1のMOSトランジスタと、出力端子から出力される出力電圧を検出し、出力端子の電圧が所定の電圧となるようにコイルの他端の接続を制御する制御回路部とを有する電源回路において、第1のMOSトランジスタの基板と出力端子との間に接続された第2のMOSトランジスタと、第1のMOSトランジスタの基板とコイルとの間に接続された第1の抵抗と、第1のMOSトランジスタの基板と第2のMOSトランジスタのゲートとの間に接続された第2の抵抗と、第2のMOSトランジスタのゲートと第2の抵抗との接続点と基準電位との間に接続されたスイッチ手段とを設けることにより、出力端子からの電源の出力を停止したときに第1のMOSトランジスタ及び

10

20

30

40

50

第2のMOSトランジスタを確実にオフさせることができる。これによって、出力端子からの電源出力の停止時に出力端子から負荷にリーク電流が流れることを防止できる。

【0026】

また、本発明によれば、第1の抵抗及び第2の抵抗により第1のMOSトランジスタの基板電位及び第2のMOSトランジスタのゲート電圧を調整できるため、設計を容易に行える。

【発明を実施するための最良の形態】

【0027】

〔構成〕

図1は本発明の一実施例の回路構成図を示す。同図中、図3と同一構成部分には同一符号を付し、その説明は省略する。 10

【0028】

本実施例の電源装置100は、チョッパ方式の昇圧型スイッチングレギュレータであり、コイルL、MOSトランジスタQ1、Q2、Q11、Q12、抵抗R1、R2、R11、R12、コンデンサC1、制御回路112、インバータ113から構成されている。なお、ダイオードD1、D2は、MOSトランジスタQ2の基板とソース及びドレインとの間に形成される寄生ダイオードである。また、ダイオードD13はトランジスタQ12の基板とドレインとの間に形成される寄生ダイオードである。

【0029】

コイルLは、一端に電池などから構成される直流電源11の正電位が印加されている。コイルLの他端は、NチャネルMOSトランジスタQ1のドレイン及びPチャネルMOSトランジスタQ2のドレインに接続されている。MOSトランジスタQ1のソースは、接地端子Tgndに接続されている。また、MOSトランジスタQ2のソースは、出力端子Toutに接続されている。なお、ここで、このコイルLの他端とMOSトランジスタQ1、Q2のドレイン端との接続点をAとする。なお、MOSトランジスタQ2のソース及びドレインと基板との間には、図4に示すように寄生ダイオードD1、D2が寄生している。 20

【0030】

MOSトランジスタQ1のゲート及びMOSトランジスタQ2のゲートは、制御回路112に接続されている。MOSトランジスタQ1及びMOSトランジスタQ2は、制御回路112からの駆動パルスにより交互にオンするようにスイッチングされる。このような動作によって、いわゆる、同期整流方式のレギュレータが構成されている。 30

【0031】

nチャネルMOSトランジスタQ11は、ソース・ドレインが接地端子TgndとMOSトランジスタQ12のゲートとの間に接続されている。MOSトランジスタQ11のゲートには、インバータ113を介してコントロール端子Tcntが接続されており、コントロール端子Tcntに供給されるコントロール信号を反転した反転コントロール信号が供給される。

【0032】

さらに、pチャネルMOSトランジスタQ12は、ソース・ドレインがMOSトランジスタQ2の基板と出力端子Toutとの間に接続されている。MOSトランジスタQ12のゲートは、MOSトランジスタQ11を介して接地端子Tgndに接続されるとともに、抵抗R12を介してMOSトランジスタQ2の基板に接続されている。 40

【0033】

抵抗R11は、MOSトランジスタQ2の基板と接続点Aとの間に接続されている。また、抵抗R12は、MOSトランジスタQ2の基板とMOSトランジスタQ11のゲートとの間に接続されている。

【0034】

制御回路112には、抵抗R1と抵抗R2との接続点の電圧、すなわち、出力端子Toutから出力される出力電圧Voutに応じた電圧Vsが供給されている。制御回路112は、抵抗R1と抵抗R2との接続点の電圧Vsに応じたパルス幅のパルスを生成し、MOSトランジスタQ1、Q2のゲートに供給する。このとき、制御回路112は、MOSトラン 50

ジスタQ 1、Q 2のゲートに供給するパルスのパルス幅を出力端子T outから出力される出力電圧V outが一定の電圧となるように制御している。

【0035】

また、制御回路112には、コントロール端子T cntがインバータ113を介して接続されている。コントロール端子T cntには、外部からコントロール信号が供給される。コントロール信号は、出力端子T outからの出力電圧V outを出力させる動作と停止させる動作とを制御するための信号である。

【0036】

コントロール端子T cntに供給されたコントロール信号は、出力端子T outから出力電圧V outを出力させるときには、ローレベルとなり、出力端子T outからの出力電圧V outの出力を停止させるときには、ハイレベルとなる。コントロール端子T cntに供給されたコントロール信号は、インバータ113に供給される。インバータ113は、コントロール端子T cntからのコントロール信号を反転させる。反転コントロール信号は、制御回路112及びM O SトランジスタQ 11のゲートに供給される。

10

【0037】

制御回路112は、コントロール端子T cntに供給されるコントロール信号がローレベルであり、インバータ113の出力信号がハイレベルのときには、抵抗R 1と抵抗R 2との接続点の電圧V sに応じたパルス幅のパルス信号を生成し、M O SトランジスタQ 1、Q 2のゲートに供給することによって、M O SトランジスタQ 1とM O SトランジスタQ 2とを交互にオンさせ、出力端子T outから出力電圧V outが出力されるように動作する。また、制御回路112は、コントロール端子T cntに供給されるコントロール信号がハイレベルであり、インバータ113の出力信号がローレベルのときには、M O SトランジスタQ 1のゲート電位をローレベルとし、M O SトランジスタQ 2のゲート電位をハイレベルとすることにより、M O SトランジスタQ 1、Q 2を共にオフ状態とし、出力端子T outからの出力電圧V outの出力が停止されるように動作する。

20

【0038】

このとき、M O SトランジスタQ 11のゲートには、反転コントロール信号が供給されているので、インバータ113の出力信号がハイレベルのときには、ゲート電位がハイレベルとなり、M O SトランジスタQ 11は、オン状態となる。M O SトランジスタQ 11がオンすることにより、M O SトランジスタQ 12のゲート電位がローレベルとなる。M O SトランジスタQ 12は、ゲート電位がローレベルとなると、オンする。

30

【0039】

M O SトランジスタQ 11は、インバータ113の出力信号がローレベルのときには、ゲート電位がローレベルになるので、オフ状態となる。M O SトランジスタQ 11がオフすると、M O SトランジスタQ 12のゲート電位がハイレベルとなるので、M O SトランジスタQ 12はオフ状態となる。

【0040】

〔動作〕

図2は本発明の一実施例の動作説明図を示す。図2(A)は昇圧動作時、図2(B)は昇圧停止時の要部の等価回路図を示す。

40

【0041】

(A)昇圧動作時

昇圧動作時には、コントロール端子T cntに供給されるコントロール信号がローレベルとされる。ローレベルのコントロール信号は、インバータ113により反転されてハイレベルとされ、制御回路112及びM O SトランジスタQ 11のゲートに供給される。

【0042】

制御回路112は、M O SトランジスタQ 1とM O SトランジスタQ 2とを交互にオンさせる。また、M O SトランジスタQ 11は、ゲートがハイレベルとなるので、オン状態を維持する。M O SトランジスタQ 11がオンすると、M O SトランジスタQ 12のゲート電位がローレベルとなるので、M O SトランジスタQ 12はオンする。

50

【0043】

このため、MOSトランジスタQ2、Q11、Q12の周辺の回路は、図2(A)に示すような等価回路で表すことができる。

【0044】

(a) MOSトランジスタQ1がオン状態、MOSトランジスタQ2がオフ状態のときには、電源11からの電流はコイルLとMOSトランジスタQ1を介してグランド電位に流れ、コイルLにエネルギー蓄積される。このとき、接続点Aはグランド電位となり、MOSトランジスタQ2の基板は、抵抗R12及びMOSトランジスタQ11を介して接地端子Tgndに接続されるので、グランド電位に維持される。

【0045】

(b) MOSトランジスタQ1がオフ状態、MOSトランジスタQ2がオン状態のときには、コイルLに蓄積されたエネルギーは、MOSトランジスタQ2を介して出力端子T_{out}に出力される。

【0046】

なお、このとき、接続点Aの電位が上昇するので、MOSトランジスタQ2の基板の電位は、接続点Aの電位を抵抗R11と抵抗R12とで分割したものとなる。

【0047】

(B) 昇圧停止時

昇圧停止時には、コントロール端子T_{cnt}に供給されるコントロール信号は、ハイレベルとされる。コントロール端子T_{cnt}に供給されるコントロール信号がハイレベルとなると、インバータ113の出力はローレベルとなる。

【0048】

インバータ113の出力がローレベルとなることにより、制御回路112はMOSトランジスタQ1、Q2を共にオフ状態に維持する。また、インバータ113の出力がローレベルとなることにより、MOSトランジスタQ11がオフする。MOSトランジスタQ11がオフすると、トランジスタQ12には、抵抗R11、R12を介してハイレベルとされるので、トランジスタQ12はオン状態となる。このとき、MOSトランジスタQ2の基板は、電源電圧V_{DD}に維持される。

【0049】

このため、MOSトランジスタQ2、Q11、Q12の周辺の回路は、図2(B)に示すような等価回路で表すことができる。

【0050】

このとき、MOSトランジスタQ1、Q2、Q11、Q12がすべてオフすることによって、図2(B)に示すように抵抗R11と寄生ダイオードD1、D2、D13が回路上に現れる。寄生ダイオードD2、D13は、共に出力端子T_{out}からトランジスタQ2の基板との間に逆方向に接続されることになる。これによって、接続点Aから出力端子T_{out}側に電流が流れることがなくなる。

【0051】

本実施例によれば、出力端子からの電源の出力を停止したときに、MOSトランジスタQ2及びMOSトランジスタQ11を確実にオフさせることができ、また、このとき、寄生ダイオードD2、D13も逆方向とすることができるため、電源11から出力端子T_{out}にリーク電流が流れることを防止することができる。

【0052】

また、本実施例によれば、抵抗R11、R12によりMOSトランジスタQ2の基板電位及びMOSトランジスタQ12のゲート電圧を調整できるため、設計を容易に行える。

【図面の簡単な説明】

【0053】

【図1】本発明の一実施例の回路構成図である。

【図2】本発明の一実施例の要部の等価回路図である。

【図3】従来の電源装置の一例の回路構成図である。

10

20

30

40

50

【図 4】MOS トランジスタ Q 2 の断面図である。

【符号の説明】

【 0 0 5 4 】

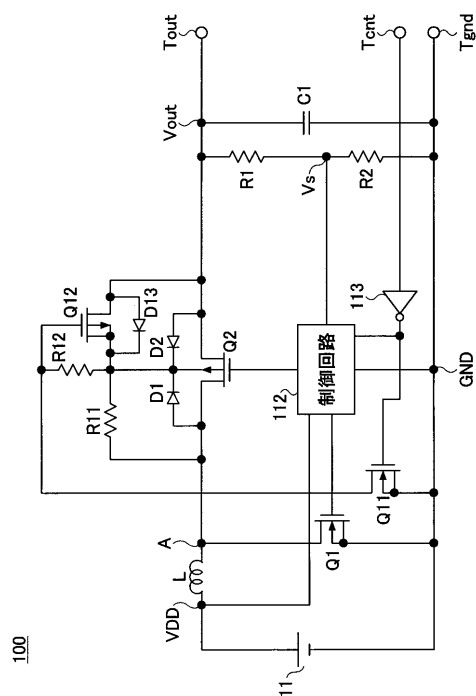
1 1 直流電源

L コイル、R 1、R 2、R 11、R 12 抵抗、C 1 コンデンサ

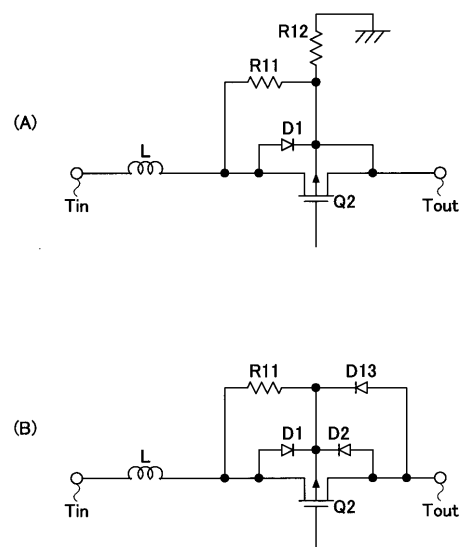
Q 1、Q 2、Q 11、Q 12 MOS トランジスタ、D 1、D 2、D 13 寄生ダイオード

1 0 0 電源装置、1 1 2 制御回路、1 1 3 インバータ

【図 1】



【図 2】



【 図 4 】

