

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 3 区分
 【発行日】平成 23 年 2 月 3 日 (2011.2.3)

【公開番号】特開 2009-147784 (P2009-147784A)
 【公開日】平成 21 年 7 月 2 日 (2009.7.2)
 【年通号数】公開・登録公報 2009-026
 【出願番号】特願 2007-324500 (P2007-324500)
 【国際特許分類】

H 0 3 K 17/16 (2006.01)

H 0 3 K 17/687 (2006.01)

H 0 2 M 1/08 (2006.01)

【F I】

H 0 3 K 17/16 L

H 0 3 K 17/687 A

H 0 2 M 1/08 A

【手続補正書】

【提出日】平成 22 年 12 月 15 日 (2010.12.15)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体素子をスイッチング動作させる駆動信号を生成する駆動回路であって、
 駆動信号のオン期間及びオフ期間を決める信号を生成する I C の出力がゲートまたはベースに印加される第 1 のトランジスタと、
 前記第 1 のトランジスタと縦続接続され、前記 I C の出力がツェナーダイオードを介してゲートまたはベースに印加される第 2 のトランジスタとからなり、
前記第 1 及び第 2 のトランジスタは M O S トランジスタからなり、
前記第 1 の M O S トランジスタのドレインまたはソースにゲートが接続された第 3 の M O S トランジスタと、
前記第 2 の M O S トランジスタのドレインまたはソースと、一端が電源電圧に接続された第 2 の抵抗と、
前記第 2 の抵抗の他端に、ゲートが接続された第 4 の M O S トランジスタとを有する半導体素子の駆動回路。

【請求項 2】

前記第 1 と第 2 の M O S トランジスタは第 1 の抵抗を介して縦続接続され、
前記第 3 の M O S トランジスタのソースは第 3 の抵抗の一端に接続され、ドレインは前記第 4 の M O S トランジスタのドレインに接続され、
前記第 3 の抵抗の他端は前記電源電圧に接続され、
前記第 4 の M O S トランジスタのソースは第 4 の抵抗を介して接地され、
前記第 1 の抵抗の値は、前記第 3 の抵抗及び前記第 4 の抵抗の値に比べて大きな値である請求項 1 記載の半導体素子の駆動回路。

【請求項 3】

前記第 1 の M O S トランジスタのゲートまたはベースには、第 1 のダイオードと第 1 のツェナーダイオードが直列に接続され、
 前記第 2 の M O S トランジスタのゲートまたはベースには、第 2 のダイオードと第 2 の

ツェナーダイオードが直列に接続されている請求項 1 または 2 記載の半導体素子の駆動回路。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正の内容】

【0010】

本発明は、半導体素子をスイッチング動作させる駆動信号を生成する駆動回路であって、駆動信号のオン期間及びオフ期間を決める信号を生成する IC の出力がゲートまたはベースに印加される第 1 のトランジスタと、前記第 1 のトランジスタと縦続接続され、前記 IC の出力がツェナーダイオードを介してゲートまたはベースに印加される第 2 のトランジスタとからなり、前記第 1 及び第 2 のトランジスタは MOS トランジスタからなり、前記第 1 の MOS トランジスタのドレインまたはソースにゲートが接続された第 3 の MOS トランジスタと、前記第 2 の MOS トランジスタのドレインまたはソースと、一端が電源電圧に接続された第 2 の抵抗と、前記第 2 の抵抗の他端に、ゲートが接続された第 4 の MOS トランジスタとを有する。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正の内容】

【0011】

この駆動回路によれば、駆動回路の電源電圧が所定値以上に上昇するまで駆動回路がオン動作しないようにできる。

また、このように構成することで、駆動回路の電源電圧が所定値以上に上昇するまで駆動回路がオン動作しないようにできる。

上記の駆動回路において、前記第 1 と第 2 の MOS トランジスタは第 1 の抵抗を介して縦続接続され、前記第 3 の MOS トランジスタのソースは第 3 の抵抗の一端に接続され、ドレインは前記第 4 の MOS トランジスタのドレインに接続され、前記第 3 の抵抗の他端は前記電源電圧に接続され、前記第 4 の MOS トランジスタのソースは第 4 の抵抗を介して接地され、前記第 1 の抵抗の値は、前記第 3 の抵抗及び前記第 4 の抵抗の値に比べて大きな値である。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正の内容】

【0012】

このように構成することで、第 1 の抵抗の値は、第 3 の抵抗、第 4 の抵抗の値に比べて大きな値にすることができ、第 1 の MOS トランジスタ、第 2 の MOS トランジスタに流れる貫通電流は動作上問題が無い値にできる。

上記の駆動回路において、前記第 1 の MOS トランジスタのゲートまたはベースには、第 1 のダイオードと第 1 のツェナーダイオードが直列に接続され、前記第 2 の MOS トランジスタのゲートまたはベースには、第 2 のダイオードと第 2 のツェナーダイオードが直列に接続されている。