

公告本

申請日期	90 - 12 - 25
案 號	90132154
類 別	G11C ^{11/00} , H01L ^{27/05}

A4
C4

544677

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	磁阻記憶元件
	英 文	
二、發明 創作人	姓 名	1.小田川 明弘 2.平本 雅祥 3.松川 望
	國 籍	日 本
三、申請人	住、居所	1.日本奈良縣奈良市菖浦池北 3-10-7-404 2.日本奈良縣生駒市俵口町 1863-2 3.日本奈良縣奈良市學園朝日元町 1 丁目 498-2-1-101
	姓 名 (名稱)	松下電器產業股份有限公司
	國 籍	日 本
	住、居所 (事務所)	日本大阪府門真市大字門真 1006 番地
	代 表 人 姓 名	中村 邦夫

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
I P C 分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ， ☒有 ☐無主張優先權
日本 2000.12.26 2000-394319

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(/)

【技術領域】

本發明係有關利用磁阻效應之磁阻記憶元件，特別是有關適用於高速脈衝傳送之磁阻記憶元件。

【習知技術】

作為使用磁阻元件(MR 元件)的固體記憶裝置，正針對磁性隨機存取記憶體(MRAM)進行研究中。MRAM 係具備導電配線，該導電配線為包含對 MR 元件產生記錄磁場之用的字(Word)線，以及讀取用的感測(Sense)線。習知技術中，MRAM 雖係使用呈現出磁阻變化率(MR 變化率)為 2% 程度之異向性 MR 效應(AMR)的 NiFe 膜等，但卻有輸出提昇的問題。透過非磁性膜而由交換結合的磁性膜形成的人工晶格膜所呈現出的巨大磁阻效應(GMR)被發現之後，即有使用 GMR 膜之 MRAM 被提出。但是，由反強磁性交換結合的磁性膜形成的 GMR 膜，相較於呈現出極大 MR 變化率的 AMR 模，因係須要極大的施加磁場，故須要極大的資訊記錄電流及讀出電流。對交換結合型 GMR 膜則提出以旋轉閥膜作為非結合型 GMR 膜，為使用反強磁性膜之構成或使用(半)硬質性膜之構成。其旋轉閥膜在與 AMR 相同的低磁場下，亦較 AMR 膜能獲得更大的 MR 變化率。此外，對於非磁性層為 Cu 等的導體膜的 GMR 膜，亦提案在非磁性層使用有 Al_2O_3 等的絕緣膜的穿隧型 GMR(TMR)膜的一種 MRAM。而利用這些磁阻效應的 RAM，在原理上係能構成非揮發性記憶體，且因能達成高速化、高積體化，故極具潛力能成為次世代的記憶體。

五、發明說明（ 2 ）

目前所使用之主要的非揮發記憶體，係快閃(Flash)記憶體，但在寫入動作中係以高速之高壓脈衝來驅動電壓脈衝的一種所謂使用電壓驅動方式。而對研究開發中的強電介質記憶體亦採用電壓驅動。

相對於此，MARM 係為電流驅動之裝置。為了記錄資訊於 MR 元件，係必須施加脈衝電流至配置於該元件四週的導電線(字線)並產生脈衝磁場。因此，MRAM 係當脈衝波形擾動時其動作就變得不安定。是故，當字線的阻抗(impedance)無法匹配即造成 MRAM 高速動作的困難。

而且，MRAM 係隨著積體程度的提昇，而易於產生磁性串擾。磁性串擾係一種傳送相鄰之字線上的脈衝電流所影響於 MR 元件的磁場雜訊。而該雜訊因會使記錄的資訊消失，故對提昇積體度造成障礙。

【發明之揭示】

如習知技術般地，在對 1 個 MR 元件寫入資訊，其所使用的單線路的字(word)線，在該線路的阻抗的匹配上有其界限，且亦無法充分地控制磁性串擾。是故，本發明係在相對於 1 個元件的字線，作成包含延伸於相同方向的複線路之狀態。亦即，本發明之磁阻記憶元件之特徵，係包含磁阻元件、以及用以施加磁場於該磁阻元件的配線，且該配線為包含延伸於相同方向的 2 以上的導電線。

根據本發明，因脈衝傳送用線路的阻抗匹配容易，故延遲係數變小，且亦能抑制脈衝波形的失真。因此，能達成 MRAM 中的高速響應，此外，根據本發明，能相對地減

五、發明說明 (3)

弱相鄰的字線間的結合。因此亦能易於減低 MRAM 中的磁性串擾。

【圖式之簡單說明】

第 1 圖為表示本發明之 MR 元件週的配線例之立體圖。

第 2 圖 A~C 為表示脈衝傳送用導電線的阻抗的脈衝時間依存性與導電線配置之關係，第 2 圖 A、B 為分別表示習知之單線路的上述關係，第 2 圖 C 為表示本發明之一例的上述關係。

第 3 圖為使用字線時之磁場與感測線時之磁場所合成的磁場時的動作點的示意圖。

第 4 圖為表示本發明之 MR 元件周邊之配線之其他例子之立體圖。

第 5 圖為表示本發明之 MR 元件周邊之配線之另一例子之立體圖。

第 6 圖為簡略表示第 4 圖之配置例之截面圖。

第 7 圖為表示本發明之 MR 元件周邊之配線之另一例子之截面圖。

第 8 圖 A~F 為表示導電線(信號線及被動線)之配線側。第 8 圖 A 係表示對 1 個元件僅對應 1 條之信號線之習知配線，第 8 圖 B~F 為表示對 1 個元件對應 1 條之信號線與至少 1 條之被動線，且此類導電線為延伸於同一方向之配線。

第 9 圖 A~C 係分別表示本發明之信號線與被動線之其他配置例。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (4)

第 10 圖為表示終端電阻之配置例。

第 11 圖為採用本發明之 MRAM 之一例之俯視圖。

第 12 圖為表示產生磁場時元件周邊之第 11 圖的部分放大圖。

第 13 圖為表示 MOS 電晶體與 MR 元件之連接例的截面圖。

第 14 圖係採用第 13 圖之配置之 MRAM 之部分配線圖。

第 15 圖為表示 MOS 電晶體與 MR 元件之連接之其他例的截面圖。

第 16 圖係採用第 15 圖配置之 MRAM 之部分配線圖。

第 17 圖 A~F 係表示分別附加強磁性體於第 8 圖之一對信號線上之例子的截面圖。

第 18 圖係表示具有截面為矩形以外之形狀的導電線之例子的截面圖。

第 19 圖 A~G 係分別表示使用於本發明之 MR 元件之膜構成例之截面圖。

第 20 圖 A~F 係簡略表示實施例 2 所製作之 MRAM 之字線之配線之立體圖。

【發明之實施形態】

以下，參閱圖面說明本發明之實施形態。

第 1 圖係為了寫入資訊至磁阻元件(MR 元件)10 而配置有 2 條導電線所構成之字線 11、12。感測線 20 的延伸方向係與字線的延伸方向形成 90 度角而配置著。字線 11

五、發明說明(5)

、12 係由透過絕緣膜(末圖示)以互為相對向之間離狀態而配置的 2 層導電膜所構成。又，以下之任何圖示，爲了簡單化，絕緣膜等的習知構件均作適度的省略。

習知之字線由於係爲單線路，故與接近於該部位的其他導電線等之間的結合即形成限制。因此，難以達成阻抗的匹配。然而，若使用 2 條以上並列的導電線，則能易於控制字線的特性阻抗。

導電線 11、12 係在施加寫入資訊用的脈衝磁場於元件的部分上，互為延伸於同一方向即可，且其剩餘領域中的配置並不被限制。導電線 11、12 爲了能獲得既定的特性阻抗，在上述部分中，於既定的範圍內互相保持之間的間隔爲佳。

若使用複線路，即能實現習知單線路所無法實現之低特性阻抗。由 2 條以上之導電線所構成之複線路的特性阻抗，雖無特別限定，但以 $5K\Omega$ 以下，特別是 $1\Omega\sim 1K\Omega$ 的程度最爲適當。爲了實現該程度的特性阻抗，構成複線路的 2 條以上的導電線的間隔，係例如保持於 $0.05\sim 10\mu m$ 的範圍內爲佳。

爲能在 MR 元件 10 的磁性膜提供形狀異向性，元件的面形狀係以 $L_1 \neq W_1$ 爲佳。但，MR 元件的形狀並不限於圖示之正方體，各種角柱、圓柱、圓錐形、角錐形等均可。

第 2 圖 A~第 2 圖 C 爲表示脈衝磁場產生用之傳送線路中的線路阻抗之脈衝時脈數之依存性的例子。此處，構成線路之導電線的寬度係作成 $0.2\mu m$ 。而爲了元件的積

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (6)

體化，導電線的寬度及厚度係分別為 $1\mu\text{m}$ 以下為佳。而作成層間絕緣膜的材料，則選用氧化鋁(介電比例：約 8：5，介電損耗：約 0：01)。配置於上下的接地面 30(上部接地面係省略)與導電線距離 $d1$ 、 $d2$ ，均作成 $100\mu\text{m}$ 。

使用單層導電線 31 的情形時(圖 2A、B)，為能使特性阻抗成為 50Ω ，則有必要縮小導電線 31 與接地面 30 之間的距離 $d1$ ，成為 $0.2\mu\text{m}$ 程度(圖 2A)。MRAM 則因形成元件及配線而必須作成多層膜，故必須取得較大的距離 $d1$ 。但若考量此點，而將 $d1$ 作成 $100\mu\text{m}$ 的話，則偏向於較高阻抗側(圖 2B)。

若使用複數導電線 31、32，即使將導電線 32 與接地面 30 的距離 $d1$ 擴大至 $100\mu\text{m}$ 程度，但若保持兩導電線間的距離 $d3$ 於 $0.2\mu\text{m}$ 程度，亦能匹配特性阻抗 Z 為 50Ω 。第 2 圖 C 所示之配置情形，即使脈衝電流的頻率達到約 10GHz ，其匹配性亦確定可被維持。

理想之 $d3$ 之值，亦即互為對向地配置之一對導電線的理想距離，係因導電線的寬度 W 而不同。該範圍在一般上係能以式子： $W/10 \leq d3 \leq 5W$ (但 $W \leq 1\mu\text{m}$)來實現。

又，作為層間絕緣體，使用氧化矽或氟化鎂以取代氧化鋁時，因介電比例或介電損耗的變化，而距離 $d3$ 的最佳值或有多少的變化，但，易於匹配 2 層導電線的阻抗之此點則無改變。

強磁性體的磁化反轉動作，係進行數百 MHz 的響應之確認。而在活用如此特性的高速動作上，以無失真或延遲

五、發明說明 (7)

地傳送電流脈衝為佳。當使用複線路的字線時，ns 單位以下例如 0.1ns 以下的脈衝傳送，亦能抑制波形的失真等。

在寫入資訊時，甚至亦可導通電流於感測線 20。此因使用字線 11、12 的磁場 H_w 與感測線 20 的磁場 H_s 兩者的合成磁場 H_R 於元件 10 上，而能使寫入用的磁場變小之故。如第 3 圖所示，在磁場 H_w 與磁場 H_s 的動作點中，施加磁場使形成 1:1 之狀態(換言之，相對於磁場 H_w 的磁場 H_R 的角度 θ 為 45°)即能令寫入磁場為最小。

構成複線路的導電線，係並不限定於第 1 圖所示之配置，例如配置成挾持 MR 元件之狀態亦可。當使用配置成挾持 MR 元件之狀態的一對導電線，即能具有效率地施加磁場 H_w 。如第 4 圖所示，以導電線 12、13 挾持元件 10 的方向，其構成 MRAM 的多層膜的積層方向雖佳，但如第 5 圖所示，沿著多層膜的膜面方向而挾持元件 10 之狀態而配置導電線 14、15 亦可。

若僅顯示 MR 元件 10 與導電線 12、13，則第 4 圖的配置即形成第 6 圖所示之相同情形。挾持元件而配置的一對導電線 12、13，係以奇數模式來結合為佳。此因施加脈衝電流於一方的導電線時，另一方的導電線係為傳送反相位之脈衝的狀態，而自兩導電線施加同一方向之脈衝磁場於元件之故。

延伸於同一方向的導電線的數目亦可為 3 以上。例如，第 7 圖係配置有追加的導電線 16、17。此情形時，亦可配置各導電線，而使 4 條導電線 12、13、16、17 全體能獲

五、發明說明 (8)

得既定的特性阻抗。

構成複線路的 2 條以上的導電線，係以包含輸入施加磁場用的電流之信號線(信號驅動線)、以及保持於既定電位的被動線(結合被動線)等為佳。被動線在理想上雖是下降至接地電位，但只要維持於既定電位的話，即使是非接地電位亦可。信號線與被動線係可進行電容性的結合，使被動線上能產生因應於輸入至信號線的脈衝電流之一種脈衝電流。

第 8 圖 B~F 為表示信號線 31 及被動線 32 的配置例。簡化之故而省略了 MR 元件之圖示，但此類圖示係對 1 條信號線 31 而對應著 1 個元件，該元件係配置於信號線 31 與相對向於此的被動線 32 之間(因此各圖中省略了 3 個 MR 元件的圖示)。

如第 8 圖 A 所示，習知之單線的導電線 31 係較接地面 30 更易於與鄰接的其他信號線相結合。該結合係造成誤動作之原因。相對於此，第 8 圖 B~F 係對 1 個的 MR 元件，其 2 條以上的導電線為延伸於同一方向，在 2 條以上的導電線中，係包含信號線 31、以及較接地面 30 更接近於信號線而配置的至少 1 條被動線 32、33。圖示之形態係特別具有高速脈衝傳送及抑制磁場串擾之功效的一種配列。

第 8 圖 B~F 的各形態中，被動線 32 係透過元件(省略圖示)而配置於信號線 31 的相對向位置。相對於此點，被動線 33 係配置於自元件所視為與信號線 31 相同的一端，且介於信號線 31、31 之間。該被動線 33 的存在係具有抑

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

制磁場串擾的功效。亦即，對第 1MR 元件及第 2MR 元件，具備分別輸入施加脈衝磁場用之電流的第 1 信號線及第 2 信號線，且這些第 1 信號線及第 2 信號線為延伸於同一方向的情形時，係可在第 1 信號線及第 2 信號線之間，配置保持於既定電位之至少 1 條被動線。被動線 33 的較佳配置係包含與鄰接的信號線 31、31（第 1 信號線及第 2 信號線）相同面內。此處所謂相同面內，更正確的說，係指構成 MRAM 的多層膜的相同膜面上。

如上所述，被動線 32 係與信號線 31 以奇數模式結合為佳。而對於此點，為能更有效率的抑制磁場串擾，可將被動線 33 與鄰接的信號線 31、31 的至少一方（更佳則是兩方）以偶數模式結合。

若將被動線 33 視為第 1 被動線，則被動線 32 為第 2 被動線，該第 2 被動線理想上係沿著多層膜的積層方向，在鄰接於第 1 被動線的信號線 31、31 的其中一方的同時，亦能形成挾持 MR 元件之狀態而配置為佳。第 8 圖的形態係自信號線 31 與被動線 32，能有效地施加脈衝磁場於其之間的 MR 元件。第 8 圖 C 的形態雖自元件的集積度的提昇的觀點而論是劣於第 8 圖 B 的形態，但配置於鄰接的信號線 31 及被動線 33 則能有效的抑制磁性串擾。第 8 圖 D~F 的各形態係具有合併上述兩形態的優點。第 8 圖 E 係藉由擴大被動線 32 的線寬較信號線引為大的措施，而第 8 圖 F 則在鄰接的信號線之間配置複數被動線 33 之措施，進而分別抑制磁性場漏磁。

五、發明說明（ 10 ）

信號線及被動線的配置並不自限於上述所例示之形態。例如第 9 圖 A~C 所示，信號線 31 並非一定要形成於相同面內。如此類圖所示，配置信號線 31 於兩個以上的面內，並只要在這些面內配置被動線 34、35 於信號線之間，即能提高集積度且抑制磁性串擾。

例如第 9 圖 B，被動線 34a 係能同時擔負著施加脈衝磁場於與相對向的信號線 31a 所挾持的 MR 元件(省略圖示)的功能，以及抑制來自鄰接的信號線 31b、31c 的磁場漏磁的功能。如此，被動線係可在與信號線同時挾持 MR 元件、且與鄰接的其他的信號線形成相同面內的狀態下而予以配置。此處，被動線 34a 係與信號線 31a 以奇數模式結合，而與面內的信號線 31b、c 以偶數模式結合為佳。

奇數模式或偶數模式的結合，係可藉由導電線間的距離及終端電阻值的調整而實現。在取得較大的輸入驅動器的驅動能力的情形下，易於產生阻抗的不匹配，但該不匹配的情形則可藉由終端電阻的附加措施而去除。如第 10 圖所示，終端電阻係作成具有與驅動器 40 並聯配置的電阻 41、以及串聯介在於驅動器 40 與字線 45 之間的電阻 42 之一種栓鎖型(latch)為佳。此處，終端電阻係呈現出兩電阻 41、42 之和。終端電阻值之值只要作適當調整即可，但一般而言，係使用特性阻抗 Z 及驅動器電阻 R 而調整成 Z^2/R 之狀態為佳(例如該值的 $\pm 10\%$ 的範圍內)。

如第 11 圖所示，MRAM 中，其複數磁阻元件例如是作矩陣狀的配置。該 MRAM 係沿著元件 50 所構成的行而

五、發明說明 (11)

延伸感測線 54，並沿著與該行垂直的列方向而延伸字線 51 及位元線 53。對既定數之行及列所構成而配置的元件之資訊的記錄及讀取，係使用配置於元件群之周圍的解碼功能部 55、56 及資料交換部 57、58 而進行。

如圖第 12 所示，字線 51 實際上係延伸於同一方向的經匹配的阻抗之複線路。字線 51 最好為互以奇數模式結合，且同時施加合成磁場於配置於字線間的元件 50 及感測線 54。

如此，本發明係在既定的面內，包含矩陣狀配置的複數 MR 元件、及施加磁場於複數 MR 元件上之用的配線，複數 MR 元件係構成複數元件列，且上述配線係包含在上述的各元件列之含沿著元件列而延伸的 2 條以上的導電線的磁阻記憶元件。在 2 條以上的導電線上，係能包含挾持既定的面而配置的一對導電線 51 為佳。2 條以上的導電線係如第 12 圖所示，僅由距離元件 50 而配置的複數導電線所構成亦可。

以下，例示 MR 元件與 MOS 電晶體組合之情形具體構成例。第 13 圖所示之 MR 元件 50，係與具有閘極部 61、源極領域 62、汲極領域 63 的 MOS 電晶體 60 相連接，而構成記憶胞(cell)。MOS 電晶體藉由熱氧化膜 64 而互相分離。第 14 圖為表示第 13 圖之元件群的等效電路。防止元件的靜電破壞，係以第 16 圖的電路之構成為佳。該電路係透過 MOS 電晶體 60 而將 MR 元件 50 連接於感測線 54。而實現該電路，例如第 15 圖之構成 MRAM 亦可。

五、發明說明 (12)

爲能更有效率地施加磁場於 MR 元件，亦可在導電線的周圍配置強磁性體。若在由非磁性體所構成的導電線與 MR 元件端之間配置強磁性體，亦能有效的施加磁場於 MR 元件。自非磁性體所構成的導電線視之，若在與元件的相反端配置強磁性體，亦能抑制磁場漏磁。爲能抑制磁性串擾，在鄰接的 MR 元件或與用以施加磁場於該元件之用的導電線之間，配置強磁性體亦可。強磁性體係能配置成可連接於構成脈衝傳送用線路的導電線爲佳。第 17 圖 A~F 爲表示在第 18 圖 B 的構成上附加有強磁性體的例子。第 17 圖 C 的強磁性體 90 係具有效率化地對導電線 31、32 間的元件(省略圖示)施加磁場，而第 17 圖 A、E、F 的強磁性體 90 係抑制磁性串擾。如第 17 圖 B、D 所示，亦可附加強磁性體 90。

爲能有效的施加磁場，至少構成複線路的一條導電線的截面，作成爲接近於元件之寬度而擴張之形狀爲佳，例如，導電線 11(第 1 圖)的截面，如第 18 圖所示，連接於元件 10 端的底角 h、h' 爲作成銳角的梯形，則可有效地施加脈衝磁場。

構成 MRAM 的 MR 元件，並無特別限制於習知所使用之元件，而能任意使用。如第 19 圖 A~G 所例示之 MR 元件構成。在相對地不易磁化反相的磁性層 71 與相對地易磁化反相的磁性層 73 之間，透過中間層 73 而作成積層亦可(第 19 圖 A)，而爲能固定另一方之磁性層(固定磁性層)74 的磁化狀態，可使用反強磁性層 76 以作爲旋轉閥型之元件

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (13)

(第 19 圖 B)。亦可在自由磁性層 75 的兩端配置固定磁性層 74(第 19 圖 C)。使用透過有中間膜 82 而由互為反強磁性交換結合的一對磁性膜 81、83 所構成的積層費里銅鎳合金(Ferry)，以作為保磁力相對較高的積層 71(第 19 圖 D)，或固定磁性層(第 19 圖 E)等亦可。同樣地，使用透過中間層 85 而由互為反強磁性交換結合的一對磁性膜 84、86 所構成的積層費里銅鎳合金，以作為自由磁性層 75 亦可(第 19 圖 F)。使用此類積層費里銅鎳合金固定層 74 及積層費里銅鎳合金自由層 75，而作成 2 重結合的元件亦可(第 19 圖 G)。

此類之 MR 元件，係可檢測出伴隨著磁性層 73、75 之磁化旋轉的元件電阻的變化。MR 元件亦可為 TMR 元件或 CPP-GMR 元件。又，磁性層 1 層單位的膜厚為 1nm 以上 10nm 以下為佳。

構成 MR 元件的磁性材料，並無特別限制。適用於高保磁力層 71 及固定磁性層 74 的「(半)硬質」之磁性材料，可採用 Co、CoFe、NiFe、NiFeCo 等。因此，至少在非磁性層的介面上，係使用 Co 或 CoFe 為佳。CoFe 的較佳組合，係在 Co_yFe_z 中，為 $0.2 \leq y \leq 0.95$ 、 $0 \leq z \leq 0.5$ 。

若使用具有高磁性分極率的 XMnSb (X 係選自金屬元素，特別是 Ni、Pt、Pd 及 Cu 之至少 1 種為佳)，則可獲得較大之 MR 比。

氧化物磁性材料的 MFe_2O_4 (M 為選自 Fe、Co 及 Ni 之至少 1 種元件)亦佳。該材料係可顯現強磁性於較高溫，且

五、發明說明 (14)

濃 Co、Ni 其電阻較濃 Fe 更高。濃 Co 係磁性異向性較大。可藉由調整正反磁性的組成比而實現所要的特性。

適用於自由磁性層 75 等的「軟質的」磁性膜，一般係採用 NiCoFe 合金。NiCoFe 膜的原子組成比，係採用以 NixCoyFez 表示之 $0.6 \leq x \leq 0.9$ 、 $0 \leq y \leq 0.4$ 、 $0 \leq z \leq 0.3$ 之濃 Ni 膜，或採用以 Nix'Coy'Fez' 表示之 $0 \leq x' \leq 0.4$ 、 $0.2 \leq y' \leq 0.95$ 、 $0 \leq z' \leq 0.5$ 之濃 Co 膜。

使用於反強磁性層 76 的材料，係例如不規則合金系之 IrMn、RhMn、RuMn、CrPtMn 等。此類之材料，其在磁場中可藉由成膜處理而與磁性膜進行交換結合的製程較簡易。規則合金系的 NiMn、Pt (Pd) Mn 等、係必須進行規則化所需的熱處理，但具有優良的熱安定性。此類之材料係 PtMn 為佳。亦可使用氧化物反強磁性材料的 $\alpha - \text{Fe}_2\text{O}_3$ 、NiO、 LTO_3 (L 係選自除了 Ce 之外的希土類元素中至少 1 種、T 係選自 Fe、Cr、Mn 及 Co 中至少 1 種)。使用電阻率較高之氧化物的情形時，係有必要在電氣特性上，不反映其高電阻率而能取得與直接磁性層的接觸之狀態下，形成電極部。

字線、感測線、位元線的材料亦無特別限制，可使用 Al、Cu、Pt、Au 等。

(實施例)

(實施例 1)

藉由多元濺鍍 (sputter) 裝置，而製作具有第 19 圖 F 所示之多層構成之 MR 元件。該心材的膜構成如以下所示

五、發明說明 (15)

。(又，自膜上部依序表示。括弧內係膜厚 (nm) 之表示)。

$\text{Ni}_{0.81}\text{Fe}_{0.19} (2) / \text{Ru} (0.7) / \text{Ni}_{0.81}\text{Fe}_{0.19} (3) / \text{Al}_2\text{O}_3 (1.2) / \text{Co}_{0.75}\text{Fe}_{0.25} (2) / \text{Ru} (0.7) / \text{Co}_{0.75}\text{Fe}_{0.25} (2) / \text{PtMn} (20)$

此處，構成穿隧絕緣體層 Al_2O_3 層，係備有將濺鍍法所成膜的 Al 予以氧化而製作者 (A 型)、以及僅依濺鍍 Al_2O_3 而製作者 (B 型)。A 型係依據在真空槽內的自然氧化、在真空槽的加溫下的自然氧化、以及在真空槽內的氧氣之含有電漿而氧化的其中之一種而氧化。任意一種製程均能獲得具有穿隧功能的非磁性絕緣膜。而且，B 型亦能獲得具有穿隧功能的非磁性絕緣膜。

各膜厚係以閘板(shutter)來控制而製作完成。元件面積 (結合面積) 係任一型均為 $0.12 \mu\text{m}^2$ 。

如此作成的 MR 元件單體的 MR 特性，在以室溫、施加磁場 100 Oe (約 7.96 KA/m)、偏壓電壓 100 mV 而測定之下，即可獲得約 30% 的 MR 比。而產生 MR 的磁場範圍係 10 Oe 。

使用該 MR 元件而製成第 11 圖、第 12 圖所示之構成的 MRAM。基板係依據預先的半導體製程，在每一 MR 元件使用形成有 MOS 電晶體的矽基板。作為電晶體與磁阻元件的層間絕緣膜係使用氧化矽，MR 元件與字線的絕緣係使用氧化鋁。

感測線及位元線係使用銅，字線亦使用銅。作為字線

五、發明說明 (16)

而配置的一對導電線的間隔係 $0.35 \mu\text{m}$ ，各導電線的線寬約 $0.5 \mu\text{m}$ ，各導電線的厚度約 $0.5 \mu\text{m}$ ，鄰接的元件列間的導電線的間隔係作成約 $0.6 \mu\text{m}$ 。在配線終端配置終端電阻，並調整字線的特性阻抗為約 75Ω 。配線置導電線的一方為接地電位而作為被動線，另一方則作為信號線。

該 MRAM 係完成 1 字 16 位元資訊的記錄及讀取動作的確認。

使用 MRAM 而詳細調查有關對字線的脈衝信號的傳送動作。依據在信號線上，從 1V 至 5V 的脈衝上昇時間為 1ns、傳送時間為 0.5ns（配線長：約 10cm）的輸入條件，在輸入脈衝電流的情形下，信號係在 1ns 即上昇。此外，與使用單線路的字線作比較，由脈衝發射端所見，在字線的近端及遠端其較大信號反射則不呈現。

在上述輸入條件之下，完成配線間之串擾影響的調查。該調查係使用其鄰接的導電線之間隔為 $0.6 \mu\text{m}$ 的 MRAM。此情形下，與字線為單線的情形相比，在鄰接的導電線上，自脈衝發射端所見的在近端及遠端上的較大信號係不出現。又，該配置的情形中，藉由改變鄰接的導電線的距離之措施，而確認出有出現偶數模式的結合。此外，藉由調整終端電阻的措施，亦確認有呈現奇數模式結合的情形。

（實施例 2）

與實施例 1 相同地，製成如第 20 圖 A~F 所示之配置有字線的 MRAM。字線係由信號線 91、被動線 92、93 所

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明（17）

構成。被動線 92 係配置成與信號線 91 挾持有 MR 元件（省略圖示）之狀態，且被動線 93 與信號線 91 係形成於相同面內。在第 20 圖 A~F 中對 1 個的 MR 元件，均對應著 1 條信號線。

信號線 91 及被動線 92 的線寬均作成 $0.2\mu\text{m}$ 。在任何的 MRAM 中，下方接地面 100 與最接近於此的導電線 91~93 的距離，以及上方接地面（未圖示）與信號線 91 的距離則均成 $100\mu\text{m}$ 。

在這些 MRAM 當中，於傳送 1 字的信號之際，將鄰接的非選擇記憶體的誤動作，以對母集團 1000 個作成評估。其結果表示於表 1。於表 1 中，d 係信號線與被動線 92 的間隔，w 係鄰接得信號線 91、91 的間隔，Wm 係被動線的線寬。

表 1
I型(第 20 圖 A)

樣本	w	誤動作度(%)
1	0.2	83
2	0.4	15
3	0.8	9

II型(第 20 圖 B)

樣本	w	Wm	誤動作度(%)
1	0.4	0.2	10
2	0.6	0.2	7
3	0.8	0.2	4

（請先閱讀背面之注意事項再填寫本頁）

裝
訂
線

五、發明說明 (18)

III型(第 20 圖 C)

樣本	w	d	誤動作度(%)
1	0.2	0.2	10
2	0.4	0.2	2
3	0.8	0.2	<1

IV型(第 20 圖 D)

樣本	w	Wm	d	誤動作度(%)
1	0.4	0.2	0.2	1
2	0.6	0.2	0.2	<1
3	0.8	0.2	0.2	<1

V型(第 20 圖 E)

樣本	w	Wm	d	誤動作度(%)
1	0.4	0.2	0.2	1
2	0.5	0.3	0.2	<1
3	0.6	0.4	0.2	<1

VI型(第 20 圖 F)

樣本	w	Wm	d	誤動作度(%)
1	0.7	0.2	0.2	<1
2	1.0	0.2	0.2	<1
3	1.3	0.2	0.2	<1

五、發明說明 (19)

(實施例 3)

與實施例 1 相同地，製作 MRAM。但，於此，如第 8 圖 D 所示，作成一對導電線 31、32 之外，亦在鄰接的元件之間作成導電線 33。

使用該 MRAM，並完成對字線 31~33 之脈衝信號傳送實驗。線寬則作成約 $0.5\ \mu\text{m}$ 、線厚約 $0.3\ \mu\text{m}$ ，而鄰接的導電線間之距離則約 $0.3\ \mu\text{m}$ 。在配線終端配置調整用的終端電阻，並調整特性阻抗為約 $75\ \Omega$ 程度。

在 1V 至 5V 之施加脈衝的上昇為 1ns 傳送時間為 0.5ns(配線長：約 10cm)的輸入條件下，信號係顯示出為以 1ns 上昇。在本實施例中，與單配線的情形相比，自脈衝發射端所見，在配線的近端及遠端的較大信號反射等並不呈現。

其次，在上述的輸入條件下，評估鄰接的配線的串擾影響。此處，作成鄰接的導電線的距離為約 $0.35\ \mu\text{m}$ 、信號線 31、31 間隔則作成 $1.2\ \mu\text{m}$ 。與單配線的情形相比，自脈衝發射端所見，在鄰接的配線的近端及遠端的較大信號係不顯示。亦與已實驗的第 8 圖 C 的構成相比較，第 8 圖 D 的配線，其在鄰接的配線的近端及遠端的較大信號的出現係被抑制。

在該配線當中，鄰接的導電線間的距離在約 $0.1\sim 1\ \mu\text{m}$ 的範圍時，出現偶數模式的結合，進而，當調整終端電阻為 $10\ \Omega\sim 100\text{K}\ \Omega$ 的範圍時，則出現奇數模式的結合。

五、發明說明 (20)

【符號說明】

- 10 磁阻元件(MR 元件)
- 11、12、13、14、15、16、17 導電線(字線)
- 20 導電線(感測線)
- 30 接地面
- 31 導電線(信號線)
- 32、33、34、35 導電線(被動線)
- 40 驅動器
- 41、42 電阻
- 45 導電線(字線)
- 50 磁阻元件(MR 元件)
- 51 導電線(字線)
- 54 導電線(感測線)
- 55、56 解碼功能部
- 57、58 資料交換部
- 60 MOS 電晶體
- 71、73 磁性層
- 72 中間層
- 74 固定磁性層
- 75 自由磁性層
- 76 反強磁性層
- 90 強磁性層

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

四、中文發明摘要（發明之名稱：

)

磁阻記憶元件

本發明係提供一種磁阻記憶元件，係包含磁阻元件、以及用以施加磁場至該磁阻元件之配線，該配線為包含延伸於同一方向之 2 條以上的導電線。根據本發明，使用複線路的導電線而施加磁場於 1 個元件上，據此而能獲得高速響應及抑制磁性串擾(cross-talk)。

英文發明摘要（發明之名稱：

)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種磁阻記憶元件，包含：磁阻記憶元件、以及用以施加磁場於前述磁阻元件的配線，前述配線為包含延伸於相同方向的 2 條以上的導電線。

2. 如申請專利範圍第 1 項之磁阻記憶元件，其中，前述 2 條以上的導電線為具有 $5K\Omega$ 以下的特性阻抗。

3. 如申請專利範圍第 1 項之磁阻記憶元件，其中，前述 2 條以上的導電線，為包含以挾持前述磁阻元件的方式而配置的一對導電線。

4. 如申請專利範圍第 3 項之磁阻記憶元件，其中，前述一對導電線為以奇數模式而結合。

5. 如申請專利範圍第 1 項之磁阻記憶元件，其中，前述 2 條以上的導電線，為包含輸入用以施加磁場的電流之信號線，及保持於既定電位的被動線。

6. 如申請專利範圍第 5 項之磁阻元件，其中，以前述磁阻元件作為第 1 磁阻元件，進而包含第 2 磁阻元件，且具備第 1 信號線及第 2 信號線，用來輸入用以分別施加磁場至前述第 1 磁阻元件及前述第 2 磁阻元件之用的電流，前述第 1 信號線及前述第 2 信號線為延伸於相同方向，保持於既定電位的至少 1 條被動線為配置於前述第 1 信號線與前述第 2 信號線之間。

7. 如申請專利範圍第 6 項之磁阻記憶元件，其中，前述第 1 信號線及前述第 2 信號線的至少一方與前述被動線，為以偶數模式而結合。

8. 如申請專利範圍第 6 項之磁阻記憶元件，其中，前

六、申請專利範圍

述第 1 信號線、前述第 2 信號線、及前述被動線，為配置於相同面內。

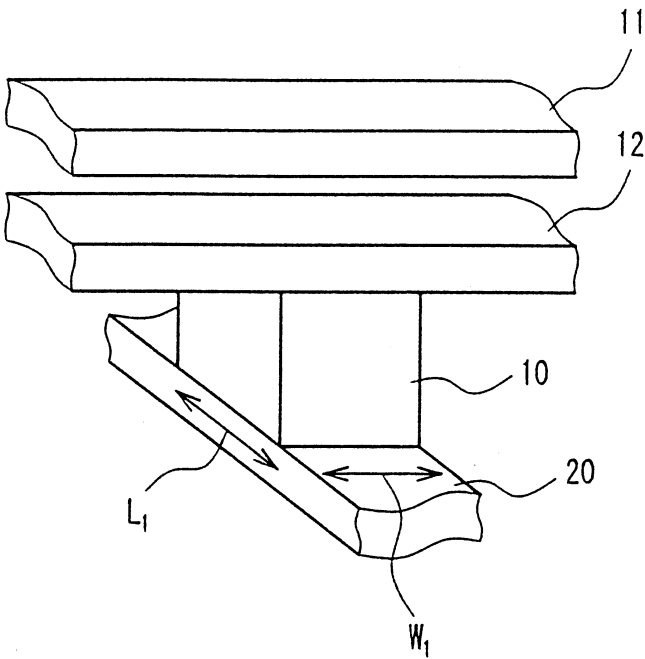
9. 如申請專利範圍第 6 項之磁阻記憶元件，其中，以前述被動線作為第 1 被動線，並進一步包含第 2 被動線，前述第 2 被動線為在與施加磁場於該當元件的信號線之間，以挾持前述第 1 磁阻元件及前述第 2 磁阻元件的其中一方的方式而配置。

10. 如申請專利範圍第 9 項之磁阻記憶元件，其中，前述第 2 被動線與該第 2 被動線同時挾持前述元件的信號線，為以奇數模式而結合。

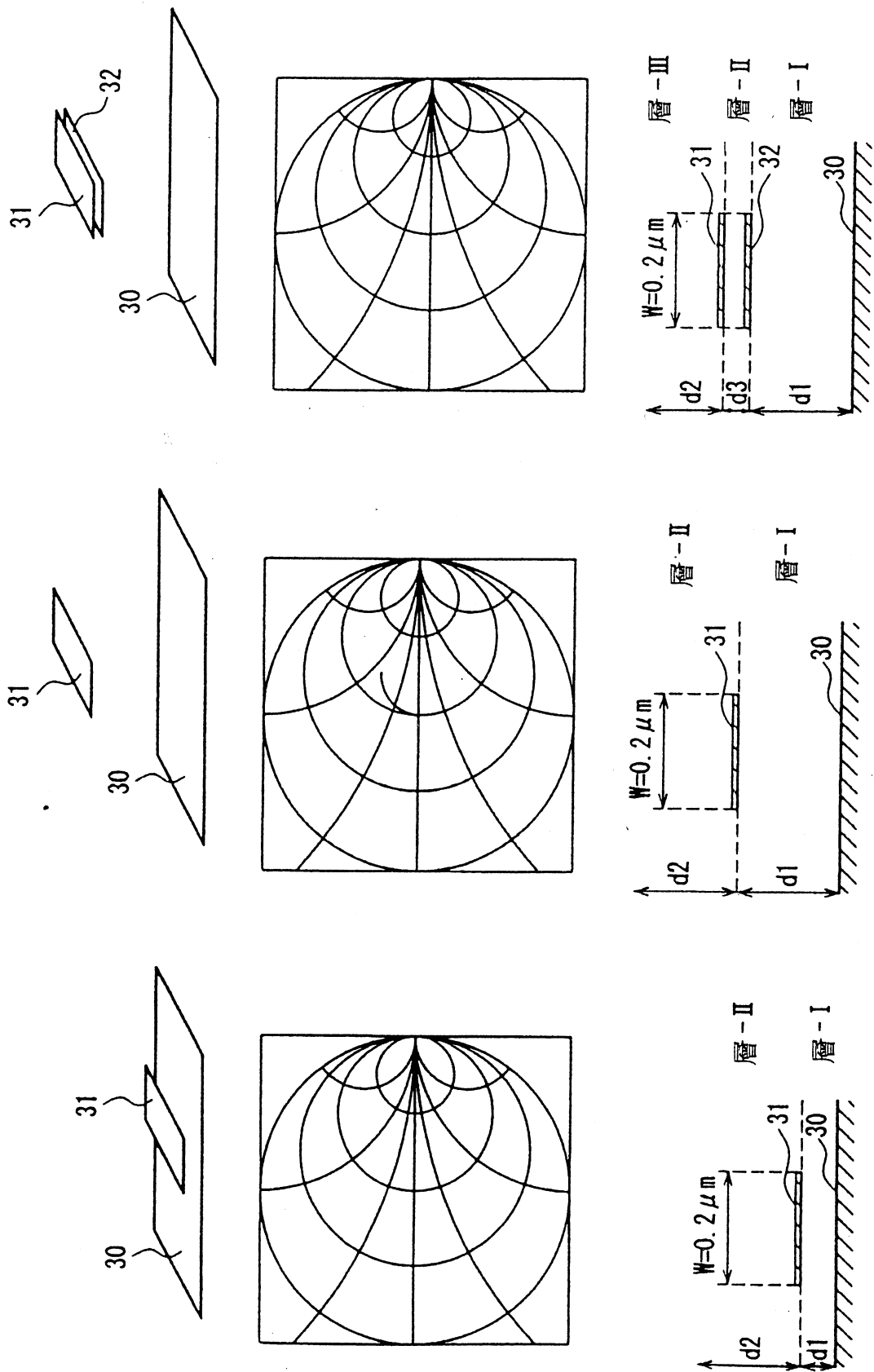
11. 一種磁阻記憶元件，包含：在既定的面內成矩陣狀配置的複數磁阻元件；及用以施加磁場於前述複數磁阻元件的配線；前述複數磁阻元件為構成複數元件列，且前述配線為包含在各前述複數元件列上，沿著元件列而延伸的 2 條以上的導電線。

12. 如申請專利範圍第 11 項之磁阻記憶元件，其中，前述 2 條以上的導電線，為包含透過前述既定的面而呈對向配置之一對導電線。

13. 如申請專利範圍第 11 項之磁阻記憶元件，其中，前述配線為進一步包含與前述元件列成垂直配置的導電線。



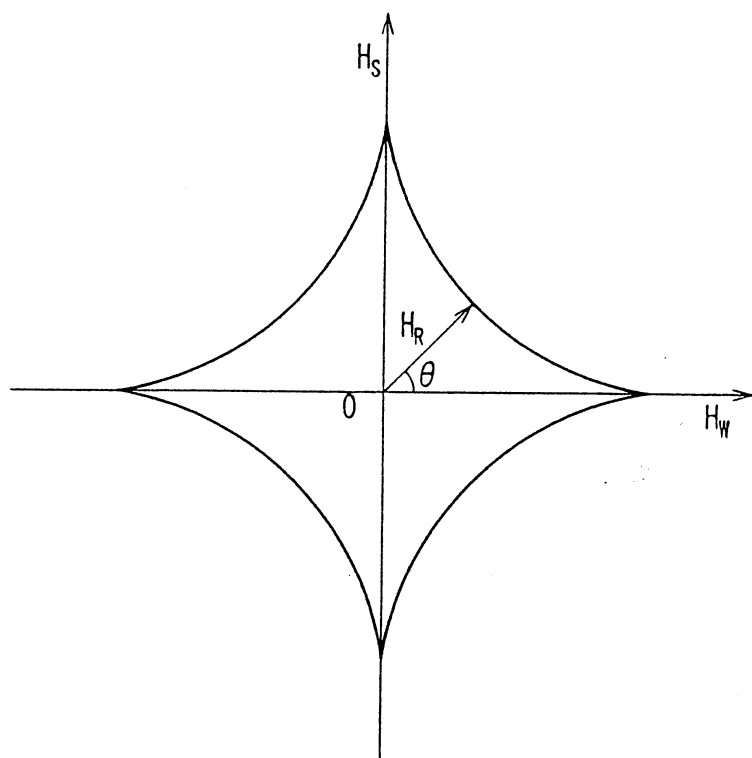
第 1 圖



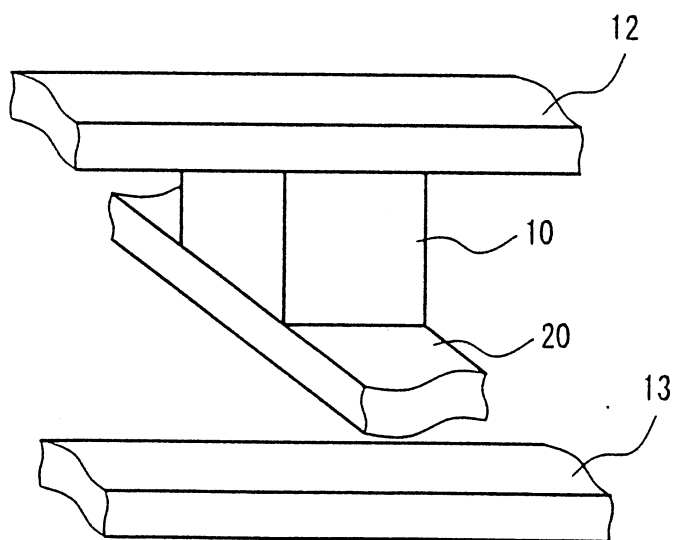
第 2A 圖

第 2B 圖

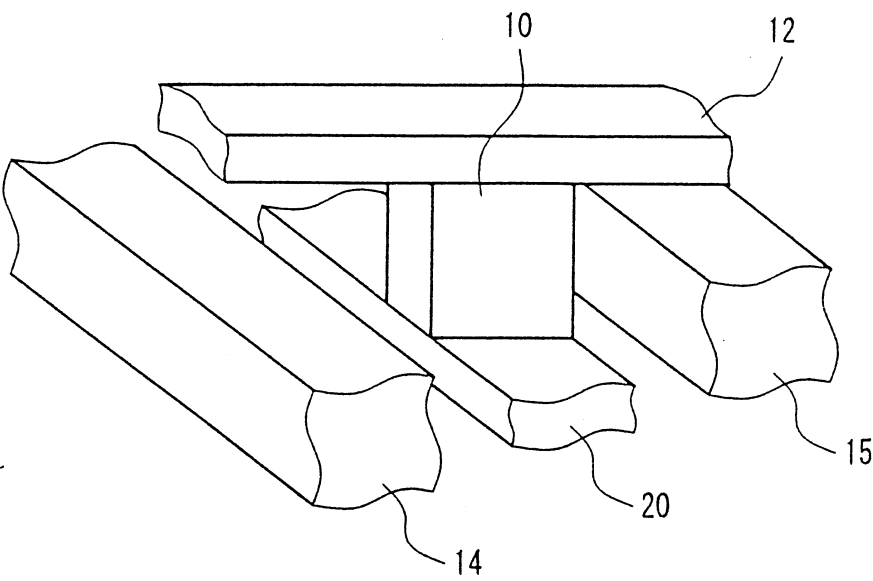
第 2C 圖



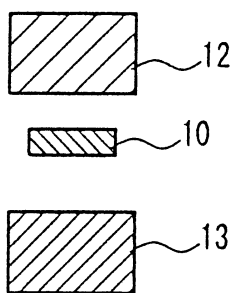
第 3 圖



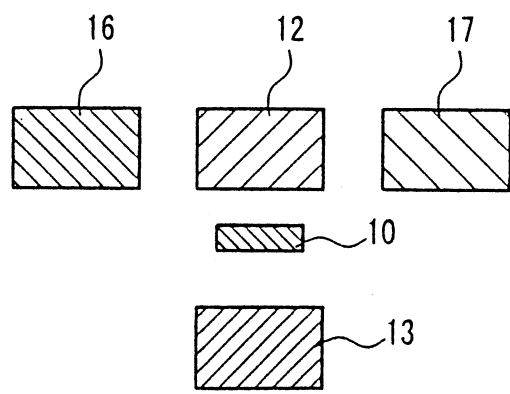
第 4 圖



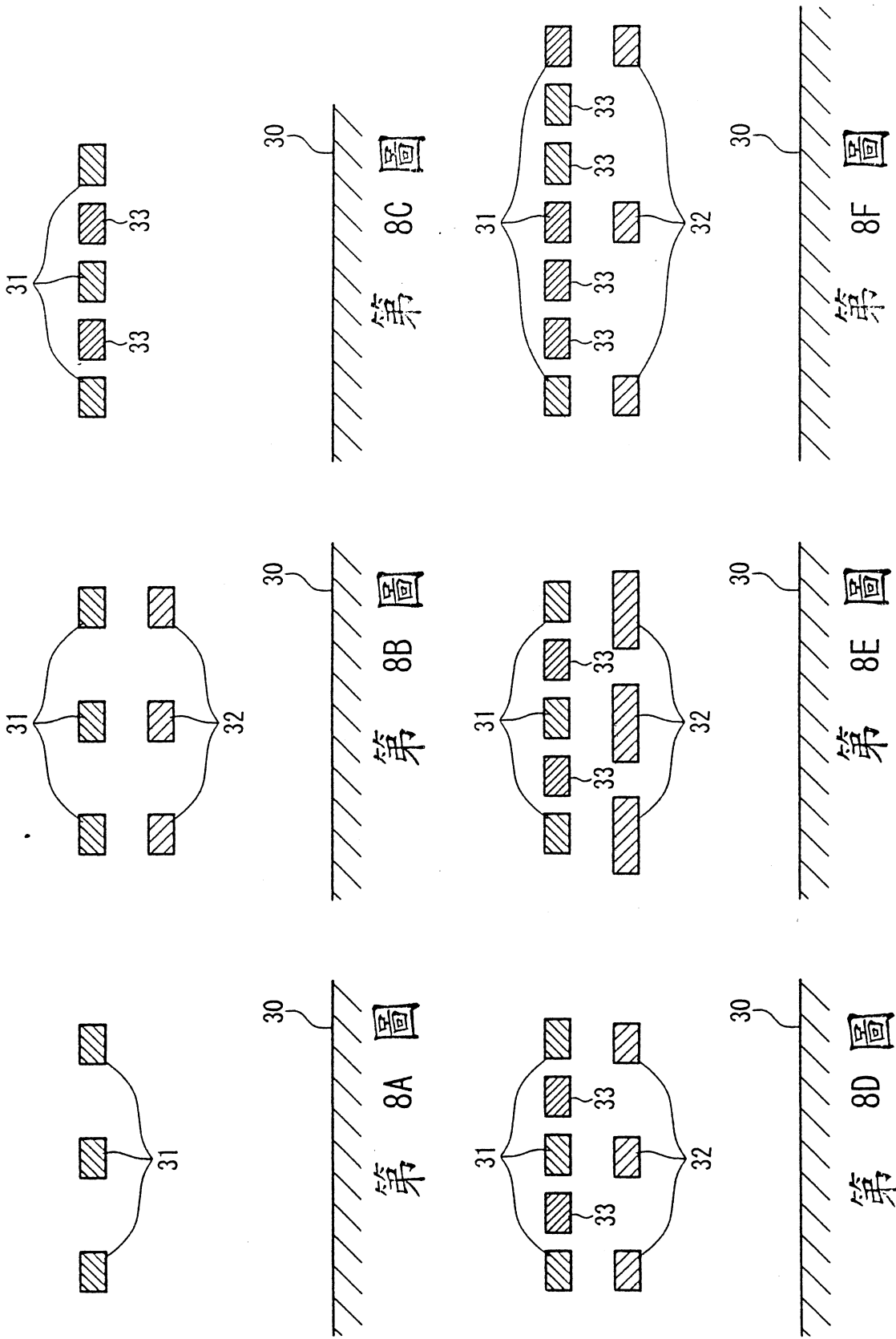
第 5 圖

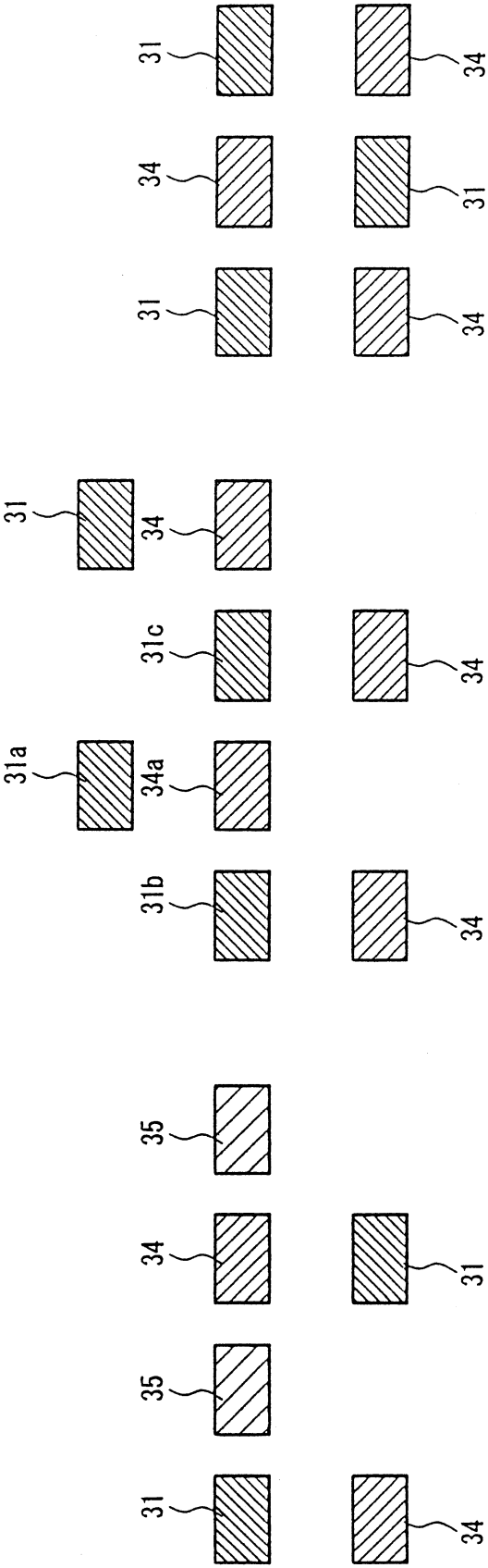


第 6 圖



第 7 圖

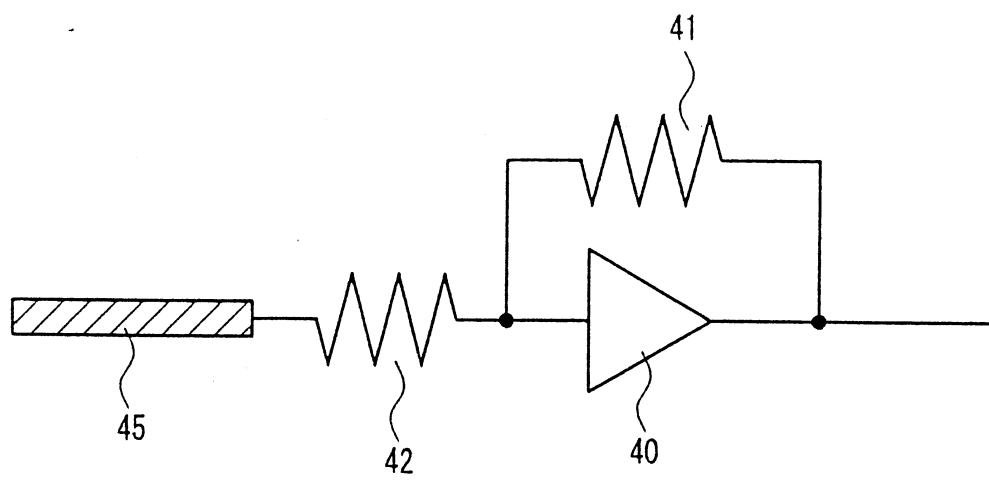




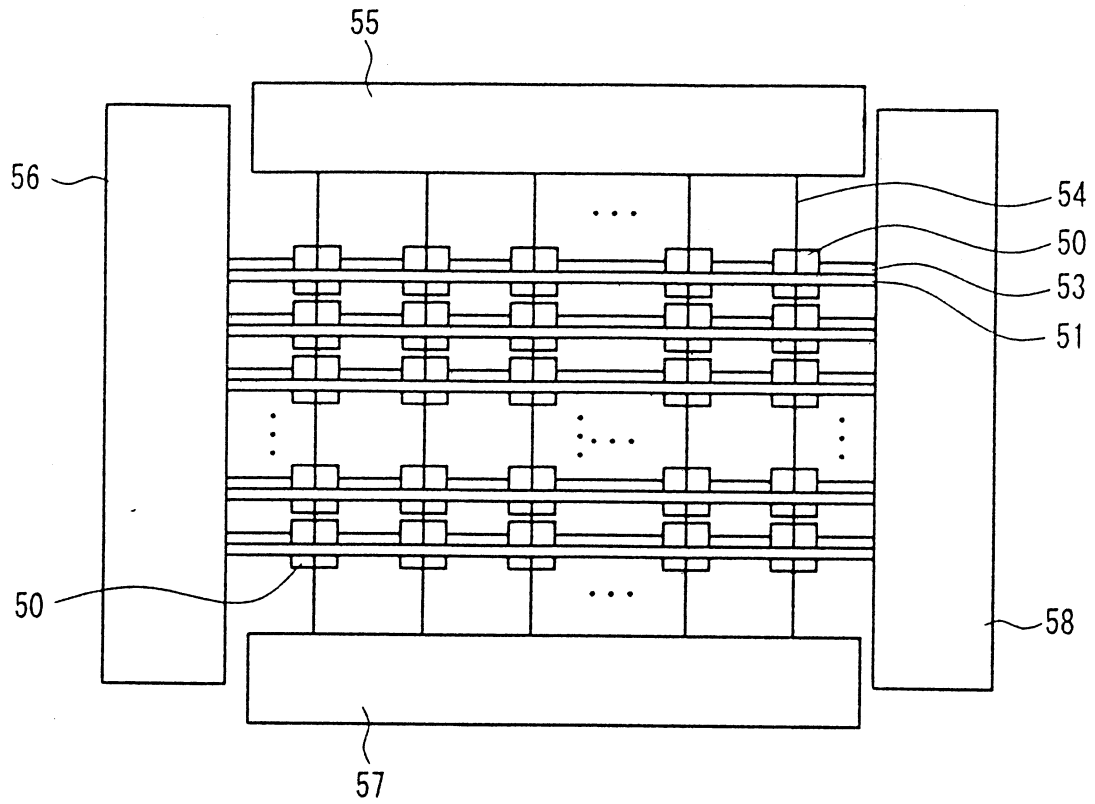
第 9C 圖

第 9B 圖

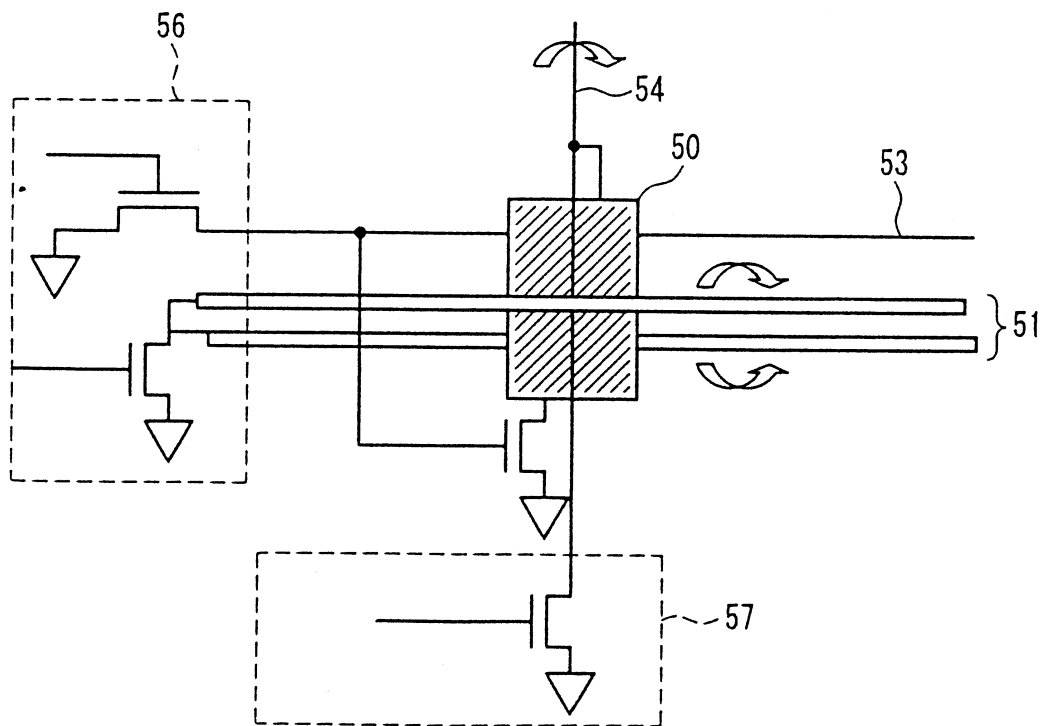
第 9A 圖



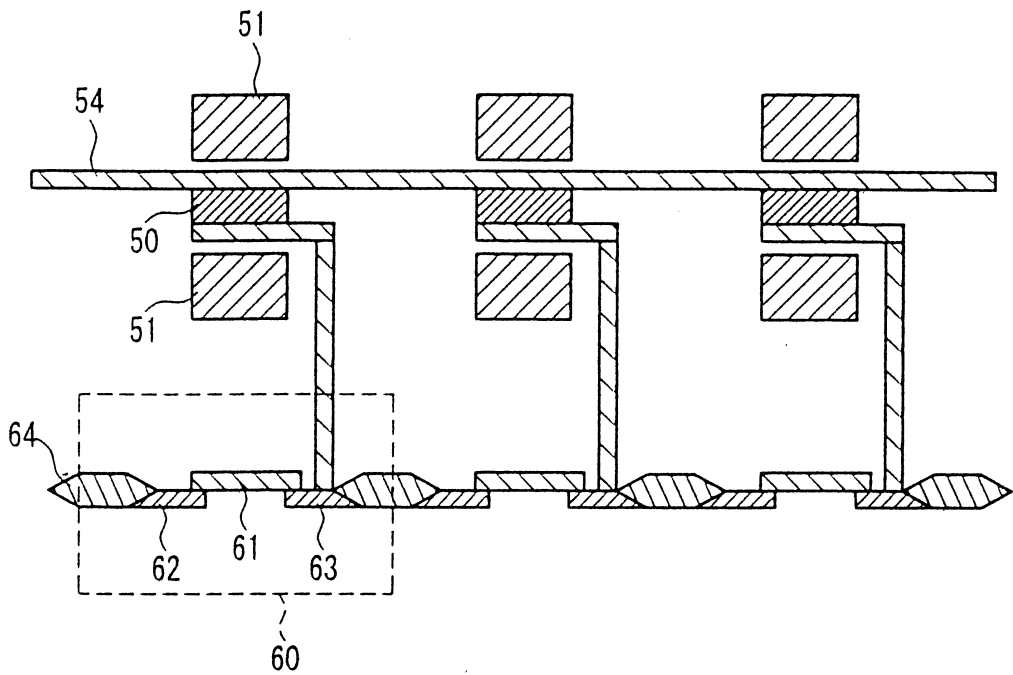
第 10 圖



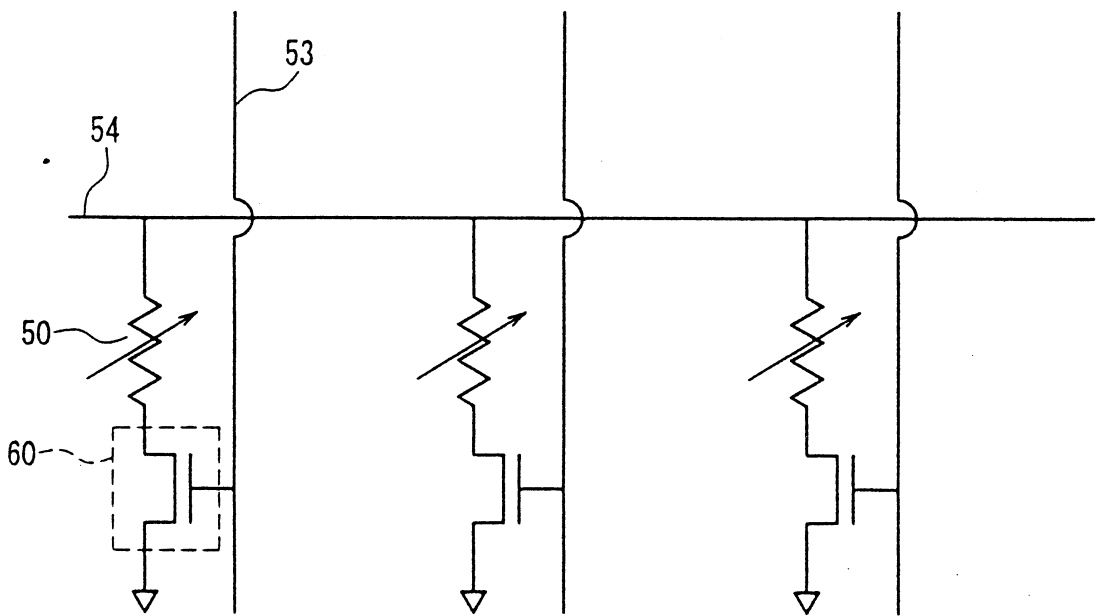
第 11 圖



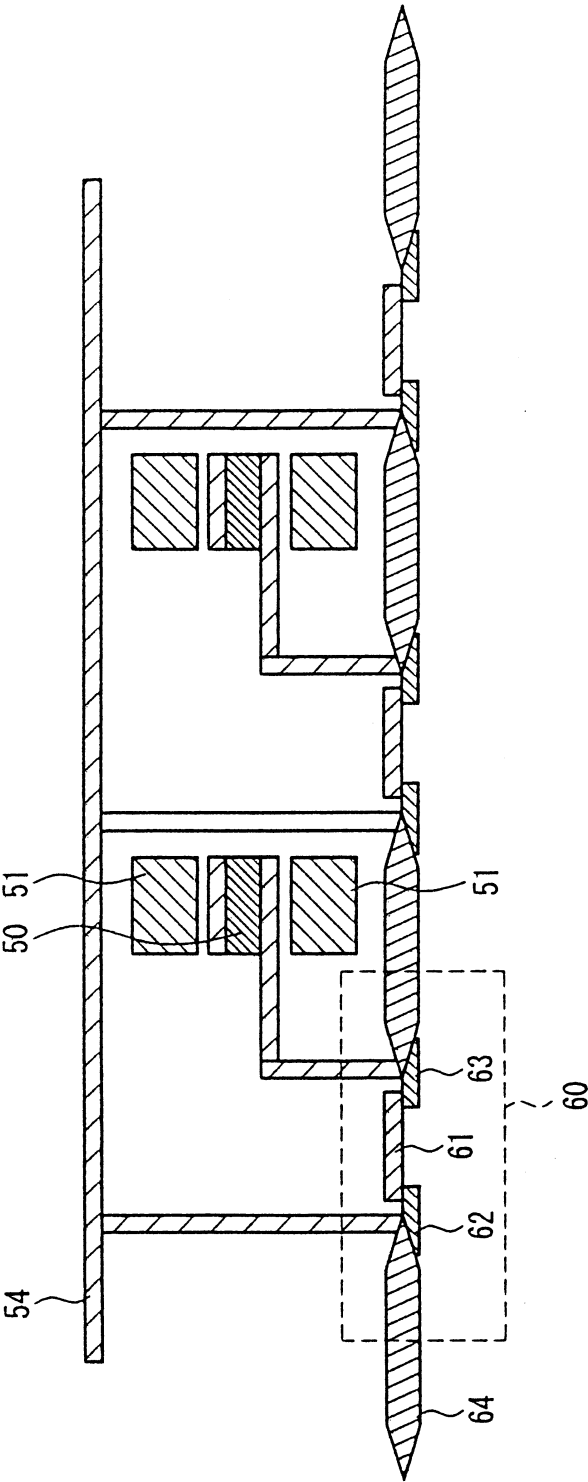
第 12 圖



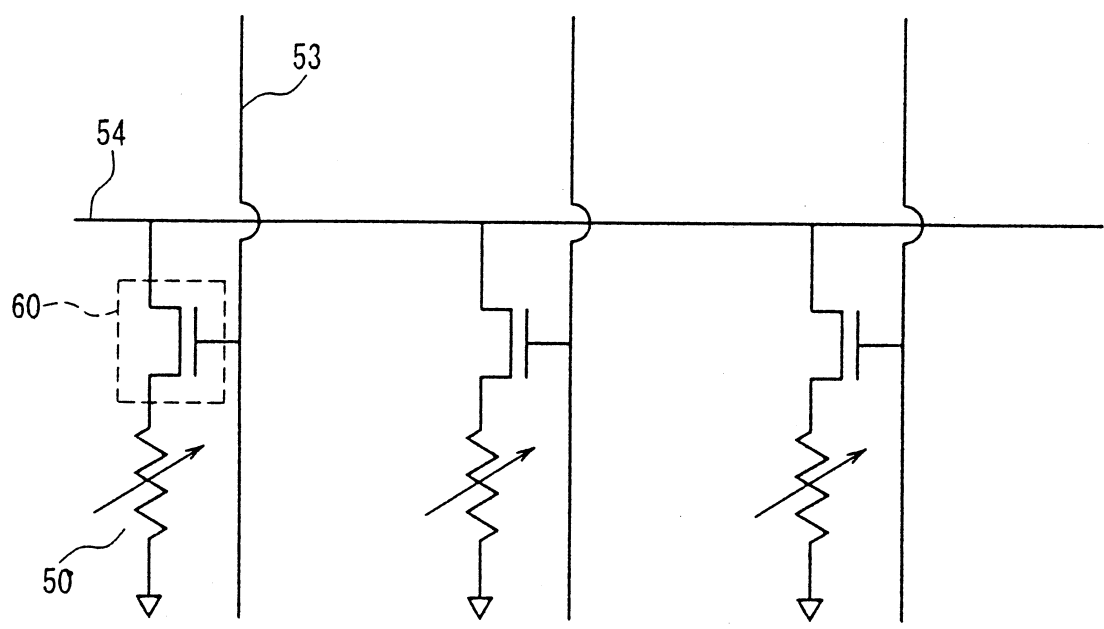
第 13 圖



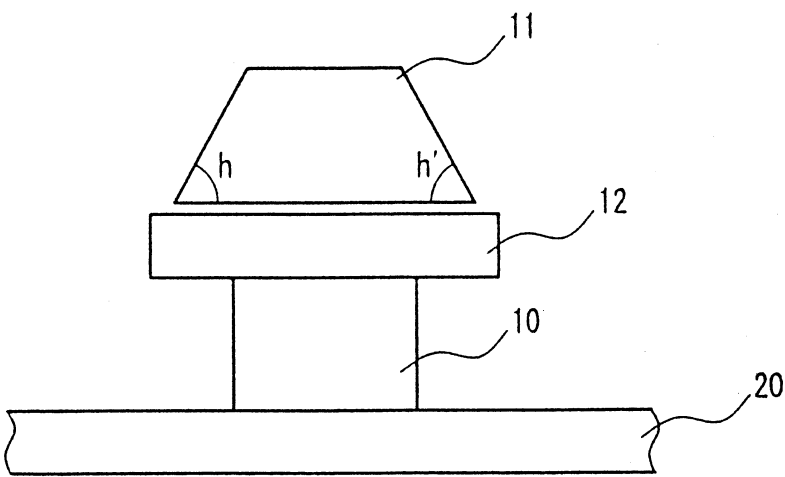
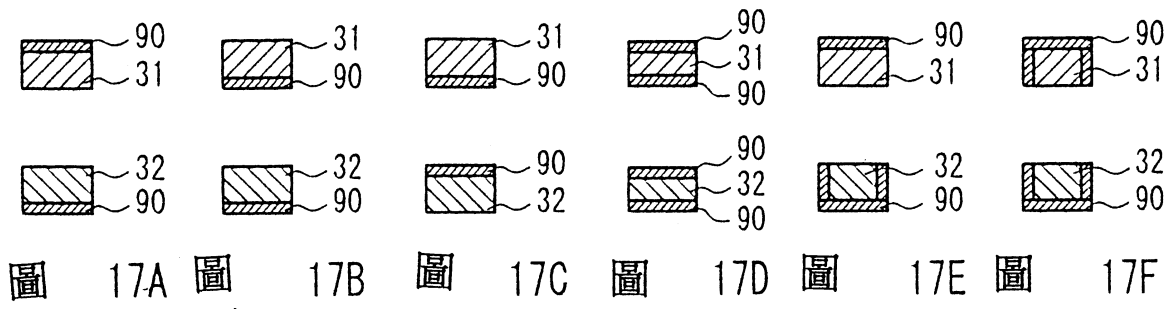
第 14 圖



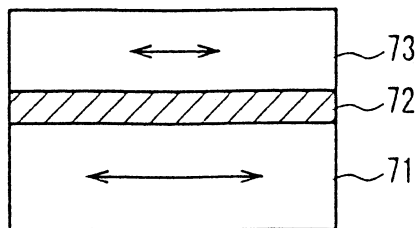
第 15 圖



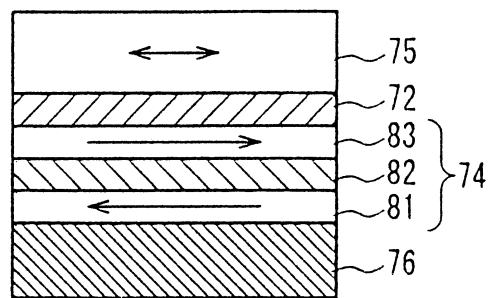
第 16 圖



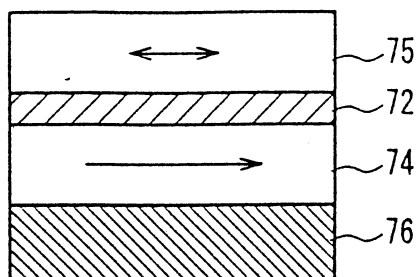
第 18 圖



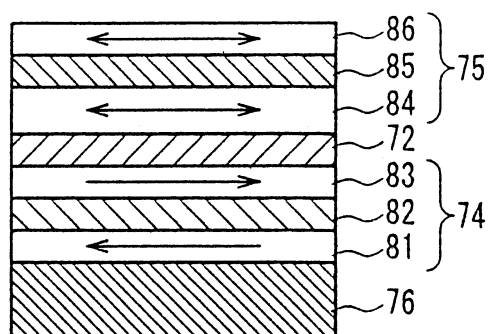
第 19A 圖



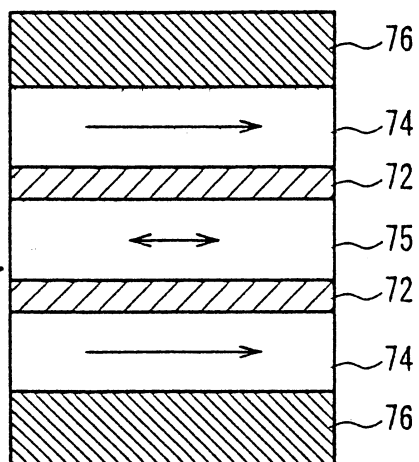
第 19E 圖



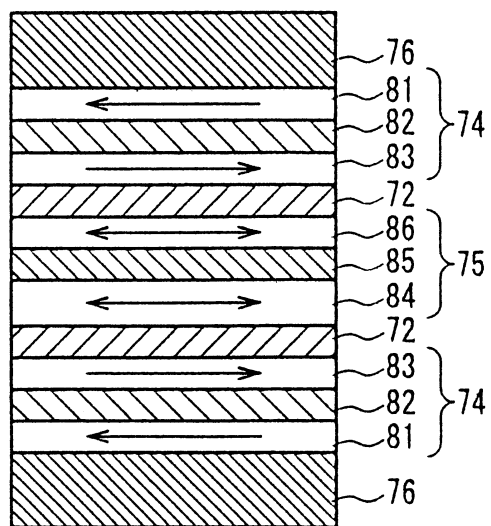
第 19B 圖



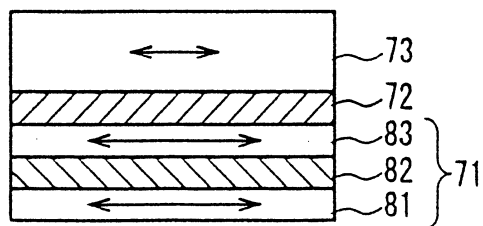
第 19F 圖



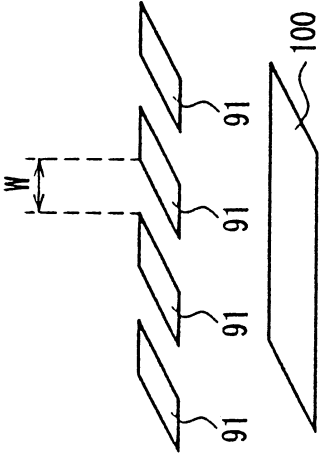
第 19C 圖



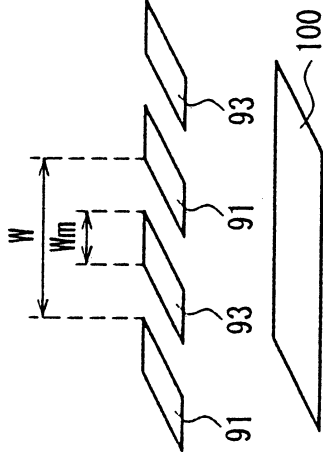
第 19G 圖



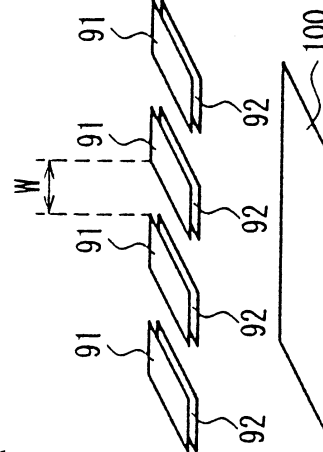
第 19D 圖



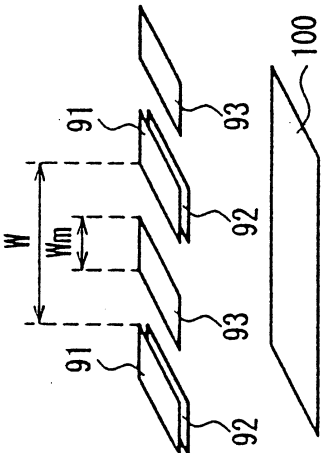
第 20A 圖



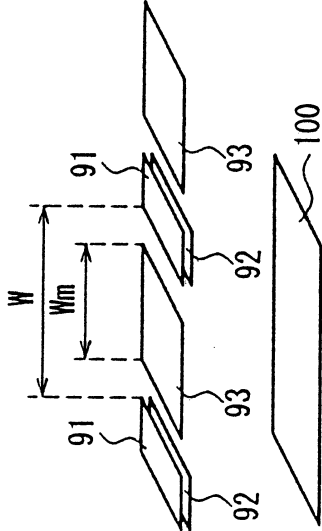
第 20B 圖



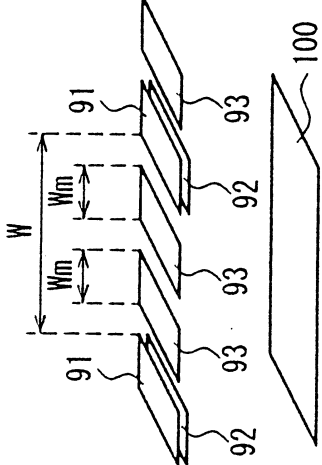
第 20C 圖



第 20D 圖



第 20E 圖



第 20F 圖