



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2024년07월17일
(11) 등록번호 10-2686112
(24) 등록일자 2024년07월15일

- (51) 국제특허분류(Int. Cl.)
H05K 1/02 (2006.01) H01L 23/00 (2006.01)
H05K 1/11 (2006.01) H05K 3/46 (2006.01)
- (52) CPC특허분류
H05K 1/0206 (2013.01)
H01L 24/81 (2013.01)
- (21) 출원번호 10-2018-7018722
- (22) 출원일자(국제) 2016년12월02일
심사청구일자 2021년11월23일
- (85) 번역문제출일자 2018년06월29일
- (65) 공개번호 10-2018-0087406
- (43) 공개일자 2018년08월01일
- (86) 국제출원번호 PCT/US2016/064621
- (87) 국제공개번호 WO 2017/096167
국제공개일자 2017년06월08일
- (30) 우선권주장
62/262,299 2015년12월02일 미국(US)
62/308,596 2016년03월15일 미국(US)
- (56) 선행기술조사문헌
KR100891814 B1*
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
플테크 테크놀로지스 리미티드
미국, 캘리포니아 95002, 산 호세, 아메리카 센터
드라이브 6201
- (72) 발명자
브르티스, 존 케이.
미국, 애리조나 85202, 메사, 사우스 가우초 2463
글릭크만, 마이클 제임스
미국, 캘리포니아 94043, 마운틴 뷰, 앤즈버리 애
비뉴 268
(뒷면에 계속)
- (74) 대리인
특허법인정진

전체 청구항 수 : 총 22 항

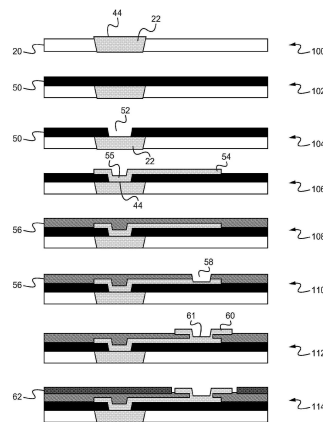
심사관 : 최미숙

(54) 발명의 명칭 PCB 혼성 재분배 층

(57) 요약

혼성 PCB 시스템은 큰 패드-투-패드 피치를 더 작고, 더 미세한 패드-투-패드 피치로 재분배하는 혼성 재분배 층을 갖고 혼성 재료를 적용하여 열적-기계적 스트레스의 균형을 맞춘다. 상기 혼성 PCB 시스템은 하나의 단일 혼성 PCB 내에 웨이퍼 수준 패키징, IC 기판 및 고밀도 PCB 기술을 조합한다. 상기 혼성 PCB 시스템은 상호 연결 신뢰성, 패드 피치가 400 마이크로 미만이면서 IC 기판 또는 인터포저의 필요성 없이도 PCB에 직접적인 전자 부품의 설계 및 조립에 대한 기회를 제공한다.

대표도 - 도4



(52) CPC특허분류

H05K 1/115 (2013.01)

H05K 3/4644 (2013.01)

(72) 발명자

로빈슨, 토드

미국, 캘리포니아 97007, 샌 마테오, 에드나 웨이
645

갈리온, 홀레스

미국, 오리건 97007, 비버스톤, 사우스웨스트 내퍼
스 레인 16936

명세서

청구범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

- a. 복수개의 비-전도성 층 및 복수개의 전도성 층의 라미네이트된 스택을 포함하고, 상기 복수개의 비-전도성 층은 제1 열팽창 계수 값 및 제1 탄성률 값을 갖는 것인 내부 코어 구조;
 - b. 상기 내부 코어 구조에 라미네이트되어 있고, 제1 열팽창 계수 값보다 작은 제2 열팽창 계수 값을 갖는 것인 제1 유전체 재료를 포함하는 버퍼 층으로서, 추가적으로 상기 버퍼 층은 제2 탄성률 값을 갖는 것인 버퍼 층;
 - c. 상기 버퍼 층에 결합된 중간 전도성 층;
 - d. 상기 중간 전도성 층 및 상기 버퍼 층에 결합되어 있고, 제2 열팽창 계수 값보다 작은 제3 팽창 계수 값을 갖는 제2 유전체 재료를 포함하는 외부 층으로서, 추가적으로 상기 외부 층은 제3 탄성률 값을 갖고, 상기 제2 탄성률 값은 상기 제1 탄성률 값보다 작고, 상기 제2 탄성률 값은 상기 제3 탄성률 값보다 작은 외부 층; 및
 - e. 상기 외부 층에 결합된 외부 전도성 층
- 을 포함하는 인쇄 회로 기판.

청구항 5

삭제

청구항 6

제4항에 있어서, 상기 복수개의 전도성 층은 내부 코어 구조 외부 표면 전도성 층을 포함하고, 상기 중간 전도성 층은 하나 이상의 제1 전도성 마이크로비아에 의해 상기 내부 코어 구조 외부 표면 전도성 층에 결합된 것인 인쇄 회로 기판.

청구항 7

제6항에 있어서, 상기 외부 전도성 층은 하나 이상의 제2 전도성 마이크로비아에 의해 상기 중간 전도성 층에 결합된 것인 인쇄 회로 기판.

청구항 8

제7항에 있어서, 상기 내부 코어 구조 외부 표면은 대응하는 내부 코어 구조 회로 피처 치수를 각각 갖는 복수개의 내부 코어 구조 회로 피처를 포함하고, 상기 복수개의 내부 코어 구조 회로 피처 각각은 제1 접촉 패드 직경, 제1 트레이스 전송 선로 너비 또는 제1 비아 엔드 직경 중 하나를 포함하는 것인 인쇄 회로 기판.

청구항 9

삭제

청구항 10

제8항에 있어서, 상기 외부 전도성 층은 대응하는 외부 표면 회로 피처 치수를 각각 갖는 복수개의 외부 층 회로 피처를 포함하고, 상기 복수개의 외부 층 회로 피처 각각은 제2 접촉 패드 직경, 제2 트레이스 전송 선로 너비 또는 제2 비아 엔드 직경 중 하나를 포함하는 것인 인쇄 회로 기판.

청구항 11

제10항에 있어서, 상기 외부 표면 회로 피처 치수는 상기 내부 코어 구조 회로 피처 치수보다 작은 것인 인쇄 회로 기판.

청구항 12

제4항에 있어서, 상기 버퍼 층은 함께 혼합된 복수개의 상이한 재료들을 포함하고, 상기 상이한 재료들 각각은 상이한 열팽창 계수 값을 가지며, 상기 버퍼 층은 제2 복합 열팽창 계수 값을 갖는 것인 인쇄 회로 기판.

청구항 13

제4항에 있어서, 상기 외부 층은 함께 혼합된 복수개의 상이한 재료들을 포함하며, 상기 상이한 재료들 각각은 상이한 열팽창 계수 값을 가지며, 상기 외부 층은 제3 복합 열팽창 계수 값을 갖는 것인 인쇄 회로 기판.

청구항 14

제4항에 있어서, 상기 버퍼 층은 각각 전도성 층에 의해 분리된 복수개의 제1 유전체 재료 층을 포함하는 것인 인쇄 회로 기판.

청구항 15

제14항에 있어서, 상기 복수개의 제1 유전체 재료 층 각각을 분리하는 상기 전도성 층은 복수개의 전도성 마이크로비아에 의해 선택적으로 상호 연결된 것인 인쇄 회로 기판.

청구항 16

제4항에 있어서, 상기 외부 층은 전도성 층에 의해 각각 분리된 복수개의 제2 유전체 재료 층을 포함하는 것인 인쇄 회로 기판.

청구항 17

제16항에 있어서, 상기 복수개의 제2 유전체 재료 층 각각을 분리하는 상기 전도성 층은 복수개의 전도성 마이크로비아에 의해 선택적으로 상호 연결된 것인 인쇄 회로 기판.

청구항 18

제4항에 있어서, 상기 중간 전도성 층은 상기 버퍼 층에 적용되고, 상기 외부 전도성 층은 반-첨가제 공정, 고급 변형된 반-첨가제 공정 또는 완전 첨가제 공정 중 하나를 사용하여 상기 외부 층과 결합되는 것인 인쇄 회로 기판.

청구항 19

제4항에 있어서, 상기 내부 코어 구조는 표준 인쇄 회로 기판 공정을 사용하여 제작되고, 상기 버퍼 층, 상기 중간 전도성 층, 상기 외부 층 및 상기 외부 전도성 층은 집적 회로 기판 공정을 사용하여 제작되는 것인 인쇄 회로 기판.

청구항 20

- a. 복수개의 비-전도성 층 및 내부 코어 구조 외부 표면 전도성 층을 포함하는 복수개의 전도성 층의 라미네이트된 스택을 포함하고, 내부 코어 구조 외부 표면은 대응하는 내부 코어 구조 회로 피처 치수를 각각 갖는 복수개의 내부 코어 구조 회로 피처를 포함하고, 추가적으로 상기 복수개의 내부 코어 구조 회로 피처 각각은 제1 접촉 패드 직경, 제1 트레이스 전송 선로 너비, 또는 제1 비아 엔드 직경 중 하나를 포함하고, 상기 복수개의 비-전도성 층은 제1 열팽창 계수 값을 갖는 것인 내부 코어 구조;
- b. 상기 내부 코어 구조에 결합 되어있고, 제1 열팽창 계수 값보다 작은 제2 팽창 계수 값을 갖는 유전체 재료

를 포함하는 것인 외부 층;

c. 상기 외부 층에 결합된 외부 전도성 층으로서, 상기 외부 전도성 층은 대응하는 외부 표면 회로 피치 치수를 각각 갖는 복수개의 외부 층 회로 피치를 포함하고, 추가적으로 상기 복수개의 외부 층 회로 피치 각각은 제2 접촉 패드 직경, 제2 트레이스 전송 선로 너비, 또는 제2 비아 엔드 직경 중 하나를 포함하고, 상기 외부 표면 회로 피치 치수는 상기 내부 코어 구조 회로 피치 치수보다 작은 것인 외부 전도성 층;

을 포함하는 인쇄 회로 기판.

청구항 21

제20항에 있어서, 상기 복수개의 비-전도성 층은 제1 탄성률 값을 갖고, 상기 외부 층은 제2 탄성률 값을 갖고, 추가적으로 상기 제2 탄성률 값은 제1 탄성률 값보다 작은 것인 인쇄 회로 기판.

청구항 22

제20항에 있어서, 상기 외부 전도성 층은 하나 이상의 전도성 마이크로비아에 의해 상기 내부 코어 구조 외부 표면 전도성 층에 결합된 것인 인쇄 회로 기판.

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

제20항에 있어서, 상기 외부 층은 함께 혼합된 복수개의 상이한 재료들을 포함하고, 상기 상이한 재료들 각각은 상이한 열팽창 계수 값을 가지며, 상기 외부 층은 제2 복합 열팽창 계수 값을 갖는 것인 인쇄 회로 기판.

청구항 28

제20항에 있어서, 상기 외부 층은 전도성 층에 의해 각각 분리된 복수개의 제2 유전체 재료 층을 포함하는 것인 인쇄 회로 기판.

청구항 29

제28항에 있어서, 상기 복수개의 제2 유전체 재료 층 각각을 분리하는 상기 전도성 층은 복수개의 전도성 마이크로비아에 의해 선택적으로 상호 연결된 것인 인쇄 회로 기판.

청구항 30

제20항에 있어서, 상기 외부 전도성 층은 반-첨가제 공정, 고급 변형된 반-첨가제 공정 또는 완전 첨가제 공정 중 하나를 사용하여 상기 외부 층과 결합되는 것인 인쇄 회로 기판.

청구항 31

제20항에 있어서, 상기 내부 코어 구조는 표준 인쇄 회로 기판 공정을 사용하여 제작되고, 상기 외부 층과 상기 외부 전도성 층은 집적 회로 기판 공정을 사용하여 제작되는 것인 인쇄 회로 기판.

발명의 설명

기술 분야

[0001] 이 특허 출원은 2016년 3월 15일에 출원되고, “PCB-RDL IP” 라는 제목으로 계류 중인 출원번호 62/308,596 미국 가출원의 35 U.S.C.119(e)에 따른 우선권을 주장하며, 이는 전체적으로 참고 문헌으로 병합된다. 이 특허 출원은 또한 2015년 12월 2일에 출원되고, “역 재분배 층을 사용한 미세 피처 인쇄 회로” 라는 제목으로 계류 중인 출원번호 62/262,299 미국 가출원의 35 U.S.C.119(e)에 따른 우선권을 주장하며, 이는 전체적으로 참고 문헌으로 병합된다.

[0002] 본 발명은 일반적으로 인쇄 회로 기판에 관한 것이다. 더욱 구체적으로, 본 발명은 혼성 재분배 층을 갖는 인쇄 회로 기판에 관한 것이다.

배경 기술

[0003] 인쇄 회로 기판(printed circuit board, PCB)은 비-전도성 기판 상에 라미네이트된, 구리 시트와 같은 전기적 전도성 시트로부터 식각된 전도성 트레이스, 패드 및 다른 피처를 사용하는 전자 부품을 기계적으로 지지하고 전기적으로 연결한다. 다층 인쇄 회로 기판은 복수의 그러한 식각된 전도성 시트 / 비-전도성 기판의 스택킹 및 라미네이팅에 의해 형성된다. 다른 층 상의 도체들은 비아 또는 마이크로비아라 불리는 도금된 스루홀(plated-through holes)로 상호 연결된다.

[0004] 인쇄 회로 기판은 교번하는 비-전도성 층 및 전도성 층으로 만들어진, 복수개의 스택 층을 포함한다. 비-전도성 층은 코어 구조의 일부 또는 단순히 코어인 프리프레그(prepreg) 또는 베이스 재료로 만들어질 수 있다. 프리프레그는 수지 결합제로 함침되거나 코팅되고, 중간 단계 반-고체 제품으로 강화 및 경화된 섬유보강재이다. 프리프레그는 다층 PCB 구조의 개별 층들을 결합하기 위한 접착 층으로서 사용되며, 이 때 다층 PCB는 함께 결합된 도체와 베이스 재료의 교번하는 층들로 이루어지며, 적어도 하나의 내부 전도성 층을 포함한다. 베이스 재료는 도체 재료의 패턴을 지지하기 위해 사용되는 유기 또는 무기 재료이다. 코어는 금속 클래드 베이스 재료이며, 여기서 상기 베이스 재료는 한쪽 또는 양쪽 면에 내장된 금속 도체 재료를 갖는다. 라미네이트된 스택은 단일 라미네이션 단계 또는 다중의 라미네이션 단계에 의해 형성될 수 있다. 단일 라미네이션 단계를 사용하여, 상기 라미네이트된 스택은 끼어있는 프리프레그 및 대응하는 마이크로비아와 함께 다중 코어 구조를 스택킹한 후, 스택을 라미네이팅 함으로써 형성될 수 있다. 마이크로비아는 레이저 또는 기계적 스루홀 드릴링을 사용하여 형성될 수 있다. 마이크로비아는 전도성 경로를 형성하는 내부 벽을 따라 정렬하는 전도성 재료를 갖는다. 다중의 라미네이션 단계를 사용하여, 라미네이트된 스택 빌드업은 코어 구조와 함께 시작된다. 마이크로비아는 이 코어 구조 내에서 형성된다. 그 후 포일 라미네이션 사이클은 필요한 만큼의 층에 대해 수행되고, 그에 따라 프리프레그와 같은, 패턴화된 전도성 상호 연결 및 비-전도성(유전) 층의 교번하는 층을 형성하고, 함께 라미네이트되며, 여기서 상기 패턴화된 전도성 상호 연결은 비-전도성 층을 통해 마이크로비아에 의해 연결된다. 마이크로비아들은 서로의 상부에 스택 및 연결될 수 있고, 여기서 상기 마이크로비아의 전도성 엘리먼트는 스택의 각 층 내에서 접촉한다. 상기 마이크로비아는 전도체(예를 들어 구리 도금을 사용하거나, 또는 온도와 함께 또는 공기 중에서 경화하여 전도성 경로를 형성하는 전도성 충전재로 채워짐)와 같은 재료, 또는 스택 내의 마이크로비아에서 마이크로비아까지의 연속적인 전도성 경로를 위해 스택킹 중에 접촉을 위해 접근 가능한 전도성 마이크로비아 영역을 남기는 비아 캐비티 영역 내의 절연성 재료로 채워진다. 사이에 라미네이트가 있는 전도성 층들 사이의 상호 연결은 마이크로비아를 스택킹하는 것에 의해 수행될 수 있다. 상기 라미네이트된 스택이 형성된 후, 전체 라미네이트된 스택을 통과하는 비아는 상기 라미네이트된 스택을 통하는 홀을 드릴링하고, 구리와 같은 전도성 재료로 상기 홀의 벽을 도금하는 것에 의해 형성될 수 있다. 생성된 도금은 상기 라미네이트된 스택 내에서 전도성 층들을 상호 연결시킨다. 전도성 패드는 액티브 및 패시브 양쪽의 개별 전자 부품들과 상호 연결하기 위해 상기 라미네이트된 스택의 상부 표면 및/또는 하부 표면에 형성된다.

[0005] 이상적 조건 하에서, 전자 부품과 상기 PCB 간의 부착은 스트레스가 없으므로 최적의 상호 연결이 가능하다. 그러나 실제로는 상기 전자 부품과 상기 PCB 간의 부착은 많은 유형의 스트레스의 대상이며, 이들 중 하나 또는 조합은 상호 연결의 파손 및 궁극적인 고장을 초래할 수 있다. 그러한 스트레스 중 하나는 상기 PCB 내의 다양한 재료 간의 열적 불일치 및 또한 상기 PCB 그 자체와 실리콘, GaAs 또는 GaN 디바이스와 같은 상기 PCB에 부착된 전자 디바이스 간의 열적 불일치로 인한 열적-기계적 스트레스이며, 또한 잔류 스트레스로도 불린다. 열적-기계적 스트레스는 자연적일 뿐만 아니라 열에 의해 유도될 수 있다. 열적-기계적 스트레스는 2개의 재료가 재료 열팽창 계수의 불일치를 가질 때 내재되며, 이는 온도 변화에 노출될 때 관찰된다. 몇몇 열적-기계적 스트레

스는 상기 경화 사이클에 의해 야기되며, 여기서 상기 PCB는 경화 후 냉각되기 때문에 수축하고, 다른 열적-기계적 스트레스는 상이한 재료들의 부착된 층들 간의 열적 불일치에 기인한다. 상온에서 열적 불일치가 있을 수 있으며 상기 PCB가 가열될 때에도 열적 불일치가 있을 수 있다. 가열이 일어나고, 예를 들어 일반적인 솔더 리플로우 공정 중에 온도는 약 250-265°C 또는 380°C까지이다. 이러한 상승된 온도에서의 열적 불일치 뿐만 아니라 상기 PCB가 냉각되었을 때의 열적 불일치가 있다. 상기 층이 냉각되면 이들은 다른 속도로 수축한다, 이는 열적-기계적 스트레스에 관련된 과정이다. 또한, PCB의 작동 사용 중의 가열, 예를 들어 장착된 IC 칩이 사용 중에 발열하는 경우 열적 불일치로 인한 열적-기계적 스트레스가 있다. 또한 상기 PCB가 통제되지 않은 환경에서 사용될 때 온도의 환경적 변화가 있는데, 예를 들어 자동차의 적용은 상기 PCB를 -40°C에서 125°C까지 범위의 외부 기온에 노출시킨다. 이는 장기적인 환경적 영향을 초래한다.

[0006] 현재의 PCB 기술은 대량에서 미세 피쳐 패드 피치가 가능한 한 400 마이크로만큼 낮게, 전도성 전송 선로 트레이스의 폭이 가능한 한 40 마이크로만큼 낮게 및 이러한 회로 피쳐들 사이의 공간이 가능한 한 40 마이크로만큼 낮게 제한된다. 몇몇 전자 부품의 경우, PCB 상의 상기 패드 크기는 부착된 전자 부품에 대응하는 패드보다 크며, 상기 전자 부품 상의 패드에 부착된 범프에 의해 상호 연결된다. 더 작은 패드 패치 전자 부품을 더 큰 패드 피치 PCB에 조립하기 위해, 상기 전자 부품은 BGA (볼 그리드 집합체) IC 칩의 배열과 유사하도록 인터포저(interposer) 또는 IC 기판 상에 조립되고, 경우에 따라 웨이퍼 수준 칩 스케일 패키지로 제작된다. 상기 IC 기판은 전자 부품을 표준 PCB 구조에 연결하기 위해 사용된다. 상기 IC 기판은 필수적으로 재분배 층으로서 기능한다. 상기 IC 기판은 BGA 전자 부품의 범프와 조화되는 치수를 갖는 상부 표면 상의 패드 및 상기 PCB 상에 더 큰 패드 크기와 조화되는 더 큰 피치를 갖는 하부 표면 상의 범프를 갖는 패키징된 부품이다. IC 기판의 상부 표면과 하부 표면 사이에는 상부 표면에서 하부 표면까지 상기 회로 피쳐 치수를 증가시키고 상부 표면 패드에서 하부 표면 범프까지 팬 아웃 상호 연결(fan out interconnects)을 제공하는 다중 층이 있다. 상기 IC 기판은 전자 디바이스로 하여금 그 기능성을 최적화시키는 전기적 경로를 허용한다.

[0007] 도 1은 IC 기판을 사용하여 더 작은 피쳐의 전자 부품을 더 큰 피쳐의 표준 PCB에 상호 연결하기 위한 종래의 배열을 도시한다. 표준 PCB 2는 상부 표면에 복수개의 스택 층을 갖는 라미네이트된 스택 4 및 다중 접촉 패드 6을 포함한다. IC 기판 8은 다중 재분배 층으로 만들어진 기판 9, 상기 표준 PCB 2의 다중 접촉 패드 4에 결합된 하부 표면 상의 다중 범프(multiple bump) 10 및 상부 표면 상의 다중 접촉 패드 12를 포함한다. 전자 부품 14는 IC 기판 8의 다중 접촉 패드 12에 결합된 다중 범프 16을 포함한다. 상기 표준 PCB 2의 상부 표면 상의 패드 크기 및 패드 피치는 상기 IC 기판 8의 하부 표면 상의 대응하는 회로 피쳐 크기와 실질적으로 조화되고, 상기 IC 기판 8의 상부 표면 상의 패드 크기 및 패드 피치는 전자 부품 14의 하부 표면 상의 대응하는 회로 피쳐 크기와 실질적으로 조화된다. 전자 부품 14의 회로 피쳐 크기는 표준 PCB 2의 회로 피쳐 크기보다 작다.

[0008] IC 기판은 종종 PCB와 유사한 공정을 사용하여 제작되지만 8 마이크로 라인/공간과 같은 훨씬 작은 피쳐 및 상이한 재료로 제작된다. 이 과정과 재료는 매우 비싸다. 이러한 공정 및 재료는 표준 PCB를 만들기 위해 사용되는 PCB 기술 및 재료보다 실행하기에 더 비싸다. 추가적으로 재분배 층으로서의 IC 기판의 사용은 이제 상기 PCB와 상기 IC 기판 사이의 제1 부품-수준 상호 연결 층과 상기 IC 기판과 상기 전자 부품 사이의 제2 부품-수준 상호 연결 층인 2개의 부품-수준 상호 연결의 층이 있기 때문에 전체 전자 패키지에 더 많은 비용이 추가된다. 또한, IC 기판의 사용은 추가의 패키지 및 범프로 인해 높이(전체 두께)가 증가한다. 또한, 부착되는 각각의 전자 부품은 상기 PCB 상에 부착될 수 있는 전자 부품의 밀도를 감소시키는 IC 기판을 필요로 한다. 상기 IC 기판은 신호 완전성에 부정적 영향을 줄 수 있는 인터포저이기도 하다.

발명의 내용

[0009] 혼성 PCB 시스템은 큰 패드-투-패드 피치를 더 작고 더 미세한 패드-투-패드 피치로 재분배시키고, 잔류 스트레스의 균형을 유지하고 소산시키기 위한 혼성 재료를 적용하는 혼성 재분배 층을 갖는다. 상기 혼성 PCB 시스템은 단일 혼성 PCB 내에 웨이퍼 수준 패키징, IC 기판 및 고밀도 PCB 기술을 결합시킨다.

[0010] IC 기판 또는 인터포저의 필요성 없이 상기 혼성 PCB 시스템은 상호 연결 신뢰성, PCB에 직접적으로 400 마이크로 미만의 패드 피치 및 특히 350 마이크로 미만의 패드 피치를 갖는 전자 부품의 설계 및 조립에 대한 기회를 제공한다. 상기 혼성 PCB 시스템은 전체 전자 패키지 형태 요인(x,y,z 치수)을 감소시킨다. 상기 혼성 PCB 시스템은 또한 전자 부품이 혼성 PCB 상에 직접적으로 장착될 수 있기 때문에 2개의 부품-수준 상호 연결 층에서 한 개의 부품-수준 상호 연결 층까지 부품-수준 상호 연결의 층을 감소시킨다. 직접적 전자 부품 부착을 가능하게 하는 것에 더하여, 상기 혼성 PCB 시스템은 전자 산업의 추세인 소형화 및 증가된 회로 밀도에 필요한 선평과 공간을 감소시킨다.

[0011]

일 측면에서, 인쇄 회로 기판이 개시된다. 상기 인쇄 회로 기판은 복수개의 교번하는 비-전도성 층 및 전도성 층을 갖는 스택을 포함한다. 상기 스택은 중심부에서 열팽창 계수 값을, 스택이 외부 표면을 향해 연장됨에 따라 감소하는 열팽창 계수 값을 갖는다. 몇몇 구체예에서, 상기 중심부는 제1 열팽창 계수 값을 가지며, 외부 표면을 포함하는 상기 스택의 외측부는 상기 제1 열팽창 계수 값보다 작은 제2 열팽창 계수 값을 갖는다. 몇몇 구체예에서, 상기 중심부는 제1 열팽창 계수 값을 가지며, 중심부에 인접한 상기 스택의 중간부는 제1 열팽창 계수 값보다 작은 제2 열팽창 계수 값을 가지며, 외부 표면을 포함하고 중간부에 인접한 상기 스택의 외측부는 제2 열팽창 계수 값보다 작은 제3 열팽창 계수 값을 갖는다.

[0012]

다른 측면에서, 다른 인쇄 회로 기판이 개시된다. 상기 인쇄 회로 기판은 내부 코어 구조, 버퍼 층, 중간 층, 외부 층 및 외부 전도성 층을 포함한다. 상기 내부 코어 구조는 복수개의 비-전도성 층 및 복수개의 전도성 층의 라미네이트된 스택을 포함한다. 상기 복수개의 비-전도성 층은 제1 열팽창 계수 값을 갖는다. 상기 버퍼층은 내부 코어 구조에 라미네이트 되어 있다. 상기 버퍼층은 제1 열팽창 계수 값보다 작은 제2 열팽창 계수 값을 갖는 제1 유전체 재료를 포함한다. 상기 중간 전도성 층은 및 상기 버퍼층에 연결된다. 상기 외부층은 중간 전도성 층 및 버퍼 층에 연결된다. 상기 외부 층은 제2 열팽창 계수 값보다 작은 제3 열팽창 계수 값을 갖는 제2 유전체 재료를 포함한다. 상기 외부 전도성 층은 외부 층과 결합된다. 몇몇 구체예에서, 상기 복수개의 비-전도성 층은 제1 탄성률 값을 갖고, 상기 버퍼 층은 제2 탄성률 값을 갖고, 상기 외부 층은 제3 탄성률 값을 가지며, 추가적으로 상기 제2 탄성률 값은 제1 탄성률 값보다 작고, 상기 제2 탄성률 값은 상기 제3 탄성률 값보다 작다. 몇몇 구체예에서, 상기 복수개의 전도성 층은 내부 코어 구조 외부 표면 전도성 층을 포함하고, 상기 중간 전도성 층은 하나 이상의 제1 전도성 마이크로비아에 의해 상기 내부 코어 구조 외부 표면 전도성 층에 결합된다. 몇몇 구체예에서, 상기 외부 전도성 층은 하나 이상의 제2 전도성 마이크로비아에 의해 상기 중간 전도성 층에 결합된다. 몇몇 구체예에서, 상기 내부 코어 구조 외부 표면은 대응하는 내부 코어 구조 회로 피처 치수를 각각 갖는 복수개의 내부 코어 구조 회로 피처를 포함한다. 몇몇 구체예에서, 상기 복수개의 내부 코어 구조 회로 피처 각각은 접촉 패드, 트레이스 전송 선로 또는 비아 엔드 중 하나를 포함한다. 몇몇 구체예에서, 상기 외부 전도성 층은 대응하는 외부 표면 회로 피처 치수를 각각 갖는 복수개의 외부 층 회로 피처를 포함한다. 몇몇 구체예에서, 상기 외부 표면 회로 피처 치수는 상기 내부 코어 구조 회로 피처 치수보다 작다. 몇몇 구체예에서, 상기 버퍼 층은 함께 혼합된 복수개의 상이한 재료들을 포함하고, 상기 상이한 재료들 각각은 상이한 열팽창 계수 값을 가지며, 상기 버퍼 층은 제2 복합 열팽창 계수 값을 갖는다. 상기 외부 층은 함께 혼합된 복수개의 상이한 재료들을 포함하며, 상기 상이한 재료들 각각은 상이한 열팽창 계수 값을 가지며, 상기 외부 층은 제3 복합 열팽창 계수 값을 갖는다. 몇몇 구체예에서, 상기 버퍼 층은 전도성 층에 의해 각각 분리된 복수개의 제1 유전체 재료 층을 포함한다. 몇몇 구체예에서, 상기 복수개의 제1 유전체 재료 층 각각을 분리하는 상기 전도성 층은 복수개의 전도성 마이크로비아에 의해 선택적으로 상호 연결된다. 몇몇 구체예에서, 상기 외부 층은 전도성 층에 의해 각각 분리된 복수개의 제2 유전체 재료 층을 포함한다. 몇몇 구체예에서, 상기 복수개의 제2 유전체 재료 층 각각을 분리하는 상기 전도성 층은 복수개의 전도성 마이크로비아에 의해 선택적으로 상호 연결된다. 상기 중간 전도성 층은 상기 버퍼 층에 적용되고, 상기 외부 전도성 층은 반-첨가제 공정(semi additive process), 고급 변형된 반-첨가제 공정(advanced modified semi additive process) 또는 완전 첨가제 공정(fully additive process) 중 하나를 사용하여 상기 외부 층과 결합한다. 몇몇 구체예에서, 상기 내부 코어 구조는 표준 인쇄 회로 기판 공정을 사용하여 제작되고, 상기 버퍼 층, 상기 중간 전도성 층, 상기 외부 층 및 상기 외부 전도성 층은 집적 회로 기판 공정을 사용하여 제작된다. 또 다른 측면에서, 다른 인쇄 회로 기판이 개시된다. 상기 인쇄 회로 기판은 내부 코어 구조, 외부 층 및 외부 전도성 층을 포함한다. 상기 내부 코어 구조는 복수개의 비-전도성 층 및 복수개의 전도성 층의 라미네이트된 스택을 포함한다. 상기 복수개의 비-전도성 층은 제1 열팽창 계수 값을 갖는다. 상기 외부 층은 내부 코어 구조에 결합된다. 상기 외부 층은 제1 열팽창 계수보다 작은 제2 열팽창 계수 값을 갖는 유전체 재료를 포함한다. 상기 외부 전도성 층은 외부 층에 결합된다. 몇몇 구체예에서, 상기 복수개의 비-전도성 층은 제1 탄성률 값을 갖고, 상기 외부 층은 제2 탄성률 값을 갖고, 추가적으로 상기 제2 탄성률 값은 제1 탄성률 값보다 작다. 몇몇 구체예에서, 상기 복수개의 전도성 층은 내부 코어 구조 외부 표면 전도성 층을 포함하고, 상기 외부 전도성 층은 하나 이상의 전도성 마이크로비아에 의해 상기 내부 코어 구조 외부 표면 전도성 층에 결합된다. 몇몇 구체예에서, 상기 내부 코어 구조 외부 표면은 대응하는 내부 코어 구조 회로 피처 치수를 각각 갖는 복수개의 내부 코어 구조 회로 피처를 포함한다. 몇몇 구체예에서, 상기 복수개의 내부 코어 구조 회로 피처 각각은 접촉 패드, 트레이스 전송 선로 또는 비아 엔드 중 하나를 포함한다. 몇몇 구체예에서, 상기 외부 전도성 층은 대응하는 외부 표면 회로 피처 치수를 각각 갖는 복수개의 외부 층 회로 피처를 포함한다. 몇몇 구체예에서, 상기 외부 표면 회로 피처 치수는 상기 내부 코어 구조 회로 피처 치수보다 작다. 몇몇 구체예에서, 상기 외부 층은 함께 혼합된 복수개의 상이한 재료들을 포함하고,

상기 상이한 재료들 각각은 상이한 열팽창 계수 값을 가지며, 상기 외부 층은 제2 복합 열팽창 계수 값을 갖는다. 몇몇 구체예에서, 상기 외부 층은 전도성 층에 의해 각각 분리된 복수개의 제2 유전체 재료 층을 포함한다. 몇몇 구체예에서, 상기 복수개의 제2 유전체 재료 층 각각을 분리하는 상기 전도성 층은 복수개의 전도성 마이크로비아에 의해 선택적으로 상호 연결된다. 몇몇 구체예에서, 상기 외부 전도성 층은 반-침가제 공정, 고급 변형된 반-침가제 공정 또는 완전 침가제 공정 중 하나를 사용하여 상기 외부 층과 결합된다. 몇몇 구체 예에서, 상기 내부 코어 구조는 표준 인쇄 회로 기판 공정을 사용하여 제작되고, 상기 외부 층과 상기 외부 전도성 층은 집적 회로 기판 공정을 사용하여 제작된다.

도면의 간단한 설명

[0013] 몇몇 예시적 구체예가 도면을 참조하여 설명되며, 여기서 유사한 구성 요소는 유사한 참조 번호와 함께 제공된다. 상기 예시적 구체예는 본 발명을 예시하려는 것일 뿐, 한정하고자 하는 것은 아니다. 그림은 하기의 도면을 포함한다:

도 1은 IC 기판을 사용하여 더 작은 피치의 전자 부품을 더 큰 피치의 표준 PCB에 상호 연결하기 위한 종래의 배열을 도시한다.

도 2는 몇몇 전도성 상호 연결, 회로 피치 특징의 도해적 표현을 도시한다.

도 3은 몇몇 구체예에 따른 예시적 내부 코어 구조 및 다양한 비아 기술의 절단된 측면도를 도시한다.

도 4는 몇몇 구체예에 따른 혼성 PCB 시스템을 제작하는 공정을 도시한다.

발명을 실시하기 위한 구체적인 내용

[0014] 본 출원의 구체예는 혼성 PCB 시스템에 관한 것이다. 통상의 기술자는 혼성 PCB 시스템의 하기의 상세한 설명은 예시적인 것일 뿐이며 어떤 방식으로든 한정하는 것을 의도하지 않았음을 알 것이다. 상기 혼성 PCB 시스템의 다른 구체예는 예컨대 본 개시의 이점을 갖는 숙련자 스스로에게 쉽게 시사할 것이다.

[0015] 참고 자료는 첨부한 그림에 도시된 것처럼 혼성 PCB 시스템의 구현에 대한 세부 사항으로 이루어질 것이다. 동일한 참조 표시는 동일하거나 유사한 부분을 언급하는 도면 및 하기의 상세한 설명 전체에 걸쳐 사용될 것이다. 명확하게 하기 위하여, 본원에 설명된 구현의 모든 통상적인 특징이 나타나거나 설명되지는 않는다. 물론, 그러한 실제 구현의 개발에 있어, 개발자의 특정한 목적, 예컨대 적용 및 사업에 관련된 제약의 준수를 달성하기 위하여 많은 구현-구체적 결정이 이루어져야함을 인식할 것이고, 이러한 구체적인 목적은 일 구현에서 다른 구현까지 다양하며 한 개발자에서 다른 개발자까지 다양하다. 게다가, 그러한 개발 노력은 복잡하고 시간 소모적일 수 있음을 인식해야하나, 그럼에도 불구하고 이 개시의 이점을 갖는 통상의 기술자들에게는 공학적인 통상의 일일 것이다.

[0016] 도 2는 몇몇 전도성 상호 연결, 회로 피치 특징의 도해적 표현을 도시한다. 패드 1, 패드 2, 2개의 접촉 패드 및 라인 트레이스가 나타난다. 피치 P는 두 인접한 패드의 중심 사이의 거리, 예를 들어 패드 1의 중심과 패드 2의 중심 사이의 거리이다. 라인 너비 L은 라인 트레이스의 너비이다. 공간 S는 인접한 회로 피치 사이의 거리, 예를 들어 패드 1의 모서리 및 라인 트레이스의 모서리 사이의 거리이다. 너비 D는 비아 직경을 나타낸다.

[0017] 상기 혼성 PCB 시스템은 라미네이트된 스택으로 만들어진 내부 코어 구조와 내부 코어 구조 상에 직접 제작된 외부 혼성 재분배 층을 포함한다. 혼성 재분배 층은 웨이퍼 수준 패키징 및 IC 기판 기술을 사용하여 제작되는 반면, 상기 내부 코어 구조는 표준 PCB 기술을 사용하여 제작된다. 도 3은 몇몇 구체예에 따른 예시적 내부 코어 구조와 다양한 비아 기술의 절단된 측면도를 도시한다. 상기 내부 코어 구조 20은 복수개의 비-전도성 층 및 복수개의 전도성 층을 갖는 라미네이트된 스택이다. 상기 내부 코어 구조는 빌드업 내에서 고밀도 상호 연결을 갖는다. 상기 내부 코어 구조는 예를 들어 2-50 층인 다중 층을 가지며, 각 층은 프리프레그, 코어(베이스) 재료 또는 전도성 상호 연결/평면으로 만들어지며, 바람직하게 구리로 만들어진다. 도 3에 나타난 예시적 배열에서, 상기 내부 코어 구조는 프리프레그 및 코어로 표시된, 끼어있는 비-전도성 층 내 전도성 층 L1-L10을 포함한다. 전도성 층 L1 및 L10과 같은 상기 가장 외부의 전도성 층은 접촉 패드 44를 포함한다. 예시적인 내부 코어 구조 20은 코어 층의 어느 한 면에 적용된 일련의 라미네이션 사이클을 통해 제작된다. 각각의 라미네이션 단계 이후, 라미네이트된 스택의 상기 가장 외부의 전도성 층은 패턴이 식각되어 전기적 전도성 상호 연결을 형성한다. 전도성 층은 예를 들어 구리 포일 또는 라미네이트로 형성될 수 있으며, 여기서 라미네이트는 베이스 재료와 같은 비-전도성 층 및 비-전도성 층의 한쪽 또는 양쪽 면에 전도성 층을 포함한다. 몇몇 구체예에서, 전

도성 층은 다층 배치된 전도성 및 비-전도성 층을 포함할 수 있는 다층 빌드업을 나타낸다.

- [0018] 비-전도성 층 각각은 프리프레그 또는 베이스 재료와 같은 비-전도성, 절연성 재료로 만들어진다. 베이스 재료는 도체 재료의 패턴을 지지하기 위해 사용되는 유기 또는 무기 재료이다. 베이스 재료 및 프리프레그 각각은 수지 및 유리 직물을 포함하나, 베이스 재료 내의 수지는 이미 완전히 경화되어 라미네이션 중에 흐르지 않는다. 프리프레그 내의 수지는 부분적으로만 경화되므로 라미네이션 중간에 흐른다. 프리프레그의 기능은 인접한 전도성 층을 기계적으로 접합하지만 전기적으로 절연시키는 것이다.
- [0019] 임의의 수 또는 유형의 비아 또는 마이크로비아는 다양한 전도성 층 사이에 상호 연결을 제공하기 위해 형성될 수 있다. 이러한 비아 유형의 예는 모든 층 상호 연결(ELIC, Every Layer InterConnect) 22, 고체 비아 24, 패드 내 비아 26, 스택 비아 28, 스테거드(staggered) 비아 28, 스킵 비아 32, 레이저 비아 34, 텔레스코픽 비아 36, 스테거드 비아 38, 패드 내 비아 40 및 스택 고체 비아 42를 포함하나, 이에 한정되지 않는다. 이들 비아 유형 각각은 예시적 목적만을 위해 나타난다. 특유의 적용에 의해 결정되는 것처럼, 이들 유형 중 몇몇 또는 일부는 주어진 내부 코어 구조 내에 사용될 수 있다는 것이 이해된다. 또한, 도 3에 나타난 특유의 전도성 상호 연결, 비아 및 마이크로비아들은 다시 예시적 목적만을 위한 것이며, 특유의 적용에 기초하여 변경될 수 있음이 이해된다.
- [0020] 상기 내부 코어 구조 20은 표준 PCB 기술을 사용하여 제작된다. 30 마이크로미터 라인 공간을 갖는 300 마이크로미터 피치는 개발되기 시작하는 중이다. 이는 이러한 피치에 커넥터(예를 들어 솔더 범프)를 갖는 칩 세트(BGAs, CSPs, WLP) 때문이다. 표준 PCB 기술에서, 통상적으로 동일한 열팽창 계수를 갖는 스택 비-전도성 층이 있고, 라인/공간은 일반적으로 외부 층보다 내부 층 내에서 더 작다. 상기 전도성 상호 연결 피치 특성은 표준 PCB 기술 때문에 최소 크기 제한을 갖는다. 내부 코어 구조를 위한 최소 패드 피치는 400 마이크로미터이며, 최소 라인 너비 L은 40 마이크로미터이고, 최소 공간 S는 40 마이크로미터이다. 혼성 PCB 시스템의 접근법을 사용하여, 외부 층은 내부 층과 동일 또는 더 작은 라인/공간 및 피치를 갖고, 내부 층의 피치는 외부 층의 피치보다 클 수 있다. 이러한 측면들을 성취하기 위한 주요 메커니즘은 버퍼 층 재료를 갖거나 갖지 않는, 및 표준 PCB보다 마이크로비아 내에 연성이 높은 구리를 갖는 혼성 외부 층 재료의 사용이다.
- [0021] 도 4는 몇몇 구체예에 따른 혼성 PCB 시스템을 제작하는 공정을 도시한다. 각 공정 단계는 제작 공정 내의 다양한 단계에서 혼성 PCB 시스템의 절단된 측면도를 나타낸다. 단계 100에서, 내부 코어 구조는 표준 PCB 기술을 사용하여 제작된다. 상기 내부 코어 구조는 도 3에 나타난 내부 코어 구조 20과 같은 고밀도 상호 연결(HDI, High Density Interconnect) PCB 또는 ELIC PCB를 포함하나 이에 한정되지 않는 임의의 표준 PCB일 수 있다. 도 4는 상기 혼성 PCB 시스템의 일부만을 나타낸다. 예를 들어, 상기 내부 코어 구조 20은 블록 형태로만 나타나 있고, 설명의 편의를 위해 단일 비아 22/접촉 패드 44만이 나타난다. 일반적으로, 상기 내부 코어 구조는 대칭적으로 배열될 수 있고 그렇지 않을 수도 있는, 전기적 및 기계적으로 연결된 'N' 층을 갖는다. 상기 내부 코어 구조는 솔더 마스크와 같은 외장 마감, 또는 유기 표면 보호제(OSP, Organic Surface Protectant), 무전해 니켈 금 도금(ENIG, Electroless Nickel Immersion Gold) 등과 같은 표면 마감을 가질 수 있고 그렇지 않을 수도 있다. 솔더 마스크는 평탄화 및/또는 다음의 빌드업 층에 대해 개선된 접착을 위해 고려될 수 있다. 외부 층 표면 비아는 (도금 또는 전도성 잉크에 의한) 구리 또는 (전도성 잉크에 의한) 은과 같은 전도성 재료, 또는 이후에 구리로 도금되는 전도성 고분자 재료 또는 유전성 고분자 충전재와 같은 이방성(anisotropic) 전도성 재료로 채워질 수 있다. 비아를 채우기 위한 다른 기술들이 사용될 수 있는 것으로 이해된다.
- [0022] 단계 102에서, 버퍼 층으로서도 지칭될 수 있는 제1 유전체 층 50은 상기 내부 코어 구조 20의 노출된 표면에 적용된다. 이상적인 경우, 계면(interface) 간의 조합된 팽창력은 층들 상의 전단력을 최소화하기 위해 가능한 한 동일하게 가까워야 한다. 제1 유전체 층은 전기적으로 비-전도성 재료이다. 몇몇 구체예에서, 상기 제1 유전체 층은 유리로 충전된, 세라믹 입자로 충전된, 또는 나노-입자로 충전된 것과 같이, 충전된다. 다른 구체예에서, 상기 제1 유전체 층은 솔더 마스크형 재료와 같이 충전되지 않는다. 상기 제1 유전체 층은 레이저 드릴링 또는 포토리소그래피 공정 중 어느 하나와 양립 가능하다. 제1 유전체 층은 구리 라인 트레이스 또는 접촉 패드와 같은 내부 코어 구조 20의 외부 층 회로 피치들 사이의 틈을 채우기 위해 적용될 수 있고, 이는 평면 또는 평평한 표면을 형성시킨다. 이러한 방식으로, 제1 유전체는 동일 평면성의 문제를 해결하는 데에 사용될 수 있다. 패드, 트레이스, 비아 엔드와 같은 회로 피치는 내부 코어 구조의 표면 위로 연장된다. 이는 다음으로 추가된 층 내에 이미지 전달을 초래하는데, 이는 상부 표면의 평면성에 부정적인 영향을 준다. 가능한 한 평평한 표면에 전자 부품을 장착하는 것이 선호된다. 제1 유전체 층은 회로 피치 사이의 틈을 채우기 위해 사용될 수 있고, 그에 의해 상기 PCB 혼성 시스템의 상부 표면에서 이미지 전달을 최소화한다. 제1 유전체 재료는 내부 코어 구조 20의 외부 층 상의 회로 피치들과 동일 평면에 존재하거나 또는 회로 피치들 약간 위에 존재할 수 있다.

상기 제1 유전체 층은 액체 또는 필름일 수 있다. 상기 제1 유전체 층의 적용은 재분배 층 빌드업을 시작하기 위한 베이스로서 평평한 또는 평면의 표면을 형성시킨다. 상기 제1 유전체 재료는 온도 및/또는 자외선 같은 빛의 적용에 의해 고정, 경화 또는 가교될 필요가 있다. 상기 제1 유전체 재료는 포토리소그래피 공정 또는 레이저 드릴링과 양립할 수 있다. 몇몇 구체예에서, UV 범위 또는 IR 범위의 파장을 갖는 레이저가 사용된다. 상기 레이저 공급원은 가스 또는 고체 상태일 수 있다. 펄스 길이는 펨토초와 마이크로초 사이이다. 상기 제1 유전체 재료는 자연적으로 또는 접착 촉진 재료의 사용 중 하나로 내부 코어 구조에 기계적 및/또는 화학적으로 부착한다. 제1 유전체 재료는 또한 부동화(passivation) 층으로 고려될 수 있다. 비록 제1 유전체 층은 단일 층으로서 나타나 있지만, 상기 제1 유전체 층은 제1 유전체 재료로 만들어진 하나 이상의 층을 나타낸다.

[0023] 단계 104에서, 비아 홀 52는 제1 유전체 층 50 내부에 형성되어 상기 내부 코어 구조 20의 외부 층 상의 전도성 접촉 패드 44의 일부를 노출시킨다. 하나의 비아 홀 52는 각각의 접촉 패드 44에 대해 형성된다. 상기 비아 홀 직경은 접촉 패드 직경보다 작다. 몇몇 구체예에서, 상기 비아 홀의 직경은 50 마이크로미터보다 작거나 동등하다. 상기 비아 홀 52는 포토리소그래피 공정, 또는 UV 레이저 또는 CO₂ 레이저와 같은 레이저의 사용 중 어느 하나에 의해 형성된다. 상기 비아 홀 52는 PCB 또는 IC 기판 제조를 대표하는 플라즈마 또는 화학 물질로 세척될 수 있다.

[0024] 단계 106에서, 회로 경로의 재분배를 위한 회로 피처는 금속화 및 패터닝에 의해 형성된다. 전도성 상호 연결 54는, 제1 유전체 층 50 위에 및 비아 홀 52 내에 구리와 같은 전도성 재료를 증착시킴으로써 형성된다. 그 후 상기 증착된 전도성 재료는 패터닝 및 식각되어 원하는 회로 피처를 형성한다. 홀 비아 내에 증착된 상기 전도성 재료는 내부 코어 구조 20 상의 접촉 패드 44에 전기적 및 기계적으로 결합된 캡처 패드 55를 형성한다. 상기 형성된 전도성 상호 연결은 상기 캡처 패드 55에 기계적 및 전기적으로 결합된다. 몇몇 구체예에서, 상기 전도성 재료는 PVD(물리 기상 증착법, Physical Vapor Deposition), CVD(화학 기상 증착법, Chemical Vapor Deposition), 무전해 구리 시드 층에 이은 전해질 구리 도금, 또는 직접 구리 도금에 의해 증착된다. 상기 회로 피처(라인/공간, 패드 등)에 대한 패터닝은 반-첨가제 공정 (semi-additive process, SAP), 고급 변형된 반-첨가제 공정(advanced modified semi-additive process, amSAP) 또는 잉크 분사 또는 다른 완전 첨가제 금속 증착 공정을 포함하는 완전 첨가제 공정을 사용하여 수행될 수 있다. 완전 첨가제 공정에서, 구리는 상기 전도성 상호 연결이 위치할만한 곳에서만 증착되며, 패터닝 및 식각은 없다. 이러한 패터닝 공정은 IC 기판 및 웨이퍼 수준 패키징 공정에서 사용되는 패터닝 공정을 나타낸다. 대조적으로, 표준 PCB 공정을 사용하는 패터닝은 완전 차감 공정 (fully subtractive process)에 의해 수행된다. 완전 차감 공정에서, 구리 층이 증착되거나 포일로서 적용되고, 그 후 상기 구리 층이 패터닝 및 식각되어 전도성 상호 연결을 형성한다. 완전 차감 공정은 혼성 재분배 층 내의 미세 회로 피처 치수를 형성할 수 없다. 그러나 반-첨가제 공정 (SAP), 고급 변형된 반-첨가제 공정 (amSAP) 및 완전 첨가제 공정은 완전 차감 공정보다 비용이 많이 든다. 비아 구조는 스택된, 스테거드, 충전된, 충전되지 않은, 오목한 및 볼록한 것을 포함하는 도 3에 설명된 것들과 유사할 수 있으나, 이에 제한되지 않는다.

[0025] 단계 108에서, 외부 층으로도 지칭되는 제2 유전체 층 56은 전도성 층 54 및 제1 유전체 층 50 위에 적용된다. 상기 제2 유전체 층은 전기적으로 비-전도성 재료이다. 상기 제2 유전체 층은 유리로 충전된, 세라믹 입자로 충전된, 또는 나노-입자로 충전될 수 있고 그렇지 않을 수 있다. 상기 제2 유전체 층은 레이저 드릴링 또는 포토리소그래피 공정 둘 중 하나와 양립가능하다. 비록 상기 제2 유전체 층은 단일 층으로 나타나지만, 상기 제2 유전체 층은 제2 유전체 재료로 만들어진 하나 이상의 층을 나타낸다. 상기 제2 유전체 재료는 3-6 C/s의 램프 속도(ramp rate), b/t 30 및 260 C, 및 Tg>160에서 DMA에 의한 20 ppm 미만의 휨(warp) 및 충전(fill) CTE를 갖는 유전체 재료일 수 있다. 선호되는 휨 및 충전 CTE는 15ppm 미만이다.

[0026] 단계 110에서 비아 홀 58은 제2 유전체 층 56 내에 형성되어 전도성 상호 연결 54의 일부를 노출시킨다. 하나의 비아 홀 58은 각각의 캡처 패드 55에 대해 형성된다. 상기 비아 홀 58의 직경은 캡처 패드 55의 직경과 같거나 더 작다. 몇몇 구체예에서, 상기 비아 홀 58의 직경은 30 마이크로미터보다 작거나 또는 동일하다. 상기 비아 홀 58은 포토리소그래피 공정, 또는 UV 레이저 또는 CO₂ 레이저와 같은 레이저의 사용 중 어느 하나에 의해 형성된다. 상기 비아 홀 58은 PCB 또는 IC 기판 제작에 통상적인 플라즈마 또는 화학 물질로 세척될 수 있다. 제1 유전체 층 50 및 제2 유전체 층 56에서, 층 두께는 상기 내부 코어 구조 내의 비-전도성 층보다 얇아진다. 더 얇은 층은 직경이 더 작은 비아가 전체 두께를 통과할 수 있게 한다. 몇몇 구체예에서, 제1 유전체 층의 두께는 약 40이며, 이는 비아가 약 50 마이크로미터의 직경을 가질 수 있게 한다. 이는 약 60의 두께를 가지고 약 75 마이크로미터의 비아 직경에 대응하는 내부 코어 구조 내의 통상적인 비-전도성 층과 대비된다. 몇몇 구체예에서, 제2 유전체 층의 두께는 25 마이크로미터이며, 약 40마이크로미터의 비아 직경이 가능하게 한다. 더 작은 비아 직경은 내부

코어 구조 상의 회로 피치 치수를 더 크게 유지하면서, 혼성 재분배 층의 외부 표면 상의 회로 피치 치수를 소형화, 예를 들어 라인 트레이스 및 패드를 더 작게 한다.

[0027] 단계 112에서, 회로 경로의 재분배를 위한 회로 피치는 금속화 및 패턴화에 의해 형성된다. 전도성 상호 연결 60은 구리와 같은 전도성 재료를 제2 유전체 층 56 위 및 비아 홀 58 내에 증착시킴으로써 형성된다. 그 후 상기 증착된 전도성 재료는 패턴화 및 식각되어 원하는 회로 피치를 형성한다. 상기 비아 홀 58 내에 증착된 상기 전도성 재료는 전기적 및 기계적으로 전도성 상호 연결 54에 결합된 캡처 패드 61을 형성한다. 상기 전도성 상호 연결 60은 단계 106에서 상기 전도성 상호 연결 54와 유사한 방식으로 형성될 수 있으며, 여기서 단계 112에서 형성된 회로 피치 치수는 단계 106에서 형성된 회로 피치 치수와 같거나 더 작다. 몇몇 구체예에서, 추가적인 전도성 층은 단계 108-112를 반복함으로써 형성할 수 있다.

[0028] 단계 114에서, 솔더 마스크 62는 전자 부품 조립 또는 전기적 시험에 필요한 캡처 패드 61과 같은 패드를 제외하고는 외부 층 회로를 보호하기 위해 적용된다. 상기 솔더 마스크를 패드 개구부 위에 배치할 수 있고(패드로 한정된 솔더 마스크로 알려짐) 패드의 환형 고리 내에 배치할 수 있다(패드로 한정된 금속 또는 구리로 알려짐). 전자 부품 상의 범프(나타나지 않음)는 노출된 패드에 접촉할 수 있다.

[0029] 비록 단일 패드 61만이 혼성 재분배 층의 외부 표면 상에 나타났지만, 이는 단지 예시적 목적을 위한 것이다. 혼성 재분배 층의 외부 표면상의 전도성 상호 연결, 특히 접촉 패드가 범프와 같은, 혼성 PCB 시스템에 장착된 전자 부품의 대응하는 상호 연결과 조화되도록 상기 혼성 재분배 층이 배치된다. 전자 부품은 개별 디바이스, IC 및 IC 패키징, 모듈 또는 하나 이상의 IC 및 증폭기, RF 디바이스, 센서 기타 등등과 같은 지원 디바이스일 수 있다.

[0030] 도 4는 혼성재분배 층이 내부 코어 구조의 일 측면(도 4에 나타난 상부 측면) 상에 형성되는 비대칭 구조를 나타낸다. 대안으로, 다른 혼성 재분배 층이 내부 코어 구조의 반대 측면 상에 형성될 수 있다. 내부 코어 구조의 어느 한 측면 상의 혼성 재분배 층은 대칭 또는 비대칭일 수 있다.

[0031] 제1 및 제2 유전체 층 및 끼어있는 전도성 층의 미세 회로 피치는 혼성 재분배 층을 형성한다. 회로 피치의 치수는 내부 코어 구조와 접촉하는 전도성 층으로부터 부착된 전자 부품과 접촉하는 전도성 층까지 감소되고, 그에 따라 별개의 IC 기판 또는 인터포저를 사용하지 않고 더 큰 크기의 내부 코어 구조와 함께 더 작은 크기의 전자 부품의 상호 연결을 가능하게 한다. 추가적으로, 상기 혼성 재분배 층은 뾰뾰이 간격을 둔 전자 부품의 범프로부터 전도성 상호 연결 팬 아웃을 제공한다. 부착된 상기 전자 부품의 각 범프는 혼성 재분배 층의 상부 표면 상의 패드에 연결된다. 상기 범프는 종종 치밀한 집합체, 예를 들어 25x25 범프 집합체를 형성하고, 따라서 상부 표면 상의 패드의 대응하는 치밀한 집합체가 있다. 상부 표면을 따라 집합체의 외부 패드로부터 상호 연결 트레이스를 연장하는 것은 간단하다. 이러한 상호 연결은 탈-부품(off-component) 상호 연결 능력을 제공하는 부착된 전자 부품으로부터 “팬 아웃” 된다. 그러나 고밀도 BGA의 경우, 상기 범프 및 그에 따른 패드는 서로 너무 가깝게 (피치가 너무 작다) 이격되어 패드 사이에 맞춰진 상호 연결이 배열 내의 내부 패드에 접근하는 것을 가능하게 한다. 패드/범프의 나머지를 위한 팬 아웃 상호 연결을 제공하기 위하여, 상기 내부 패드는 통상적으로 혼성 재분배 층 내의 더 낮은 전도성 상호 연결 층에 접촉하는 비아의 상부 상에 형성된다. 그 후, 전도성 상호 연결은 상부 표면으로부터 하나 이상의 층에서 비아에 연결될 수 있다. 뒤따르는 비아는 부착된 전자 부품의 패드/범프 각각에 대한 팬 아웃 상호 연결을 제공하는데 필요한 만큼의 추가 층을 통해 아래로 형성될 수 있다. 부착된 전자 부품 상의 범프의 집합체가 클수록, 모든 범프/패드에 대한 충분한 개수의 팬 아웃 경로를 제공하는 층의 수가 커진다. 피치, 라인 및 간격 치수는 내부 코어 구조를 향해 이동하는 층에서 층까지 증가될 수 있고, 그에 따라 부착된 전자 부품의 고밀도 상호 연결과 인터페이싱하는데 필요한 상부 표면의 더 작은 치수에서 내부 코어 구조의 더 큰 치수로의 전이를 제공한다. 예를 들어 내부 코어 구조의 패드/비아의 피치는 0.75-1.00 mm인 반면, 상기 범프는 0.2 mm 또는 0.3 mm 피치(중심 대 중심)를 가질 수 있다. 이러한 방식으로 부착된 전자 부품의 더 작은 치수의 상호 연결에서 내부 코어 구조의 더 큰 치수의 상호 연결로의 전이는 전체 PCB 스택업에 라미네이트된 추가 층을 사용하여 달성된다. 이는 부착된 전자 부품과 내부 코어 구조 사이의 매개체로서 부착된 별개의 전자 부품인 IC 기판의 사용과 대조된다.

[0032] 앞에서 설명한 바와 같이, 고밀도 BGA의 밀도는 너무 높아서 인접한 범프들 사이의 라우팅 채널을 위해 충분한 공간을 허용하지 않는다. 내부 코어 구조에서 더 큰 피치와 함께, 하나 이상의 라우팅 채널이 팬 아웃 상호 연결을 위해 인접한 패드/비아 사이에 형성될 수 있다. 혼성 재분배 층이 다중 층으로 제조되는 경우, 각 층에서 치수가 증가될 수 있고, 부착된 전자 부품의 치수로부터 멀어지고 결국 혼성 재분배 층의 하나 이상의 층 상의 라우팅 채널 형성을 위한 충분한 피치를 제공한다.

- [0033] 표준 PCB(내부 코어 구조)에 라미네이트된 추가 층으로서 혼성 재분배 층을 추가함으로써, IC 기판이 제거된다. 그러나 부착된 전자 부품은 고밀도 상호 연결을 갖기 때문에, 열적-기계적 스트레스가 관리되지 않으면 전자 부품의 개별 범프와 혼성 재분배 층 상의 대응하는 접촉 패드 사이의 레지스트레이션(registration)이 문제 될 수 있다. 열적-기계적 스트레스를 관리하기 위해, 상기 혼성 재분배 층은 유전체 층이 상이한 재료로 구성되도록 추가로 배열된다. 혼성 재분배 층의 유전체 층은 또한 내부 코어 구조의 비-전도성 층과 상이한 재료로 만들어진다. 열적 기계적 스트레스와 레지스트레이션 부담을 덜기 위해 다른 층에 다른 재료가 사용된다. 혼성 재분배 층으로서 외부 재분배 층을 효과적으로 설계하는 것은 해당되는 경우 전자 부품 부착 위치에서 스트레스를 소산시키고 표준 PCB의 내부 코어 구조 및 혼성 재분배 층 사이 뿐만 아니라 혼성 재분배 층 내의 다양한 혼성 층들 사이의 계면에서 열적-기계적 스트레스를 분배한다.
- [0034] 잔류 스트레스로도 불리는 재료의 열적-기계적 스트레스는 탄성률, 온도의 변화, 열팽창 계수 (CTE, Coefficient of Thermal Expansion) 및 포아송 비(Poisson's ratio)의 함수이다. 제1 유전체 재료는 두 가지 특성을 갖는다. 첫째, 상기 제1 유전체 재료는 내부 코어 구조 및 제2 유전체 재료보다 낮은 탄성률을 갖는다. 낮은 탄성 모듈은 더 유연한 재료를 의미하며, 기본적으로 다른 것에 비해 하나의 재료의 더 많은 이동을 가능하게 한다. 만약 제1 유전체 층이 내부 코어 구조보다 더 단단했다면, 제1 유전체 층은 제2 유전체 층 내로 일부 열적-기계적 스트레스 힘(내부 코어 구조로부터)을 전달했을 것이다. 그러나 제1 유전체 층은 내부 코어 구조 및 제2 유전체 층 양쪽보다 부드럽게(더 낮은 탄성률) 구성되어 그에 따라 제2 유전체 층이 제 위치에 유지하면서 내부 코어 구조가 약간 팽창할 수 있게 한다. 이 경우, 더 부드러운 제2 유전체 층은 팽창/수축하는 내부 코어 구조에 의해 유발된 스트레스를 흡수한다. 몇몇 구체예에서, 상기 제2 유전체 재료는 50 Gpa 이하의 탄성률을 갖는다. 두 번째로, 상기 제1 유전체 재료는 내부 코어 구조보다 낮은 열팽창 계수(CTE)를 갖지만, 외부 층보다는 큰 CTE를 갖는다. 열팽창은 온도 변화에 대응하여 모양, 면적 및 부피가 변화하는 물질의 경향이다. 팽창 정도를 온도 변화로 나눈 것을 재료의 CTE라 부르며 일반적으로 온도에 따라 다르다. 본원에서 사용될 때, 재료의 CTE에 대한 언급은 특정 온도에서의 특정 CTE 값 또는 CTE의 변화율 둘 중 하나를 언급하기 위해 사용된다. CTE와 유사하게, 탄성률은 온도에 따라 변한다.
- [0035] 유리-액체 전이, 또는 간략히 유리 전이는 온도가 상승함에 따라 물질이 단단하고 상대적으로 부서지기 쉬운 “유리질” 상태에서 용융 또는 고무와 같은 상태로의 가역적 전이이다. 재료의 유리 전이 온도 Tg는 유리 전이가 일어나는 온도 범위를 특징으로 한다. 각각의 물질은 특정한 유리 전이 Tg를 갖는다. 재료의 CTE의 변화율은 유리 전이 Tg에서 변한다. 유리 전이 Tg보다 낮은 온도에서 재료는 제1 CTE 변화율을 가지며, 유리 전이보다 높은 온도에서 재료는 제2 CTE 변화율을 가지며, 이는 제1 CTE 변화율보다 크다. CTE와 유사하게, 각각의 재료에 대해 유리 전이 온도 Tg 아래의 제1 탄성률 및 유리 전이 온도 Tg 위의 제1 탄성률과 다른 제2 탄성률이 있다.
- [0036] 단일 유형의 재료로 만들어진 재료의 경우, 단일 CTE가 있다. 그러나 혼합된 수지 재료와 같은, 다중의 다른 유형의 재료와 혼합된 재료의 경우, 혼합 재료 결과물은 다중의 유리 전이 온도 Tg를 가질 수 있다. 다중의 유리 전이 온도 Tg의 혼합 재료는 다중의 대응하는 CTE를 갖는다. 혼합 재료의 경우, 상기 혼합 재료는 복합 CTE에 의해 특징될 수 있다. 제1 및 제2 유전체 층에 적용될 때, 각각은 단일 CTE를 갖는 단일 재료 또는 복합 CTE를 갖는 재료의 혼합물로서 구성될 수 있다. CTE에 대한 본원의 언급은 둘 중 하나의 경우를 의미하도록 의도된다.
- [0037] 내부 코어 구조의 비-전도성 층에 대한 CTE는 CTE(A)로서 지칭되고, 제1 유전체 층에 대한 CTE는 CTE(B)로서 지칭되고, 제2 유전체 층에 대한 CTE는 CTE(C)로서 지칭된다. 내부 코어 구조, 제1 유전체 층 및 제2 유전체 층은 CTE(A)>CTE(B)>CTE(C)인 연속적인 CTE를 갖는다. 이러한 CTE 및 탄성률 특성은 내부 코어 구조와 제2 유전체 층 사이의 긴장의 불일치를 허용한다. 2개 초과 상이한 유형의 유전체 층이 사용될 수 있다는 것이 이해될 수 있으며, 모든 유전체 층은 설명된 방식으로 연속적인 CTE를 가진다.
- [0038] 부착된 전자 부품 및 임의의 PCB 유형 빌드업의 상부 표면 사이의 기계적 및 전기적 연결의 단점은 부착된 전기 부품 상의 범프와 빌드업의 상부 표면 접촉 패드 사이의 솔더 연결이다. 표준 PCB 재료가 재분배 층을 형성하기 위해 사용되었다면, PCB와 결정 반도체 기판 사이의 CTE의 불일치로 인한 스트레스는 이 접촉점에서 완전히 가해진다. 상기 혼성 재분배 층은 버퍼 층(제1 유전체 층) 및 외부 층(제2 유전체 층)의 상이한 재료 층에 걸쳐 점진적으로 스트레스를 소산시킴으로써, 솔더 연결에 가해진 스트레스를 최소화한다.
- [0039] 몇몇 구체예에서, 상기 제1 유전체 층은 포함되지 않는다. 대신, 제2 유전체 층(외부 층)은 내부 코어 구조에 직접적으로 결합된다. 이 경우 상기 제2 유전체 재료의 두께는 제1 유전체 층(버퍼 층) 또한 있는 구체예보다 크다.
- [0040] 상기 혼성 PCB 시스템은 플립-칩 및 WLCSP (Wafer Level Chip Scale Packaging, 웨이퍼 수준 칩 스케일

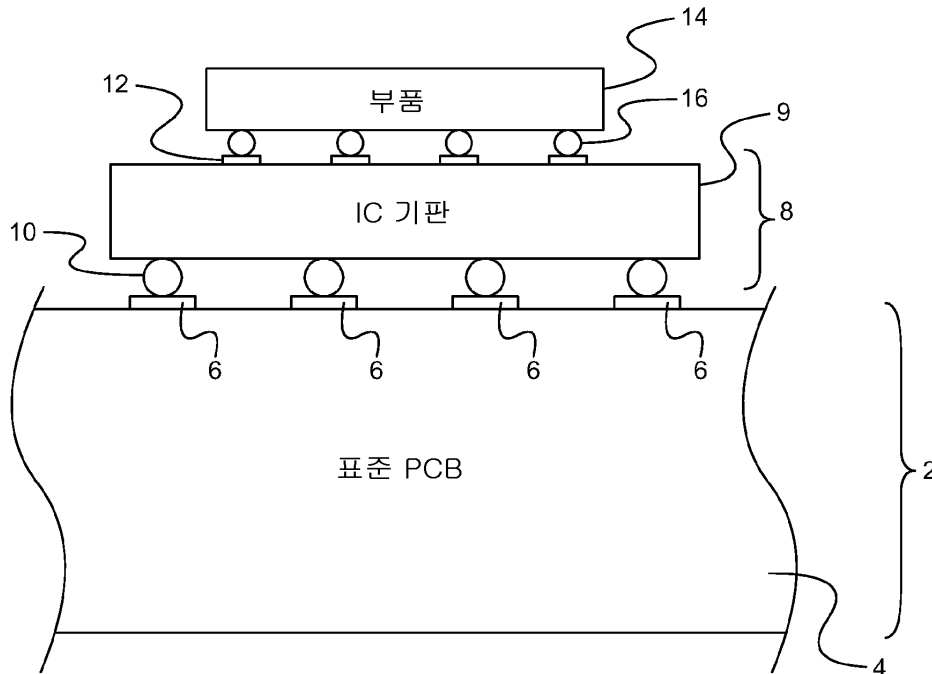
패키징)에 사용되는 재분배 유형 기술, 더 낮은 CTE 및 더 높은 유리 전이 온도 Tg를 갖는 새로운 재료, 및 금속 구조를 형성하기 위한 및 반-첨가제 공정(SAP), 고급 변형된 반-첨가제 공정(amSAP) 또는 완전 첨가제 공정과 같은 새로운 공정을 활용하여 금속 구조를 형성시킨다. 상기 혼성 재분배 층은 표준 PCB 스택 업 상에 집적된 서로 다른 회로 피치 치수를 위해, 계면 또는 풋프린트 매칭(footprint matching)을 제공한다. 상기 혼성 재분배 층은 혼성 재료 스택 업을 사용하여 레지스트레이션 문제를 해결하면서 풋프린트 매칭 및 열적 기계적 스트레스의 소산을 가능하게 한다.

[0041]

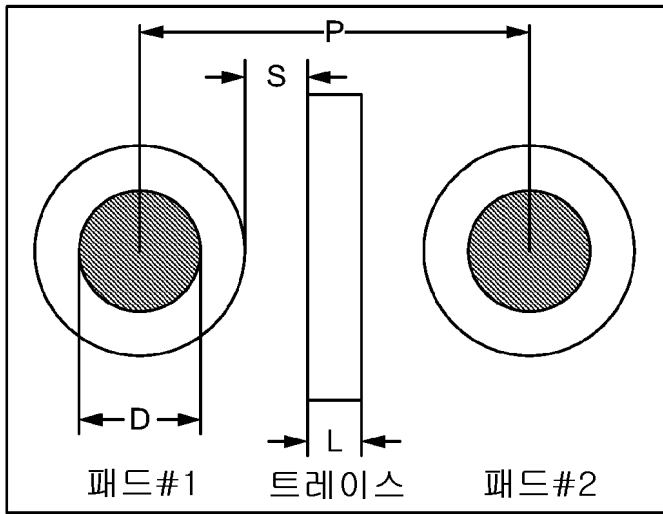
본 출원은 혼성 PCB 시스템 상의 구조 및 작동 원리의 이해를 용이하게 하기 위한 세부 사항을 통합하는 특정 구체예에 관해 설명되었다. 여러 도면에 도시되고 설명된 많은 구성 요소들은 필요한 경과를 얻기 위해 상호 변경될 수 있으며, 이 설명은 또한 이러한 상호 변경을 포함하도록 읽혀져야 한다. 이와 같이, 특정 구체예 및 세부 사항에 대한 본원의 언급은 여기에 첨부된 청구항의 범위를 제한하도록 의도하지 않는다. 통상의 기술자는 본 출원의 취지와 범위를 벗어나지 않고 도시를 위해 선택된 구체예에 변형을 가할 수 있음이 명백할 것이다.

도면

도면1

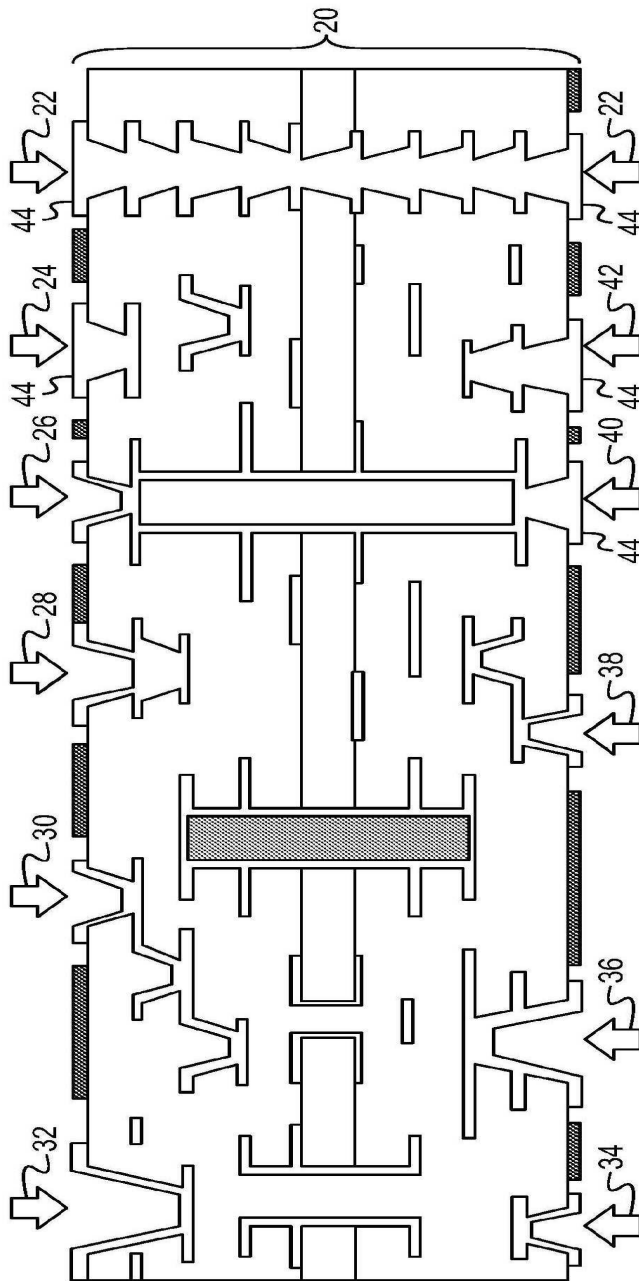


도면2



P=피치(2개의 인접한 패드의 중심 사이의 거리)
 L=구리 트레이스(선폭)
 S=공간 (구리 피쳐 사이의 공간)

도면3



도면4

