

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4178225号
(P4178225)

(45) 発行日 平成20年11月12日(2008.11.12)

(24) 登録日 平成20年9月5日(2008.9.5)

(51) Int.Cl.

F I

G 1 1 C 11/407 (2006.01)

G 1 1 C 11/34 3 6 2 S

G 1 1 C 11/4076 (2006.01)

G 1 1 C 11/34 3 5 4 C

請求項の数 6 (全 14 頁)

(21) 出願番号	特願平10-184483	(73) 特許権者	308014341
(22) 出願日	平成10年6月30日(1998.6.30)		富士通マイクロエレクトロニクス株式会社
(65) 公開番号	特開2000-21165(P2000-21165A)		東京都新宿区西新宿二丁目7番1号
(43) 公開日	平成12年1月21日(2000.1.21)	(74) 代理人	100094525
審査請求日	平成16年1月16日(2004.1.16)		弁理士 土井 健二
		(74) 代理人	100094514
			弁理士 林 恒徳
		(72) 発明者	矢田 雅大
			神奈川県川崎市中原区上小田中4丁目1番
			1号 富士通株式会社内
		(72) 発明者	富田 浩由
			神奈川県川崎市中原区上小田中4丁目1番
			1号 富士通株式会社内
		審査官	園田 康弘

最終頁に続く

(54) 【発明の名称】 集積回路装置

(57) 【特許請求の範囲】

【請求項1】

外部クロック信号とクロックイネーブル信号とが供給され、前記外部クロック信号と所定の位相関係を有する内部クロック信号を内部回路に供給する集積回路装置において、

前記外部クロックを入力して入力クロック信号を出力する入力バッファと、

前記入力クロック信号と所定の位相関係を有する遅延クロック信号を生成するDLL回路と、

前記遅延クロック信号にตอบสนองして前記クロックイネーブル信号を取り込んで、クロック出力制御信号を生成するクロックイネーブルタイミング制御回路と、

前記クロック出力制御信号にตอบสนองして、前記遅延クロック信号を前記内部クロック信号として前記内部回路に供給又は停止するゲート回路と、

前記クロックイネーブル信号とアクティブコマンドとに基づいて活性化信号を生成するパワーダウン制御回路とを有し、

前記アクティブコマンドが供給され且つ前記クロックイネーブル信号が非活性状態になる第1の低消費電力モード時には、前記活性化信号に基づいて前記入力バッファの活性化状態を維持して前記DLL回路の活性化状態を維持し、前記アクティブコマンドが供給されず且つ前記クロックイネーブル信号が非活性状態になる第2の低消費電力モード時には、前記活性化信号に基づいて前記入力バッファを非活性状態にし、

前記第1の低消費電力モードから通常モードに移行する時には前記ゲート回路は前記クロック出力制御信号にตอบสนองして前記内部回路への前記遅延クロック信号の供給を開始し、

10

20

通常モードから前記第 1 の低消費電力モードに移行する時には、前記ゲート回路は前記クロック出力制御信号に¹⁰ 応答して前記内部回路への前記遅延クロック信号の供給を停止することを特徴とする集積回路装置。

【請求項 2】

外部クロック信号とクロックイネーブル信号とが供給され、前記外部クロック信号と所定の位相関係を有する内部クロック信号を内部回路に供給する集積回路装置において、

前記外部クロックを入力して入力クロック信号を出力する入力バッファと、

前記外部クロック信号と所定の位相関係を有する遅延クロック信号を生成する D L L 回路と、

前記クロックイネーブル信号を、前記遅延クロック信号に¹⁰ 応答して取り込んで、クロック出力制御信号を生成する第 1 の制御回路と、

前記クロックイネーブル信号とアクティブコマンドとに基づいて前記入力バッファの活性化信号を生成する第 2 の制御回路と、

前記クロック出力制御信号に¹⁰ 応答して、前記遅延クロック信号を前記内部クロック信号として前記内部回路に供給開始又は供給停止するゲート回路とを有し、

通常モード時には前記ゲート回路は前記内部回路へ前記遅延クロック信号を供給し、²⁰ アクティブパワーダウンモード時には前記活性化信号に基づいて前記入力バッファの活性化状態を保つことで前記 D L L 回路を活性状態に保つと共に、前記ゲート回路が前記クロック出力制御信号に基づいて前記内部回路への前記遅延クロック信号の供給を停止することを特徴とする集積回路装置。

【請求項 3】

請求項 2 において、前記第 1 の制御回路は、前記クロックイネーブル信号を、前記遅延クロック信号の第 1 のエッジのタイミングで取り込み、前記遅延クロック信号の第 1 とは異なる第 2 のエッジのタイミングで前記クロック出力制御信号を出力することを特徴とする集積回路装置。

【請求項 4】

請求項 2 において、前記第 1 の制御回路は、前記クロックイネーブル信号を、前記遅延クロック信号の第 1 のエッジのタイミングで取り込む第 1 のラッチ回路と、前記第 1 のラッチ回路の出力信号を、前記遅延クロック信号の第 1 とは異なる第 2 のエッジのタイミングで取り込み、前記クロック出力制御信号を生成する第 2 のラッチ回路とを有することを³⁰ 特徴とする集積回路装置。

【請求項 5】

外部クロック信号とクロックイネーブル信号とが供給され、前記外部クロック信号と所定の位相関係を有する内部クロック信号を内部回路に供給する集積回路装置において、

前記外部クロック信号を入力するクロック用入力バッファと、

前記クロック用入力バッファからのクロック信号を供給され、前記外部クロック信号と所定の位相関係を有する遅延クロック信号を生成する D L L 回路と、

前記遅延クロック信号に⁴⁰ 応答して前記クロックイネーブル信号を取り込んで、クロック出力制御信号を生成するクロックイネーブルタイミング制御回路と、

前記クロックイネーブル信号とアクティブコマンドとに基づいて活性化信号を生成する⁴⁰ パワーダウン制御回路と、

前記アクティブコマンドが供給され且つ前記クロックイネーブル信号が非活性状態になる第 1 のパワーダウンモードに移行する時に、前記クロック出力制御信号に⁵⁰ 応答して、前記遅延クロック信号を前記内部クロック信号として前記内部回路に供給することを停止し、前記第 1 のパワーダウンモードから復帰する時に前記クロック出力制御信号に⁵⁰ 応答して前記供給することを開始するゲート回路とを有し、

前記第 1 のパワーダウンモード時に、前記クロック入力バッファを活性状態にして前記 D L L 回路を活性状態に維持し、

前記アクティブコマンドが供給されず且つ前記クロックイネーブル信号が非活性状態になる第 2 のパワーダウンモード時に、前記活性化信号に⁵⁰ 応答して、前記クロック用入力バ

ッファを非活性状態にして前記DLL回路を停止することを特徴とする集積回路装置。

【請求項6】

外部クロック信号とクロックイネーブル信号とが供給され、前記外部クロック信号と所定の位相関係を有する内部クロック信号を内部回路に供給する集積回路装置において、

前記外部クロック信号を入力するクロック用入力バッファと、

前記クロック用入力バッファからのクロック信号を供給され、前記外部クロック信号と所定の位相関係を有する遅延クロック信号を生成するDLL回路と、

前記アクティブコマンドが供給され且つ前記クロックイネーブル信号が非活性状態になる第1のパワーダウンモードに移行する時に、前記クロックイネーブル信号の前記非活性状態に従い且つ前記遅延クロック信号にตอบสนองして、前記遅延クロック信号を前記内部クロック信号として前記内部回路に供給することを停止し、前記第1のパワーダウンモードから復帰する時に前記クロックイネーブル信号の前記活性化状態に従い且つ前記遅延クロック信号にตอบสนองして前記供給することを開始するゲート回路と、

前記アクティブコマンドが供給されず且つ前記クロックイネーブル信号が非活性状態になる第2のパワーダウンモード時に、前記クロックイネーブル信号の前記非活性状態にตอบสนองして、前記クロック用入力バッファを非活性状態にするパワーダウン制御回路とを有することを特徴とする集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、供給されるクロック信号と所定の位相関係を有する内部クロック信号を出力する回路を有する集積回路装置に関し、低消費電力モードから通常モードへの復帰動作を高速化することができる内部クロック出力回路を有する集積回路装置に関する。

【0002】

【従来の技術】

クロック同期型のダイナミック・ランダム・アクセス・メモリ(DRAM)としてシンクロナスDRAM(SDRAM)が注目されている。SDRAMは、システム側から与えられる外部クロック信号に同期してアドレス、データ、コマンド等の信号が供給され、その外部クロック信号に同期して読出しデータ信号を出力するものであり高速動作が可能である。

【0003】

SDRAMの高速化に伴い、外部クロック信号を内部で取り込み生成させた内部クロック信号は、外部クロック信号の位相との間にずれを生じるため、入力アドレス、データ、コマンド等の信号や出力データ信号のストロブ信号として使用できない場合がある。

【0004】

この位相ずれを補償するため、ディレー・ロックド・ループ(Delay Locked Loop、以下単にDLL)回路等により、外部クロック信号に位相同期した或いは外部クロック信号の位相から所定の位相差を有する内部クロック信号を生成し、その内部クロック信号のタイミングで入力アドレス信号等を取り込み、出力データ信号を出力させることが行われる。

【0005】

一方、クロック信号の高速化はSDRAMの書き込みや読み出し等の頻度を高くし、SDRAMの消費電力の増大を招いている。そこで、アクセスが行われない場合にSDRAMの内部動作を停止させる低消費電力モードを設け、低消費電力モード時は、クロックイネーブル信号を非活性レベル(Lレベル)にすることにより、入力バッファが外部クロック信号を取り込むことを停止させ、不要な内部動作を停止させている。

【0006】

図7は、SDRAM等に設けられた従来の内部クロック出力回路の構成図である。外部クロック信号E-CLKは入力バッファ90に入力され、波形整形されてクロック信号I-CLKとなる。クロック信号I-CLKと外部クロック信号E-CLKとの間には、入力

10

20

30

40

50

バッファ 90 の遅延時間に相当する位相ずれが生じる。

【 0 0 0 7 】

クロック信号 I - C L K は D L L 回路 9 1 に入力される。D L L 回路 9 1 は、外部クロック信号 E - C L K と位相同期した内部クロック信号 C L K を、ストロブ信号として図示しないアドレスバッファ等へ供給する。また、外部クロック信号 E - C L K は、スモールバッファ 9 2 にも入力される。スモールバッファ 9 2 は、C K E コマンドラッチ回路 9 4 のデータ取り込み信号となるクロック信号 S - C L K を出力する。

【 0 0 0 8 】

一方、クロックイネーブル信号 C K E は、外部クロック信号 E - C L K を取り込むか否かを制御する信号であり、入力バッファ 9 3 に入力されてクロックイネーブル信号 C K E 1 となり C K E コマンドラッチ回路 9 4 へ出力される。C K E コマンドラッチ回路 9 4 は、クロックイネーブル信号 C K E 1 をクロック信号 S - C L K の立ち上がりのタイミングで取り込んで、クロック出力制御信号 N 1 を生成し入力バッファ 9 0 へ出力する。

【 0 0 0 9 】

入力バッファ 9 0 は、クロック出力制御信号 N 1 が L レベルとなることにより非活性化され、クロック信号 I - C L K の出力を停止する。D L L 回路 9 1 は、入力であるクロック信号 I - C L K が停止されると、内部クロック信号 C L K の出力を停止する。これにより内部の動作が停止し、S D R A M を低消費電力モードに移行させていた。

【 0 0 1 0 】

【発明が解決しようとする課題】

しかしながら、低消費電力モード時に入力バッファ 9 0 を非活性化し外部クロック信号 E - C L K の取り込みを停止すると、D L L 回路 9 1 のフィードバック動作が停止してしまう。このように低消費電力モードで D L L 回路 9 1 を停止させると、通常モードに復帰する時、D L L 回路 9 1 がアンロック状態からロック状態まで移行するのに長時間を要し、その間は S D R A M の書き込みや読み出し等の動作を行うことができなくなる。

【 0 0 1 1 】

また、S D R A M の高速化に伴い、D L L 回路 9 1 を低消費電力モード時にも継続して動作させ、S D R A M 内部の一部の動作を停止するアクティブパワーダウンモードが要求されている。このアクティブパワーダウンモードでは、D L L 回路のロック状態が維持され、パワーダウンモードから復帰した時、短時間で通常動作を開始することができる。この場合は、単純に入力バッファ 9 0 で外部クロック信号 E - C L K の取り込みを停止させると D L L 回路が停止し好ましくない。

【 0 0 1 2 】

一方、低消費電力モードに移行させるためのクロックイネーブル信号 C K E は、外部クロック信号 E - C L K とは非同期に生成されて内部クロック出力回路へ入力される。このため、C K E コマンドラッチ回路 9 4 で生成されるクロック出力制御信号 N 1 の立ち下がり及び立ち上がりのタイミングは、D L L 回路 9 1 の出力である内部クロック信号 C L K に対して非同期となる。

【 0 0 1 3 】

このため、通常モードから低消費電力モードに移行するパワーダウンエントリー時、及び低消費電力モードから通常モードに復帰するパワーダウンイグジット時において、クロックイネーブル信号 C K E の入力タイミングによっては、予め設定されているパルス幅より狭いパルス幅の内部クロック信号 C L K が出力されてしまう可能性がある。

【 0 0 1 4 】

このような予め設定されているパルス幅を確保できない内部クロック信号 C L K を S D R A M 等へ供給すると、所定のパルス幅の内部クロック信号 C L K を基準として動作する S D R A M 等の誤動作を招き、信頼性の低下につながる。

【 0 0 1 5 】

そこで本発明は、低消費電力モードから通常モードに復帰する場合の動作を高速化できる内部クロック出力回路を有する集積回路装置を提供することを目的とする。

【 0 0 1 6 】

また本発明は、通常モードから低消費電力モードに移行するパワーダウンエントリー時、及び低消費電力モードから通常モードに復帰するパワーダウンイグジット時において、内部クロック信号のパルス欠けを生じない内部クロック出力回路を有する集積回路装置を提供することを目的とする。

【 0 0 1 7 】

【課題を解決するための手段】

上記の目的は、外部クロック信号とクロックイネーブル信号とが供給され、外部クロック信号と所定の位相関係を有する内部クロック信号を内部回路に供給する集積回路装置において、外部クロック信号と位相同期した遅延クロック信号を生成するDLL回路を、低消費電力モードにおいても継続して動作させ、内部回路への遅延クロックの供給を停止する。そして、低消費電力モードから通常モードに復帰する時に、継続して動作しているDLL回路の遅延クロック信号を内部クロック信号として内部回路に供給することにより達成される。

10

【 0 0 1 8 】

本発明によれば、DLL回路は、低消費電力モードにおいても遅延クロック信号を継続して生成している。このため、低消費電力モードから通常モードに復帰する時に、DLL回路はすでにロックオン状態にあり、外部クロック信号に位相同期した内部クロック信号を内部回路に直ちに供給することができ、集積回路装置を書き込みや読み出し等ができる状態に高速に移行させることができる。

20

【 0 0 1 9 】

また、上記の目的は、外部クロック信号とクロックイネーブル信号とが供給され、外部クロック信号と所定の位相関係を有する内部クロック信号を内部回路に供給する集積回路装置において、内部クロック信号を内部回路に供給するか否かを制御するクロック出力制御信号を、遅延クロック信号と所定の位相関係のタイミングで生成し、ゲート回路に出力することにより達成される。

【 0 0 2 0 】

本発明によれば、クロック出力制御信号は、遅延クロック信号と所定の位相関係、例えば立ち下がりのタイミングに同期してゲート回路に入力されるので、低消費電力モードに移行する時及び通常モードに復帰する時に、内部クロック信号のパルス欠けを生じることがなく、集積回路装置の誤動作を未然に防止し、信頼性を向上させることができる。

30

【 0 0 2 1 】

【発明の実施の形態】

以下、本発明の実施の形態の例について図面に従って説明する。しかしながら、かかる実施の形態例が本発明の技術的範囲を限定するものではない。

【 0 0 2 2 】

図1は、本発明の実施の形態の内部クロック出力回路を有する集積回路装置の使用状態を示す図である。CPU100は、バス104を介してメモリコントローラ101に接続されたメモリ0～3にアクセスする。メモリコントローラ101は、各メモリ0～3に外部クロック信号ECLKを供給すると共に、各メモリ0～3を低消費電力モードに移行させるためのクロックイネーブル信号CKE0～3を出力する。メモリ0～3は、クロックイネーブル信号CKE0～3がHレベルの時通常モードとなり、クロックイネーブル信号CKE0～3がLレベルの時低消費電力モードとなる。

40

【 0 0 2 3 】

メモリ0～3は、例えばSDRAM等の集積回路装置でそれぞれ同様の構成を有する。メモリ0内の内部クロック出力回路102は、外部クロック信号ECLKを取り込んで、外部クロック信号ECLKと位相同期した内部クロック信号CLKを生成し、通常モードでは内部クロック信号CLKをアドレスバッファ103に出力する。アドレスバッファ103は、供給された内部クロック信号CLKに同期してアドレスAddを取り込み、アドレス出力Add-outを外部に出力する。

50

【 0 0 2 4 】

一方、クロックイネーブル信号 C K E 0 も内部クロック出力回路 1 0 2 に入力される。内部クロック出力回路 1 0 2 は、クロックイネーブル信号 C K E 0 が L レベルとなると内部クロック信号 C L K の出力を停止し、アドレスバッファ 1 0 2 の動作を停止させてメモリ 0 を低消費電力モードに移行させる。

【 0 0 2 5 】

クロックイネーブル信号 C K E 0 が H レベルとなると、内部クロック信号 C L K の出力が開始され通常モードとなるが、本実施の形態では、内部クロック出力回路 1 0 2 は、通常モードに復帰する時に、外部クロック信号 E - C L K に位相同期した内部クロック信号 C L K を直ちに出力することができ、メモリ 0 の通常モードへの復帰動作を高速化することができる。

10

【 0 0 2 6 】

また、本実施の形態では、内部クロック信号 C L K は、低消費電力モードに移行する時及び通常モードに復帰する時に、パルス欠けのないクロック信号を出力するので、アドレスバッファ 1 0 3 等の誤動作を未然に防止し信頼性を向上させることができる。

【 0 0 2 7 】

図 2 は、本発明の実施の形態の内部クロック出力回路 1 0 2 の構成図である。まず、クロックイネーブル信号 C K E に応答して、内部クロック C L K の供給を停止するアクティブパワーダウンモードについて説明する。

【 0 0 2 8 】

アクティブパワーダウンモードでは、上位のメモリコントローラからアクティブコマンド A C が供給されると共にクロックイネーブル信号 C K E が L レベルになる。その結果、パワーダウン制御回路 1 8 は、クロックイネーブル信号 C K E が L レベルになっても活性化信号 P D を活性状態にし、入力バッファ 1 0 、 1 4 の活性状態を維持する。

20

【 0 0 2 9 】

外部クロック信号 E - C L K は入力バッファ 1 0 に入力され、波形成形が行われてクロック信号 I - C L K となる。クロック信号 I - C L K と外部クロック信号 E - C L K との間には、入力バッファ 1 0 の遅延時間に相当する遅れが生じる。

【 0 0 3 0 】

クロック信号 I - C L K は D L L 回路 1 1 に入力される。D L L 回路 1 1 は、外部クロック信号 E - C L K と位相同期した遅延クロック信号 D L L - C L K を生成する。遅延クロック信号 D L L - C L K は、N A N D 回路 1 2 に出力されると共に、C K E コマンドラッチ回路 1 5 及び C K E タイミング制御回路 1 6 に出力される。

30

【 0 0 3 1 】

一方、クロックイネーブル信号 C K E は入力バッファ 1 4 に入力され、波形成形が行われてクロックイネーブル信号 C K E 1 となる。クロックイネーブル信号 C K E 1 とクロックイネーブル信号 C K E との間にも、入力バッファ 1 4 の遅延時間に相当する遅れが生じる。

【 0 0 3 2 】

クロックイネーブル信号 C K E 1 は C K E コマンドラッチ回路 1 5 に入力される。C K E コマンドラッチ回路 1 5 は、クロックイネーブル信号 C K E 1 を遅延クロック信号 D L L - C L K の立ち上がりのタイミングで取り込み、ラッチ信号 N 1 を出力する。

40

【 0 0 3 3 】

ラッチ信号 N 1 は C K E タイミング制御回路 1 6 に入力される。C K E タイミング制御回路 1 6 は、遅延クロック信号 D L L - C L K が H レベルの時のラッチ信号 N 1 をラッチし、遅延クロック信号 D L L - C L K が L レベルと時に保持してクロック出力制御信号 N 2 を出力する。クロック出力制御信号 N 2 は N A N D 回路 1 2 に入力される。

【 0 0 3 4 】

クロック出力制御信号 N 2 は、N A N D 回路 1 2 により、遅延クロック信号 D L L - C L K を内部クロック信号 C L K として出力するか否かを制御する。クロック出力制御信号 N

50

2 が H レベルの時に N A N D 回路 1 2 を通過した遅延クロック信号 D L L - C L K は、インバータ 1 3 で反転されて内部クロック信号 C L K となり、前述した S D R A M のアドレスバッファ等へ供給される。また、クロック出力制御信号 N 2 が L レベルの時は、遅延クロック信号 D L L - C L K は N A N D 回路 1 2 を通過できず、内部クロック信号 C L K は S D R A M のアドレスバッファ等へ供給されない。

【 0 0 3 5 】

このように本実施の形態の内部クロック出力回路 1 0 2 では、アクティブコマンド A C が供給されると共にクロックイネーブル信号 C K E が L レベルとなるアクティブパワーダウンモードにおいて、D L L 回路 1 1 は、外部クロック信号 E - C L K に位相同期した遅延クロック信号 D L L - C L K を継続して生成している。このためアクティブパワーダウンモードから通常モードに復帰する時に、外部クロック信号 E - C L K に位相同期した内部クロック信号 C L K をアドレスバッファ等へ直ちに供給することができ、S D R A M を書き込みや読み出し等のできる状態に高速に移行させることができる。

10

【 0 0 3 6 】

また、クロック出力制御信号 N 2 は、遅延クロック信号 D L L - C L K の立ち下がりのタイミングに同期して N A N D 回路 1 2 へ入力される。従って、アクティブパワーダウンモードに移行する時及び通常モードに復帰する時に、遅延クロック信号 D L L - C L K の次の立上がり時から内部クロック信号 C L K が停止又は再開されるので、内部クロック信号 C L K のパルス欠けを生じることがなく、S D R A M の誤動作を未然に防止し信頼性を向上させることができる。

20

【 0 0 3 7 】

このようにアクティブパワーダウンモードでは、入力バッファ 1 0、1 4 及び D L L 回路 1 1 等を動作させ、クロックイネーブル信号 C K E に対応して内部クロック C L K の供給を停止する。一方、消費電力を更に低減するためには、入力バッファ 1 0、1 4 及び D L L 回路 1 1 等の動作を停止させるスタンバイパワーダウンモードが設けられる。

【 0 0 3 8 】

スタンバイパワーダウンモードでは、上位のメモリコントローラからのアクティブコマンド A C が不在状態で、クロックイネーブル信号 C K E が L レベルとなる。その結果、パワーダウン制御回路 1 8 は活性化信号 P D を非活性化状態にする。このため入力バッファ 1 0、1 4 は非活性化され、更に、クロック信号 I - C L K が供給されないことから D L L 回路 1 1 の動作も停止する。従って、スタンバイパワーダウンモードでは、アクティブパワーダウンモードより更に消費電力を低減することが可能である。

30

【 0 0 3 9 】

また、スタンバイパワーダウンモードでは、入力バッファ 1 4 が非活性化状態にあるので、スモールバッファ 1 7 によりクロックイネーブル信号 C K E の H レベルへの変化が検出される。その結果、パワーダウン制御回路 1 8 は、活性化信号 P D を活性状態にもどして、入力バッファ 1 0、1 4 を活性化する。そして、D L L 回路 1 1 の動作再開と共に N A N D 回路 1 2 が開かれ、内部クロック信号 C L K が他の入力バッファや内部回路へ供給される。

【 0 0 4 0 】

図 3 は、本発明の実施の形態の内部クロック出力回路 1 0 2 に内蔵される D L L 回路 1 1 の構成図である。D L L 回路 1 1 は同じ遅延特性を有する可変遅延回路 2 0、2 1 を備え、可変遅延回路 2 0 の遅延量を最適値に設定することにより、外部から供給される外部クロック信号 E - C L K の位相に同期した遅延クロック信号 D L L - C L K を生成する。

40

【 0 0 4 1 】

外部から供給される外部クロック信号 E - C L K は、入力バッファ 1 0 を介してクロック信号 I - C L K となり D L L 回路 1 1 へ入力される。クロック信号 I - C L K は、可変遅延回路 2 0、2 1 へ供給されると共に、位相比較器 2 3 にも供給される。

【 0 0 4 2 】

可変遅延回路 2 1 から出力されたクロック信号 B - C L K は、ダミー入力バッファ 2 2 を

50

介して、位相比較器 2 3 にクロック信号 C - C L K として供給される。位相比較器 2 3 は、クロック信号 I - C L K とクロック信号 C - C L K の位相を比較し、位相比較信号 N 4 を遅延制御回路 2 4 に出力する。遅延制御回路 2 4 は、可変遅延回路 2 1 と可変遅延回路 2 0 とにそれぞれ遅延制御信号 N 5 を出力し、クロック信号 I - C L K とクロック信号 C - C L K の位相が一致するように、可変遅延回路 2 0、2 1 の遅延量を制御する。即ち、その遅延量は、外部クロック信号 E - C L K の 1 周期の時間から入力バッファ 1 0 の遅延時間を差し引いた時間である。

【 0 0 4 3 】

可変遅延回路 2 0、2 1 は、多数の遅延素子を直列に接続した構造になっており、遅延制御信号 N 5 により信号が通過する遅延素子の数が制御される。可変遅延回路 2 0、2 1 は、遅延制御信号 N 5 により同じ遅延量を与えるように制御されるため、可変遅延回路 2 0 に入力されるクロック信号 I - C L K は、可変遅延回路 2 0 により遅延クロック信号 D L L - C L K が外部クロック信号 E - C L K の位相と同期する遅延量を与えられて D L L 回路 1 1 から出力される。従って、D L L 回路 1 1 は、クロック信号 I - C L K が供給されていれば、その位相比較と遅延制御動作を継続する。

【 0 0 4 4 】

図 4 は、本発明の実施の形態の内部クロック出力回路 1 0 2 に内蔵される C K E タイミング制御回路 1 6 の構成図である。図 2 に示したように、クロックイネーブル信号 C K E は、入力バッファ 1 4 を介してクロックイネーブル信号 C K E 1 となり C K E コマンドラッチ回路 1 5 に入力される。クロックイネーブル信号 C K E 1 は、C K E コマンドラッチ回路 1 5 により遅延クロック信号 D L L - C L K の立ち上がりエッジで取り込まれ、ラッチ信号 N 1 となって図 4 に示すスイッチ S 2 に入力される。

【 0 0 4 5 】

スイッチ S 2 は、遅延クロック信号 D L L - C L K が H レベルの期間オンとなり、ラッチ信号 N 1 をラッチ回路 3 0 に出力する。従って、ラッチ回路 3 0 は、遅延クロック信号 D L L - C L K が L レベルから H レベルに変化した時にラッチ信号 N 1 を受け取り、遅延クロック信号 D L L - C L K が H レベルから L レベルに変化した時のラッチ信号 N 1 を保持する。

【 0 0 4 6 】

ラッチ回路 3 0 の出力信号 N 3 はスイッチ S 1 に入力される。スイッチ S 1 は、遅延クロック信号 D L L - C L K をインバータ 3 2 で反転した信号で制御され、遅延クロック信号 D L L - C L K が L レベルの期間オンとなる。従って、ラッチ回路 3 1 は、遅延クロック信号 D L L - C L K が H レベルから L レベルに変化した時に信号 N 3 を受け取り、遅延クロック信号 D L L - C L K が L レベルから H レベルに変化した時の信号 N 3 を保持する。ラッチ回路 3 1 の出力が内部クロック出力制御信号 N 2 となり、図 2 に示した N A N D 回路 1 2 に出力される。

【 0 0 4 7 】

なお図 4 では、遅延クロック信号 D L L - C L K の立ち上がりのタイミングで信号 N 1 を受け取り信号 N 3 を生成しているが、図 2 に示した C K E コマンドラッチ回路 1 5 の遅延時間が大きい場合は、スイッチ S 2 及びラッチ回路 3 0 を省略し信号 N 1 を直接スイッチ S 1 に入力してもよい。

【 0 0 4 8 】

図 5 は、本発明の実施の形態の内部クロック出力回路 1 0 2 のタイムチャートである。内部クロック出力回路 1 0 2 の動作を図 2 及び図 4 を参照しつつ図 5 のタイムチャートにより説明する。

【 0 0 4 9 】

外部クロック信号 E - C L K は、入力バッファ 1 0 の遅延時間に相当する遅れを生じてクロック信号 I - C L K となる。一方、クロックイネーブル信号 C K E は外部クロック信号 E - C L K とは非同期で入力され、入力バッファ 1 4 の遅延時間に相当する遅れを生じてクロックイネーブル信号 C K E 1 となる。なお、クロックイネーブル信号 C K E が H レベ

10

20

30

40

50

ルの期間が通常モードであり、クロックイネーブル信号 C K E が L レベルの期間が低消費電力モードである。

【 0 0 5 0 】

クロック信号 I - C L K は D L L 回路 1 1 に入力され、外部クロック信号 E - C L K に位相同期した遅延クロック信号 D L L - C L K となる。また、クロックイネーブル信号 C K E 1 は C K E コマンドラッチ回路 1 5 に入力され、遅延クロック信号 D L L - C L K の立ち上がりのタイミングで取り込まれてラッチ信号 N 1 となる。

【 0 0 5 1 】

ラッチ信号 N 1 は、C K E タイミング制御回路 1 6 のスイッチ S 2 (図 4 参照) に入力される。スイッチ S 2 は遅延クロック信号 D L L - C L K が H レベルの期間オンとなるので、ラッチ回路 3 0 は遅延クロック信号 D L L - C L K が H レベルから L レベルに変化する時の信号 N 1 をラッチする。ラッチ回路 3 0 の出力が信号 N 3 である。

10

【 0 0 5 2 】

信号 N 3 はスイッチ S 1 に入力される。スイッチ S 1 は遅延クロック信号 D L L - C L K が L レベルの期間オンとなるので、ラッチ回路 3 1 は遅延クロック信号 D L L - C L K が L レベルから H レベルに変化する時の信号 N 3 をラッチする。ラッチ回路 3 1 の出力がクロック出力制御信号 N 2 である。このクロック出力制御信号 N 2 が L レベルとなると、N A N D 回路 1 2 により内部クロック信号 C L K の出力が停止される。

【 0 0 5 3 】

このように本実施の形態の内部クロック出力回路 1 0 2 は、低消費電力モードにおいても外部クロック信号 E - C L K に位相同期した遅延クロック信号 D L L - C L K が生成されている。このため低消費電力モードから通常モードに復帰する時に、外部クロック信号 E - C L K に位相同期した内部クロック信号 C L K を直ちに出力することができる。従って、通常モードに復帰する時の S D R A M の書き込みや読み出し等の動作を高速化することができる。

20

【 0 0 5 4 】

また、クロック出力制御信号 N 2 は、遅延クロック信号 D L L - C L K の立ち下りのタイミングに同期して出力されるため、低消費電力モードに移行する時及び通常モードに復帰する時に、内部クロック信号 C L K のパルス欠けを生じない。このため、内部クロック信号 C L K が供給されるアドレスバッファ等の誤動作を未然に防止し、S D R A M の信頼性を向上させることができる。

30

【 0 0 5 5 】

図 6 は、本発明の実施の形態の C K E コマンドラッチ回路 1 5 と C K E タイミング制御回路 1 6 の回路例を示す。C K E コマンドラッチ回路 1 5 は、P 型トランジスタ 4 0、4 1、4 5、4 6、5 1、N 型トランジスタ 4 2、4 3、4 7、4 8、4 9、5 2、インバータ 4 4、5 0、5 3、5 4 を有し、遅延クロック信号 D L L - C L K の立ち上がりタイミングのクロックイネーブル信号 C K E 1 をラッチし、ラッチ信号 N 1 を出力する。

【 0 0 5 6 】

遅延クロック信号 D L L - C L K が L レベルの時は、N 型トランジスタ 4 9 はオフし、P 型トランジスタ 4 0、4 6 はオンとなるため、ノード N 1 0、N 1 1 は共に H レベルである。このため P 型トランジスタ 5 1 と N 型トランジスタ 5 2 は共にオフとなり、ノード N 1 はハイインピーダンス状態となる。なお、ノード N 1 0、N 1 1 は共に H レベルであるため、N 型トランジスタ 4 2、4 7 は共にオンとなっている。

40

【 0 0 5 7 】

遅延クロック信号 D L L - C L K が H レベルになると N 型トランジスタ 4 9 はオンとなる。この時クロックイネーブル信号 C K E 1 が L レベルの場合は、インバータ 4 4 により N 型トランジスタ 4 8 のゲートが H レベルとなるため、N 型トランジスタ 4 8 がオンしノード 1 1 を L レベルとする。一方、クロックイネーブル信号 C K E 1 が H レベルの場合は、N 型トランジスタ 4 3 がオンしノード 1 0 を L レベルとする。ノード N 1 0 又は N 1 1 が L レベルとなると、P 型トランジスタ 4 5 又は 4 1 がオンし、反対側のノード N 1 1 又は

50

N 1 0 を H レベルに確定する。

【 0 0 5 8 】

ノード N 1 0 が L レベルでノード N 1 1 が H レベルの場合は、P 型トランジスタ 5 1 はオン、N 型トランジスタ 5 2 はオフとなり、ノード N 1 は H レベルとなってインバータ 5 3、5 4 によりラッチされる。一方、ノード N 1 0 が H レベルでノード N 1 1 が L レベルの場合は、P 型トランジスタ 5 1 はオフ、N 型トランジスタ 5 2 はオンとなり、ノード N 1 は L レベルとなってインバータ 5 3、5 4 によりラッチされる。

【 0 0 5 9 】

C K E タイミング制御回路 1 6 は、P 型トランジスタ 5 5 と N 型トランジスタ 5 6 によるトランスファークロップ 6 5、インバータ 3 2 等を有する。なお、トランスファークロップ 6 5 とインバータ 5 7 とが図 4 に示したスイッチ S 2 に相当し、トランスファークロップ 6 6 とインバータ 6 2 とがスイッチ S 1 に相当する。また、インバータ 5 8 と 5 9 とが図 4 に示したラッチ回路 3 0 に相当し、インバータ 6 3 と 6 4 とがラッチ回路 3 1 に相当する。

10

【 0 0 6 0 】

C K E コマンドラッチ回路 1 5 から出力されたラッチ信号 N 1 はトランスファークロップ 6 5 に入力され、遅延クロック信号 D L L - C L K の H レベルの期間にトランスファークロップ 6 5 を通過し、ラッチ回路 3 0 でラッチされて信号 N 3 となる。

【 0 0 6 1 】

信号 N 3 はトランスファークロップ 6 6 に入力され、遅延クロック信号 D L L - C L K の L レベルの期間にトランスファークロップ 6 6 を通過し、ラッチ回路 3 1 でラッチされてクロック出力制御信号 N 2 となる。このクロック出力制御信号 N 2 が、図 2 に示した N A N D 回路 1 2 により内部クロック信号 C L K を出力するか否かを制御する。

20

【 0 0 6 2 】

このように本発明の実施の形態では、低消費電力モードに移行する時、入力バッファ 1 0 を非活性化して外部クロック信号 E - C L K の取り込みを停止させるのではなく、N A N D 回路 1 2 で内部クロック信号 C L K の出力を停止させている。

【 0 0 6 3 】

従って、入力バッファ 1 0 及び D L L 回路 1 1 は、外部クロック信号 E - C L K が入力される限り活性状態であり、N A N D 回路 1 2 に遅延クロック信号 D L L - C L K を供給し続ける。このため、低消費電力モードから通常モードに復帰した際の内部クロック信号 C L K の位相ズレを防止でき、S D R A M 等を通常動作に高速に復帰させることができる。

30

【 0 0 6 4 】

【発明の効果】

以上説明した通り、本発明によれば、低消費電力モードにおいても外部クロック信号に位相同期した内部クロック信号を継続して生成しているため、低消費電力モードから通常モードに復帰する場合に、外部クロック信号に位相同期した内部クロック信号を直ちに供給することができ、S D R A M 等の動作を高速化することができる。

【 0 0 6 5 】

また本発明によれば、通常モードから低消費電力モードに移行するパワーダウンエントリ時、及び低消費電力モードから通常モードに復帰するパワーダウンイグジット時において、内部クロック信号のパルス欠けによる S D R A M 等の誤動作を未然に防止し、信頼性を向上させることができる。

40

【図面の簡単な説明】

【図 1】本発明の実施の形態の内部クロック出力回路を有する集積回路装置の説明図である。

【図 2】本発明の実施の形態の内部クロック出力回路の構成図である。

【図 3】本発明の実施の形態の D L L 回路の構成図である。

【図 4】本発明の実施の形態の C K E タイミング制御回路の構成図である。

【図 5】本発明の実施の形態の内部クロック出力回路のタイムチャートである。

【図 6】本発明の実施の形態の C K E コマンドラッチ回路と C K E タイミング制御回路の

50

回路図である。

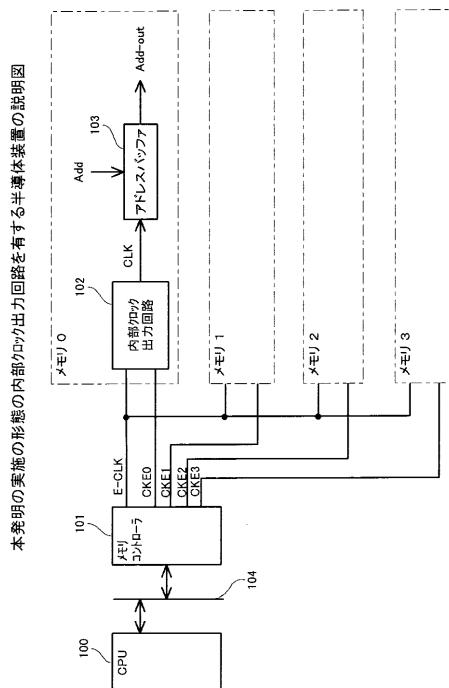
【図 7】従来の内部クロック出力回路の構成図である。

【符号の説明】

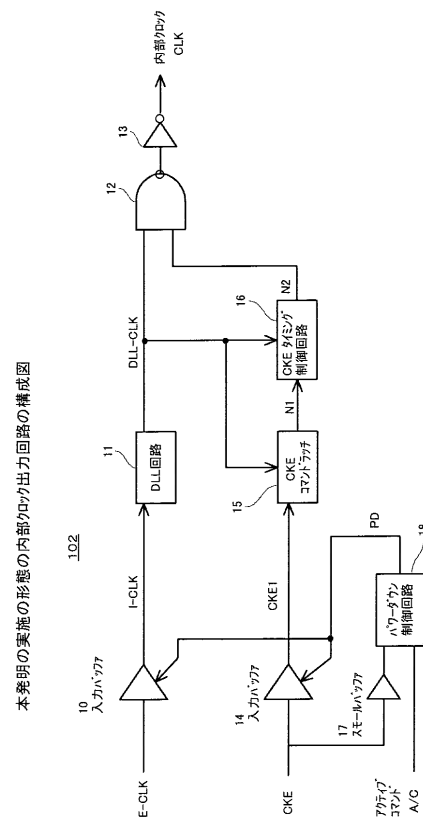
- 10、14 入力バッファ
- 11 DLL 回路
- 12 NAND 回路
- 13 インバータ
- 15 CKE コマンドラッチ回路
- 16 CKE タイミング制御回路
- 30、31 ラッチ回路
- 102 内部クロック出力回路
- 103 アドレスバッファ

10

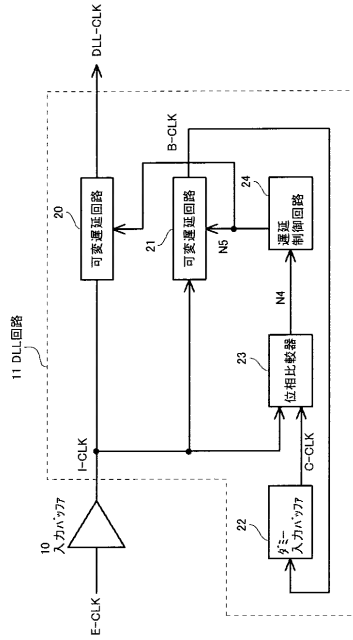
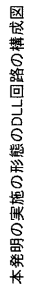
【図 1】



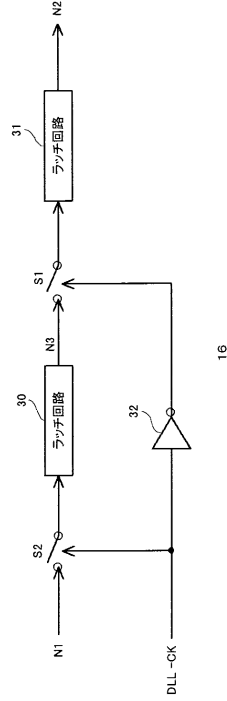
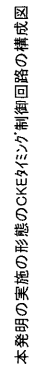
【図 2】



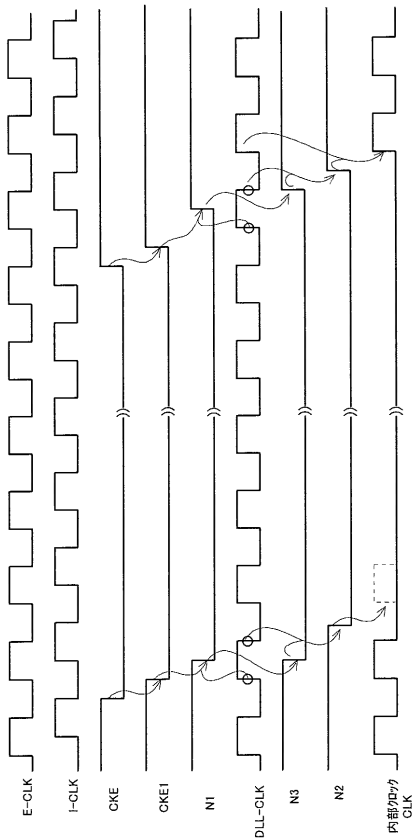
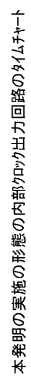
【 図 3 】



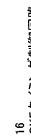
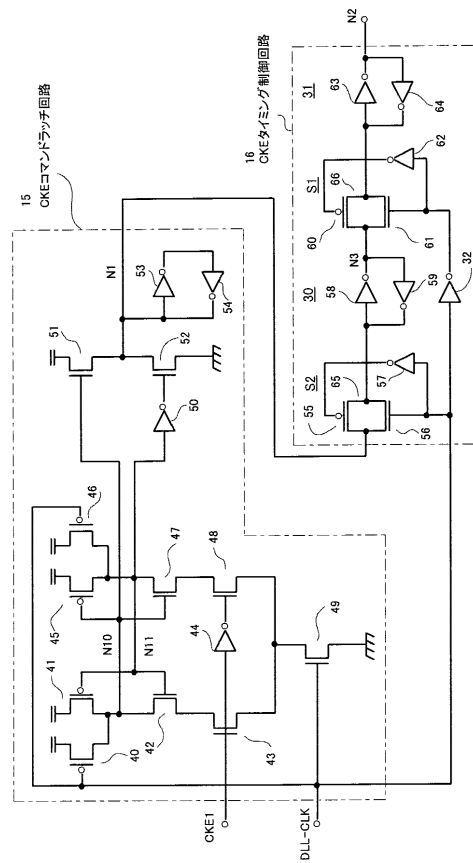
【 図 4 】



【 図 5 】

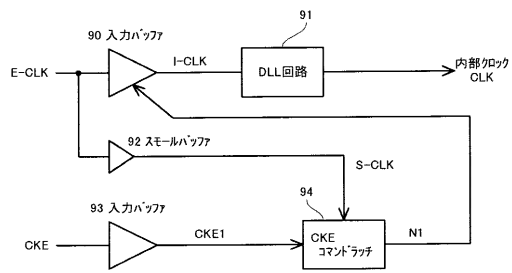


【 図 6 】



【図 7】

従来の内部クロック出力回路の構成図



フロントページの続き

- (56)参考文献 特開平 0 8 - 3 1 5 5 7 2 (J P , A)
特開平 0 6 - 2 9 0 5 8 3 (J P , A)
特開平 0 9 - 1 9 8 8 7 5 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G11C 11/407
G11C 11/4076