

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2012-164792
(P2012-164792A)

(43) 公開日 平成24年8月30日(2012.8.30)

(51) Int.Cl.

F I

テーマコード (参考)

HO 1 L 21/3205 (2006.01)

HO 1 L 21/88 J 5 F O 3 3

HO 1 L 23/522 (2006.01)

HO 1 L 21/768 (2006.01)

審査請求 未請求 請求項の数 6 O L (全 10 頁)

(21) 出願番号	特願2011-23684 (P2011-23684)	(71) 出願人	000004226
(22) 出願日	平成23年2月7日 (2011.2.7)		日本電信電話株式会社
			東京都千代田区大手町二丁目3番1号
		(74) 代理人	100064621
			弁理士 山川 政樹
		(74) 代理人	100098394
			弁理士 山川 茂樹
		(74) 代理人	100153006
			弁理士 小池 勇三
		(72) 発明者	堤 卓也
			東京都千代田区大手町二丁目3番1号 日
			本電信電話株式会社内
		(72) 発明者	明吉 智幸
			東京都千代田区大手町二丁目3番1号 日
			本電信電話株式会社内

最終頁に続く

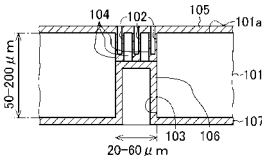
(54) 【発明の名称】 ヴィア構造およびその作製方法

(57) 【要約】

【課題】より小さな径の基板貫通ヴィアが形成できるようにする。

【解決手段】基板101の回路が形成されている主表面101a側から所望の孔径の範囲で形成可能な深さに形成された第1孔部102と、基板101の裏面側から形成されて第1孔部102に接続する第2孔部103と、第1孔部102の内部に形成された第1孔部配線104と、第1孔部配線104に接続して基板101の主表面101a側に形成された表面配線層105と、第2孔部103の内部に第1孔部配線104に接続して形成された第2孔部配線106と、第2孔部配線106に接続して基板101の裏面側に形成された裏面配線層107とを備える。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

基板の回路が形成される主表面側から所望の孔径の範囲で形成可能な深さに形成された第 1 孔部と、

前記基板の裏面側から形成されて前記第 1 孔部に接続する第 2 孔部と、

前記第 1 孔部の内部に形成された第 1 孔部配線と、

前記第 1 孔部配線に接続して前記基板の主表面側に形成された表面配線層と、

前記第 2 孔部の内部に前記第 1 孔部配線に接続して形成された第 2 孔部配線と、

前記第 2 孔部配線に接続して前記基板の裏面側に形成された裏面配線層と

を少なくとも備えることを特徴とするビア構造。

10

【請求項 2】

請求項 1 記載のビア構造において、

前記第 1 孔部に接触する前記表面配線層で構成されたランドメタル層を備えることを特徴とするビア構造。

【請求項 3】

請求項 1 または 2 記載のビア構造において、

前記第 1 孔部の孔径は、 $2 \sim 20 \mu\text{m}$ であることを特徴とするビア構造。

【請求項 4】

基板の回路が形成される主表面側から所望の孔径の範囲で形成可能な深さに第 1 孔部を形成する第 1 工程と、

20

前記第 1 孔部の内部に第 1 孔部配線を形成する第 2 工程と、

前記基板の主表面側に前記第 1 孔部配線に接続する表面配線層を形成する第 3 工程と、

前記基板の裏面側から前記第 1 孔部に接続する第 2 孔部を形成する第 4 工程と、

前記第 2 孔部の内部に前記第 1 孔部配線に接続する第 2 孔部配線を形成する第 5 工程と

、
前記基板の裏面側に前記第 2 孔部配線に接続する裏面配線層を形成する第 6 工程と
を少なくとも備えることを特徴とするビア構造の作製方法。

【請求項 5】

請求項 4 記載のビア構造の作製方法において、

前記第 1 工程では、前記第 1 孔部とともに素子間分離のための溝部を形成することを特徴とするビア構造の作製方法。

30

【請求項 6】

請求項 4 記載のビア構造の作製方法において、

前記第 1 工程では、前記第 1 孔部とともにキャパシタを構成する溝部を形成することを特徴とするビア構造の作製方法。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、集積回路などが形成される基板を貫通するビア構造およびその作製方法

【背景技術】

40

【0002】

化合物半導体を用いた集積回路（IC）の高周波化が進展するに従い、高周波信号のチップ内共振周波数が低下するため、チップ内共振は、高周波設計上大きな問題となっている。チップ内共振を抑制するため、近年では、基板を貫通するビアを形成して基板裏面のグランドとチップ表面とを接続し、チップのグランドを強化することが極めて重要になってきている。

【0003】

基板を貫通するビア（基板貫通ビア）の形成においては、回路形成面（基板表面）のプロセスが完了した後、裏面よりビアの形成プロセスを行う「ビアラスト方式」が主流である。この方式によれば、回路形成面の凹凸を最小限に抑え、高い歩留まりを維持

50

しながら基板貫通ヴィアを形成することができる。

【0004】

ヴィアラスト方式では、図8に示すように、まず、基板801表面の回路形成面801aに、表面配線層802を含む所望とする回路を形成した後、ヴィア形成箇所にはランドメタル層803を形成する。この後、基板801の裏面側より基板貫通ヴィア804をエッチング形成する。この形成時に、既に形成してあるランドメタル層803が、エッチング停止層として機能する。この後、基板貫通ヴィア804内に、表面配線層802に接続する貫通配線層805を形成し、また、貫通配線層805に接続する裏面配線層806を形成する。

【0005】

このような基板貫通ヴィアの形成技術として、例えば、シリコン基板を用いた集積回路では、ボッシュプロセスと呼ばれるエッチングとエッチング側壁保護とを繰り返すヴィア形成方法がある。この技術によれば、微細な径の基板貫通ヴィアが形成可能とされている。

【0006】

一方、化合物半導体などのシリコン以外の材料による基板の場合、上述したボッシュプロセスを用いることができず、例えば、InP基板の場合、ヨウ化水素ガスを用いたドライエッチングで基板貫通ヴィアを形成している（非特許文献1参照）。また、窒化物化合物半導体，SiC，およびサファイアなどの基板の場合、金属マスクを用いたドライエッチングに出基板貫通ヴィアを形成している（特許文献1参照）。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特許第4516538号公報

【非特許文献】

【0008】

【非特許文献1】小谷 謙司 他、「ヨウ化水素ガスを用いたInP基板へのピアホール形成」、信学技報、ED2004-41、37-42頁、2004年。

【発明の概要】

【発明が解決しようとする課題】

【0009】

しかしながら、上述した基板貫通ヴィアの形成技術では、次に示すような問題がある。

【0010】

シリコン以外の基板における基板貫通ヴィアの形成では、いわゆるボッシュプロセスが適用できないため、長時間のドライエッチングで基板貫通ヴィアを形成することになる。このため、第1に、ドライエッチングが長くなることによってヴィアのサイドエッチングや残渣の発生が顕著となり、ヴィアの径を拡大する必要が生じ、微細な径のヴィアを形成することが困難であった。例えば、図9の斜視図に示すように、基板貫通ヴィア804の深さDが50～200μmの場合、孔径aは、80μm程度となる。このように基板貫通ヴィアの孔径が大きくなると、ランドメタル層を大面積に形成することになり、回路形成面における回路形成領域の減少を招き、チップの大型化、集積度の低下などの問題を招くことになる。

【0011】

第2に、長いドライエッチング処理が必要となるため、基板貫通ヴィア形成用のエッチングマスク耐性の要求条件が厳しくなるといった問題がある。このため、エッチングマスク材料の制限、およびドライエッチング条件自体に制限が生じるようになる。

【0012】

第3に、基板貫通ヴィアの大型化に伴ってランドメタル層の基板側に大きな空間が存在するようになる。このため、自身の応力でランドメタル層に反りが発生し、集積回路チップの信頼性を大幅に低下させてしまうという問題が生じていた。ランドメタル層の反りを

10

20

30

40

50

回避するには、ランドメタル層をより厚く形成することになる。しかしながら、このために、ランドメタル層用のプロセスが別途必要になり、また、表面多層配線を重畳するなど、プロセスの増加が生じ、結果としてスループットの低下、および配線レイアウトの制限などが生じてしまっていた。

【 0 0 1 3 】

本発明は、以上のような問題点を解消するためになされたものであり、より小さな径の基板貫通ビアが形成できるようにすることを目的とする。

【課題を解決するための手段】

【 0 0 1 4 】

本発明に係るビア構造は、基板の回路が形成されている主表面側から所望の孔径の範囲で形成可能な深さに形成された第 1 孔部と、基板の裏面側から形成されて第 1 孔部に接続する第 2 孔部と、第 1 孔部の内部に形成された第 1 孔部配線と、第 1 孔部配線に接続して基板の主表面側に形成された表面配線層と、第 2 孔部の内部に第 1 孔部配線に接続して形成された第 2 孔部配線と、第 2 孔部配線に接続して基板の裏面側に形成された裏面配線層とを少なくとも備える。

10

【 0 0 1 5 】

上記のビア構造において、第 1 孔部に接触する表面配線層で構成されたランドメタル層を備えるようにしてもよい。なお、第 1 孔部の孔径は、 $2 \sim 20 \mu\text{m}$ であればよい。

【 0 0 1 6 】

本発明に係るビア構造の作製方法は、基板の回路が形成される主表面側から所望の孔径の範囲で形成可能な深さに第 1 孔部を形成する第 1 工程と、第 1 孔部の内部に第 1 孔部配線を形成する第 2 工程と、基板の主表面側に第 1 孔部配線に接続する表面配線層を形成する第 3 工程と、基板の裏面側から第 1 孔部に接続する第 2 孔部を形成する第 4 工程と、第 2 孔部の内部に第 1 孔部配線に接続する第 2 孔部配線を形成する第 5 工程と、基板の裏面側に第 2 孔部配線に接続する裏面配線層を形成する第 6 工程とを少なくとも備える。

20

【 0 0 1 7 】

上記ビア構造の作製方法において、第 1 工程では、第 1 孔部とともに素子間分離のための溝部を形成してもよい。また、第 1 工程では、第 1 孔部とともにキャパシタを構成する溝部を形成してもよい。

【発明の効果】

30

【 0 0 1 8 】

以上説明したように、本発明によれば、基板の裏面側から形成されて第 1 孔部に接続する第 2 孔部を設けるようにしたので、より小さな径の基板貫通ビアが形成できるようになるという優れた効果が得られる。

【図面の簡単な説明】

【 0 0 1 9 】

【図 1】図 1 は、本発明の実施の形態におけるビア構造の構成を示す構成図である。

【図 2】図 2 は、本発明の実施の形態におけるビア構造の一部構成を示す斜視図である。

。

【図 3】図 3 は、本発明の実施の形態におけるビア構造の一部構成を示す斜視図である。

40

。

【図 4 A】図 4 A は、本発明の実施の形態におけるビア構造の作製途中の状態を示す断面図である。

【図 4 B】図 4 B は、本発明の実施の形態におけるビア構造の作製途中の状態を示す断面図である。

【図 4 C】図 4 C は、本発明の実施の形態におけるビア構造の作製途中の状態を示す断面図である。

【図 4 D】図 4 D は、本発明の実施の形態におけるビア構造の作製途中の状態を示す断面図である。

【図 4 E】図 4 E は、本発明の実施の形態におけるビア構造の作製途中の状態を示す断

50

面図である。

【図４Ｆ】図４Ｆは、本発明の実施の形態におけるヴィア構造の作製途中の状態を示す断面図である。

【図４Ｇ】図４Ｇは、本発明の実施の形態におけるヴィア構造の作製途中の状態を示す断面図である。

【図４Ｈ】図４Ｈは、本発明の実施の形態におけるヴィア構造の作製途中の状態を示す断面図である。

【図５】図５は、本発明の実施の形態におけるヴィア構造の構成を示す斜視図である。

【図６】図６は、本発明の実施の形態におけるヴィア構造の一部構成を示す斜視図である。

【図７】図７は、本発明の実施の形態における他のヴィア構造の構成を示す構成図である。

【図８】図８は、ヴィア構造の構成を示す断面図である。

【図９】図９は、ヴィア構造の一部構成を示す斜視図である。

【発明を実施するための形態】

【００２０】

以下、本発明の実施の形態について図を参照して説明する。図１は、本発明の実施の形態におけるヴィア構造の構成を示す構成図である。図１では、ヴィア構造の断面を概略的に示している。

【００２１】

このヴィア構造は、まず、基板１０１の回路が形成される主表面１０１ａ側から所望の孔径の範囲で形成可能な深さに形成された第１孔部１０２と、基板１０１の裏面側から形成されて第１孔部１０２に接続する第２孔部１０３とを備える。

【００２２】

また、このヴィア構造は、第１孔部１０２の内部に形成された第１孔部配線１０４と、第１孔部配線１０４に接続して基板１０１の主表面１０１ａ側に形成された表面配線層１０５と、第２孔部１０３の内部に第１孔部配線１０４に接続して形成された第２孔部配線１０６と、第２孔部配線１０６に接続して基板１０１の裏面側に形成された裏面配線層１０７とを備える。

【００２３】

ここで、基板１０１は、例えば、InP、GaAs、GaNなど化合物半導体から構成されたものであればよい。これらの基板の場合、典型的な基板厚は、 $50 \sim 200 \mu\text{m}$ である。この程度の厚さの基板であれば、孔部（ヴィア）形成などの各プロセスにおける基板のハンドリング性を良好な状態とすることができる。なお、第１孔部１０２と第２孔部１０３よりなるヴィアにおける接地強化効果、および電気伝導や信号伝播特性を良好に維持することができる構造であれば、いかなる基板厚さでも構わない。

【００２４】

上述した本実施の形態におけるヴィア構造によれば、所望の孔径の範囲で形成可能な深さに第１孔部１０２を形成してあるので、裏面から形成する第２孔部１０３は、基板１０１を貫通して形成することなく、基板１０１の途中までエッチングすることで形成すればよい。このため、第２孔部１０３の形成では、エッチング量が減少し、また、エッチング残渣を減少させることができるので、孔径を拡大する必要がなく、微細な孔径に形成することができる。

【００２５】

例えば、第１孔部１０２は、孔径 $2 \sim 20 \mu\text{m}$ 程度とし、深さは $5 \sim 20 \mu\text{m}$ とすることができる。この場合、例えば、基板１０１の板厚が $50 \sim 200 \mu\text{m}$ であれば、第２孔部１０３の深さは、 $45 \sim 180 \mu\text{m}$ 程度とし、孔径は $20 \sim 60 \mu\text{m}$ 程度とすることができる。ここで、図２の斜視図に示すように、円柱形状とした第１孔部２０２の直径 c とし、第２孔部２０３の直径を b とし、図９に示した従来の基板貫通ヴィア８０４の直径を a とすると、 $a > b > c$ とすることができる。なお、図２では、各孔部を円筒形状として

10

20

30

40

50

いるが、これに限るものではなく、図3の斜視図に示すように、第1孔部302および第2孔部303の形状を、角柱およびその他の形状としてもよい。

【0026】

なお、第1孔部配線104および第2孔部配線106は、例えば、Au, Cu, Al, Wなどの金属から構成すればよい。例えば、第1孔部配線104は、厚さ0.5~3μmとし、第1孔部102の孔内の表面を被覆するように形成すればよい。一方、第2孔部配線106は、厚さ3~20μmとし、第2孔部103の孔内の表面を被覆するように形成すればよい。また、孔内を金属で充填して貫通配線としてもよい。

【0027】

また、本実施の形態によれば、エッチング量を減らすことができるので、エッチングに用いる利用可能なマスク材料の選択肢が増え、また、エッチング種やエッチング温度などのエッチング条件の設計自由度も飛躍的に向上する。

10

【0028】

また、第1孔部102の側にランドメタル層を形成する場合、ランドメタル層の基板側に大きな空間が形成されることがなくなるので、ランドメタル層における反りの問題が解消できるようになり、ランドメタル層をより薄く形成することが可能となる。

【0029】

次に、本実施の形態におけるビア構造の作製方法について、図4A~図4Hを用いて説明する。図4A~図4Hは、本発明の実施の形態におけるビア構造の作製途中の状態を示す断面図である。

20

【0030】

まず、図4Aに示すように、基板101を用意する。基板101は、例えばInP基板、GaAs基板、GaN基板などである。

【0031】

次に、図4Bに示すように、回路が形成されている主表面101aの側から、所望の孔径の範囲で形成可能な深さに第1孔部102を形成する。例えば、直径2~20μmで深さ5~20μmの円筒形状の第1孔部102を形成する。例えば、Cl₂, HBr, HIなどのハロゲン系ガスを用いたドライエッチングにより、第1孔部102を形成すればよい。形成した孔部の側壁が滑らかで微細な孔径に形成可能であれば、いかなるガス種を用いても構わない。また、ウェットエッチングが可能なエッチャントによって第1孔部102を形成してもよい。

30

【0032】

次に、図4Cに示すように、第1孔部102の内部に第1孔部配線104を形成し、また、基板101の主表面101a側に第1孔部配線104に接続する表面配線層105を形成する。例えば、Au, Cu, Al, Wなどの金属を、例えば、真空蒸着法、スパッタリング法、およびメッキ法などにより堆積することで、第1孔部配線104および表面配線層105を形成すればよい。図4Cでは、第1孔部102の壁面を覆うように第1孔部配線104を形成した状態を示しているが、第1孔部配線104は、第1孔部102の内部を金属で充填して形成してもよい。

【0033】

次に、図4Dに示すように、基板101の主表面101a側に、サポート基板201を貼り付ける。サポート基板201は、例えばガラスから構成すればよい。また、サポート基板201は、例えば、UVで接着剤硬化する接着剤および熱で接着剤硬化する接着剤などにより接着すればよい。サポート基板201を貼り付けることで、基板101の主表面101aの側を保護した状態で、基板101の裏面側の様々な処理が行えるようになる。

40

【0034】

次に、図4Eに示すように、基板101を薄層化する。例えば、基板101の裏面側を、砥石による研磨装置とCMP (Chemical Mechanical Polishing) により研削研磨することで、基板101を薄層化することができる。例えば、基板厚が、50~200μmとなるように薄層化する。なお、基板101が薄いほど裏面から孔部を形成するときのエッ

50

チング時間が短くなるため有利であるが、 $50\mu\text{m}$ より薄いと、基板のハンドリング性は下がる。このため、基板厚は、 $50\sim 200\mu\text{m}$ とした方がよい。ただし、基板の良好なハンドリング性が確保されれば、基板厚を $50\mu\text{m}$ 以下としても構わない。また、良好なドライエッチング条件による深堀エッチングが実現できるのであれば、基板厚は $200\mu\text{m}$ 以上としてもよい。

【0035】

次に、図4Fに示すように、基板101の裏面側から第1孔部102に接続する第2孔部103を形成する。例えば、ドライエッチングにより、深さ $20\sim 60\mu\text{m}$ に第2孔部103を形成すればよい。基板表面までドライエッチングする従来の方法よりも、短いドライエッチング時間で、第2孔部103が形成できるので、サイドエッチングや残渣が少なく、側壁が滑らかで微細な孔径にすることが可能となる。ここで、形成した孔部の側壁が滑らかで微細な孔径に形成可能であれば、いかなるガス種を用いても構わない。また、ウェットエッチングが可能なエッチャントによって第1孔部102を形成してもよい。

10

【0036】

次に、図4Gに示すように、第2孔部103の内部に第1孔部配線104に接続する第2孔部配線106を形成し、基板101の裏面側に第2孔部配線106に接続する裏面配線層107を形成する。例えば、Au, Cu, Al, Wなどの金属を、例えば、真空蒸着法, スパッタリング法, およびメッキ法などにより堆積することで、第2孔部配線106および裏面配線層107を形成すればよい。第2孔部配線106を形成することで、第1孔部配線104および第2孔部配線106により、基板101の表面から裏面にかけての導電形路が形成され、基板貫通ビアが形成された状態となる。なお、図4Gでは、第2孔部103の壁面を覆うように第2孔部配線106を形成した状態を示しているが、第2孔部配線106は、第2孔部103の内部を充填して形成してもよい。

20

【0037】

次に、図4Hに示すように、基板101の主表面101aよりサポート基板201を取り除く。例えば、赤外線レーザーの照射および有機溶媒への浸漬によりサポート基板201を取り除くことができる。ここで、サポート基板201を貼り付けた状態で、基板101よりチップの切り出しを行うようにしてもよい。例えば、サポート基板201を貼り付けた状態でダイシング用フィルムにマウントし、ダイシング工程を行えばよい。このようにチップに加工した後、サポート基板201を取り除くようにしてもよい。このようにすることで、ハンドリング性をより向上させることができる。

30

【0038】

ところで、各第2孔部に対し、異なる数の第1孔部が接続するようにしてもよい。例えば、図5の斜視図に示すように、基板501の裏面側より形成する第2孔部503aには、4つの第1孔部502aが接続し、第2孔部503bには、6個の第1孔部502bが接続する構成としてもよい。第2孔部503aは、表面配線層505の形状に対応して配置し、第2孔部503bは、表面配線層505aの形状に対応して配置している。このようにすることで、例えば、第1孔部502aに接続する表面配線層505aに対し、第1孔部502bに接続する表面配線層505aの面積を大きくすることができ、表面配線層の形状自由度を向上させることができる。

40

【0039】

例えば、表面配線層の一部をランドメタル層とすることができるが、ランドメタル層は、パターンルールなどの制約が大きい。これに対し、上述したように、第2孔部に対して接続する第1孔部の数を調整し、また、第1孔部の寸法や配置を制御することで、より大きな自由度のある状態で、ランドメタル層が形成できるようになる。

【0040】

なお、図5では、第1孔部および第2孔部103を円筒形状としたが、これに限るものではなく、図6の斜視図に示すように、第1孔部602a, 第2孔部603a, 第1孔部602b, および第2孔部603bの形状を、角柱としてもよい。なお、図6では、基板を省略して示している。

50

【 0 0 4 1 】

また、第 1 孔部の形成では、第 1 孔部とともに素子間分離のための溝部やキャパシタを構成する溝部を形成してもよい。例えば、図 7 に示すように、基板 7 0 1 の回路が形成されている主表面 7 0 1 a の側から、第 1 孔部 7 0 2 を形成するとともに、キャパシタを構成するためのトレンチ（溝部）7 2 2 を形成する。次に、第 1 孔部配線 7 0 4 および表面配線層 7 0 5 を形成するとともに、キャパシタを構成するための一方の電極層 7 2 4 を形成する。この後、第 1 孔部 7 0 2 に接続する第 2 孔部 7 0 3 を形成する。この後、第 1 孔部配線 7 0 4 に接続する第 2 孔部配線 7 0 6 および裏面配線層 7 0 7 を形成する。このようにすることで、基板貫通ヴィアの微細化を図りながら、回路に使用されるキャパシタの高密度化をも図ることができる。また、プロセスを短縮化することができる。

10

【 0 0 4 2 】

なお、本発明は以上に説明した実施の形態に限定されるものではなく、本発明の技術的思想内で、当分野において通常の知識を有する者により、多くの組み合わせおよび変形が実施可能であることは明白である。例えば、表面保護やエッチングストップとして、基板の主表面、裏面、または各孔内に、 SiO_2 、 SiN および、有機材料からなる保護膜が形成されていてもよい。

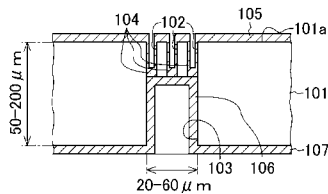
【 符号の説明 】

【 0 0 4 3 】

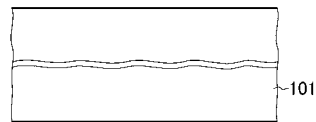
1 0 1 ... 基板、1 0 1 a ... 主表面、1 0 2 ... 第 1 孔部、1 0 3 ... 第 2 孔部、1 0 4 ... 第 1 孔部配線、1 0 5 ... 表面配線層、1 0 6 ... 第 2 孔部配線、1 0 7 ... 裏面配線層。

20

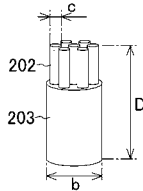
【 図 1 】



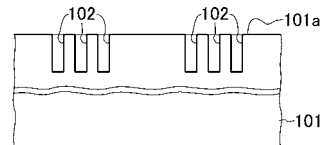
【 図 4 A 】



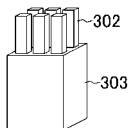
【 図 2 】



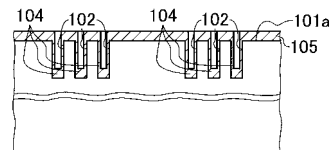
【 図 4 B 】



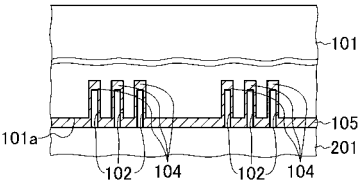
【 図 3 】



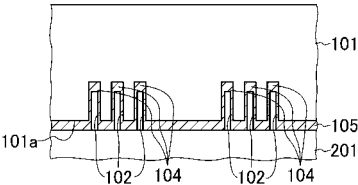
【 図 4 C 】



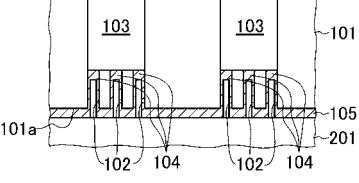
【図 4 D】



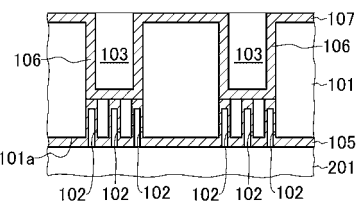
【図 4 E】



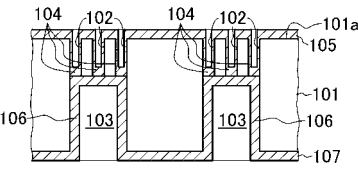
【図 4 F】



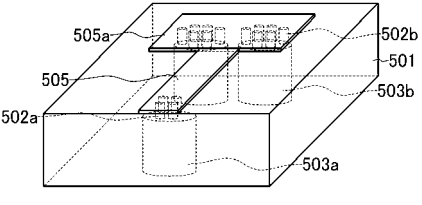
【図 4 G】



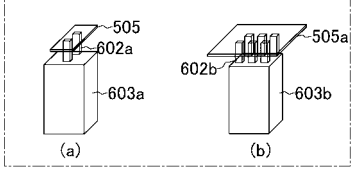
【図 4 H】



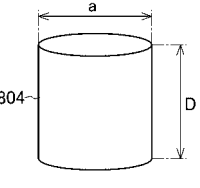
【図 5】



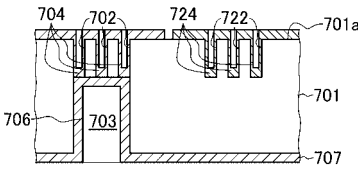
【図 6】



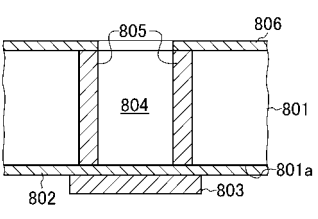
【図 9】



【図 7】



【図 8】



フロントページの続き

(72)発明者 杉谷 未広

東京都千代田区大手町二丁目3番1号 日本電信電話株式会社内

(72)発明者 西村 一巳

東京都千代田区大手町二丁目3番1号 日本電信電話株式会社内

F ターム(参考) 5F033 GG02 HH08 HH11 HH13 HH19 JJ01 KK08 KK11 KK13 KK19
MM30 NN12 NN29 PP15 PP19 PP27 PP28 QQ07 QQ11 QQ19
QQ25 QQ37 QQ47 QQ48 RR04 RR06 TT07 VV10 WW01 XX03