



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201220455 A1

(43)公開日：中華民國 101 (2012) 年 05 月 16 日

(21)申請案號：099138700

(22)申請日：中華民國 99 (2010) 年 11 月 10 日

(51)Int. Cl. : **H01L23/498 (2006.01)**

(71)申請人：瑞鼎科技股份有限公司 (中華民國) RAYDIUM SEMICONDUCTOR CORPORATION
(TW)

新竹市科學工業園區力行路 23 號 2 樓

(72)發明人：廖稟加 LIAO, PING CHIA (TW)；陳進勇 CHEN, CHIN YUNG (TW)；楊峻杰
YANG, CHUN CHIEH (TW)

(74)代理人：祁明輝；林素華

申請實體審查：有 申請專利範圍項數：7 項 圖式數：4 共 14 頁

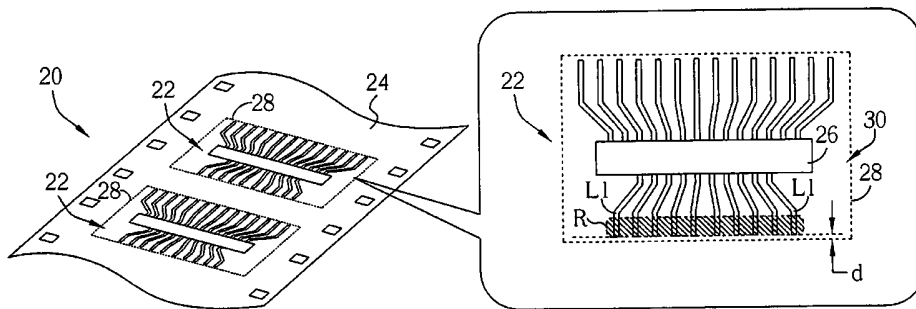
(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

(57)摘要

本發明提供一種半導體裝置，例如一膠卷上晶片構裝的半導體裝置。半導體裝置係於一膠卷基底形成至少一積體電路，各積體電路係於一預設範圍的邊界內設置一晶片與複數導線，各導線與邊界間隔一預設距離。因此，當由膠卷基底將積體電路沿邊界沖裁下來時，可降低或避免沖裁機台上的導電物質殘留。



20：半導體裝置

22：積體電路

24：基底

26：晶片

28：邊界

30：範圍

d：距離

L1：導線

R：打線區域

六、發明說明：

【發明所屬之技術領域】

本發明係有關於一種半導體裝置，特別是有關一種在膠卷上晶片構裝的半導體裝置中依據切割線限制積體電路的導線延伸以降低或避免沖裁機台導線殘留的半導體裝置。

【先前技術】

半導體裝置，例如各種構裝的半導體積體電路，已成為現代資訊社會最重要的硬體基礎。

在各種半導體裝置中，有一類型的半導體裝置是將積體電路形成於一可撓性的基底上，例如，膠卷上晶片(COF, chip on film 或 chip on flex)構裝或是卷帶載體構裝(TCP, tape carrier package)的半導體裝置就是將多個晶片封裝在一可撓性的膠卷或卷帶基底上，以分別形成各積體電路。配合各積體電路中的晶片，會有導線形成於基底的導體層中；當晶片被封裝在基底時，晶片會耦接至這些導線，以經由這些導線耦接其他外界電路。這類型的半導體裝置已被廣泛運用，例如，液晶顯示面板所使用的驅動積體電路就是形成於可撓性基底。

【發明內容】

在可撓性基底的半導體裝置中，由於多個積體電路係形成於同一個基底上，故需以沖裁機台將各積體電路分別由基底上沖裁下來。沖裁機台會依據各積體電路對應的切割線進行沖裁；在已知的可撓性基底半導體裝置中，各積體電路的導線則會延伸跨越對應的切割線。不過，經本發明分析發現，在進行沖裁時，跨越切割線的導線會在沖裁機台上殘留導電物質，此導電殘留會將不同導線錯誤地短路在一起，影響積體電路的正常運作，降低半導體裝置的良率。

為解決上述問題，本發明的目的之一係提供一種半導體裝

置，包括一基底以及一或多個積體電路。各積體電路形成於基底，每一積體電路包括一晶片與複數個導電的導線，設於基底的一預設範圍內；此預設範圍的邊界即切割線。在各積體電路中，每一導線由晶片朝向預設範圍的邊界延伸，延伸至預設範圍內的打線區域，並與邊界間隔一預設距離。

在本發明另一實施例中，每一積體電路更對應複數個延伸區段與外側區段。各外側區段設於預設範圍之外，經由跨越邊界的延伸區段耦接至導線。各延伸區段的寬度小於導線的寬度。

為讓本發明之上述和其他目的、特徵和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下。

【實施方式】

請參考第 1 圖，其所示意的是一傳統的膠卷上晶片構裝之半導體裝置 10。半導體裝置 10 有複數個積體電路 12 形成於一可撓性的基底 14 上，各積體電路 12 的範圍由一對應的切割線 18 所定義。各個積體電路 12 內具有一晶片 16 與複數個導線 L0；各導線 L0 形成於基底 14 的導體層（如一銅導體層），由晶片 16 向外延伸，使晶片 16 得以經由各導線 L0 耦接至其他外界電路。如第 1 圖所示，在傳統半導體裝置 10 的各積體電路 12 中，導線 L0 會跨越切割線 18 而延伸至切割線 18 之外。

當要將各積體電路 12 由基底 14 上分離出來時，半導體裝置 10 會被放置於沖裁機台 11 上，沖裁機台 11 的沖裁頭 13 會沿著切割線 18 將各積體電路 12 由基底 14 切割下來。不過，就如第 1 圖所示，由於導線 L0 延伸至切割線 18 之外，故在沖裁時，沖裁頭 13 會連導線 L0 一併切割，而導線 L0 的導電物質就會殘留在沖裁機台 11 上。此導電物質殘留會污染積體電路 12；當殘留物質充塞在兩導線之間時，會將原本應絕緣的兩導線錯誤地短路在一起，使積體電路 12 無法正常運作。

為克服半導體裝置 10 容易造成殘留的缺點，本發明提供

一種具有較佳導線配置的半導體裝置。請參考第 2 圖，其所示意的即是依據本發明一實施例的半導體裝置 20。半導體裝置 20 可以是一膠卷上晶片構裝的半導體裝置，或是一卷帶載體構裝的半導體裝置。半導體裝置 20 具有複數個積體電路 22，形成於一基底 24 上；基底 24 可以是一可撓性的基底，例如膠卷基底或卷帶基底。

半導體裝置 20 的各積體電路 22 中設有一晶片 26 及複數個導線 L1。晶片 26 設於基底 24 的一預設範圍 30 內；預設範圍 30 由一邊界 28 環繞，此邊界 28 可以是沖裁的切割線。各導線 L1 設於預設範圍 30 內，每一導線 L1 耦接晶片 26（例如說是耦接至晶片 26 的接墊），並由晶片 26 朝向邊界 28 延伸，使晶片 26 得以經由各導線 L1 耦接至其他外界電路（例如其他的晶片、積體電路及/或電路板等等），與外界電路交換訊號資料，並取得運作所需的電力。

不過，如第 2 圖所示，在本發明中，各導線 L1 會與邊界 28 間隔一預設距離 d ，不會和邊界 28 接觸。各導線 L1 可以形成於基底 24 的導體層（例如一銅導體層），並由晶片 26 向外延伸至一打線區域 R；各導線 L1 即是在此打線區域 R 中以附加的導電結構（如異方性導電膠，anisotropic conductive film，ACF）耦接其他外界電路。由於導線 L1 與邊界 28 間隔距離 d ，打線區域 R 也會位在預設範圍 30 內，與邊界 28 間隔距離 d 。

由於積體電路 22 的各導線 L1 並未接觸或跨越邊界 28，當積體電路 22 由基底 24 被沖裁下來時，各導線 L1 不會與沖裁機台的沖裁頭接觸，也就不會將導電物質殘留於沖裁機台上。這樣一來，不僅能避免導線殘留對積體電路 22 的影響，也能降低沖裁加工的時間與成本，因為不需要頻繁地清除沖裁機台上的殘留。

請參考第 3 圖，其所示意的是依據本發明另一實施例的半導體裝置 30。類似半導體裝置 20，半導體裝置 30 亦可以是一膠卷上晶片構裝的半導體裝置。半導體裝置 30 具有複數個積

體電路 32，形成於一基底 34 上，例如一可撓性的膠卷基底。

半導體裝置 30 的各積體電路 32 中設有一晶片 36 及複數個導線 L2a 與 L2b，邊界 38 定義出積體電路 32 所在的範圍 40；邊界 38 可以是沖裁的切割線。晶片 36 與各導線 L2a 與 L2b 設於範圍 40 內，各導線 L2a 與 L2b 耦接晶片 36，並由晶片 36 朝向邊界 38 延伸至打線區域 R，使晶片 36 得以經由各導線 L2a 與 L2b 耦接至其他外界電路，像是其他晶片、積體電路及/或電路板等等，以便與外界電路交換訊號資料，並取得運作所需的電力。

類似第 2 圖實施例，在本發明半導體裝置 30 的各個積體電路 32 中，各導線 L2a 與 L2b 會與邊界 38 間隔一預設距離 d ，不會接觸邊界 38。另外，對應各積體電路 32，基底 34 上還可形成複數個延伸區段 TC 與外側區段 TP。各外側區段 TP 設置在範圍 40 之外，與邊界 38 間隔一預設距離 d' ；距離 d' 與 d 可以相等或不相等。各延伸區段 TC 則跨越邊界 38，其兩端分別位於邊界 38 的相異兩側，一端耦接至一導線 L2a，另一端耦接一外側區段 TP；例如說，各個外側區段 TP、延伸區段 TC 與導線 L2a 可以形成於基底 34 的同一導體層。如此，各外側區段 TP 便可經由延伸區段 TC 的橋接而耦接至一對應的導線 L2a，使晶片 36 也可經由各外側區段 TP 耦接至其他外界電路。

例如說，外側區段 TP 上可設置測試接墊 (test pad)；在半導體裝置 30 出廠前而各積體電路 32 尚未被沖裁分離時，測試機台可經由探針耦接各積體電路 32 所對應的外側區段 TP，以和積體電路 32 中的晶片 36 交換資料訊號，藉此測試積體電路 32 的功能是否正常。完成測試後，積體電路 32 會沿著邊界 38 被沖裁下來，而在邊界 38 之外的外側區段 TP 與部份的延伸區段 TP 也就會被切離至積體電路 32 之外。

如第 3 圖所示，為了減少沖裁機台的導電物質殘留，延伸區段 TC 的寬度 (也就是沿邊界 38 的截面尺寸) w_1 可以小於

導線 L2a 的寬度 w_2 ，亦可小於外側區段 TP 的寬度 w_3 。當沖裁機台沿著邊界 38 將積體電路 32 由基底 34 切離時，由於沖裁機台只會切過較窄的延伸區段 TC，如此便可盡量減少沖裁機台上的導電物質殘留。

在第 3 圖實施例中，可經由各積體電路 32 對應的外側區段 TP 進行測試。在第 2 圖實施例中，則可經由各積體電路 22 的導線 L1 進行測試；也就是說，測試機台的探針可耦接至各導線 L1，和積體電路 22 中的晶片 26 交換訊號資料，以測試積體電路 22 的功能。

請參考第 4 圖，其所顯示的是積體電路 12、22 與 32（請一併參考第 1 圖至第 3 圖）在邊界附近的結構示意圖。如第 4 圖所示，積體電路 12 的導線 L0 在其邊界（切割線）的截面尺寸最大，代表其會在沖裁機台上留下最多的殘留導電物質。相較之下，在本發明積體電路 32 中，由於只有較窄的延伸區段 TC 會延伸至邊界，故積體電路 32 沿邊界的導電物質截面尺寸就會被縮減，可有效減少沖裁機台上的殘留。更進一步地，本發明積體電路 22 中的各導線 L1 皆不會延伸至邊界，可避免沖裁機台的導電物質殘留。

總結來說，相較於習知技術，本發明可有效降低或避免沖裁機台的導電物質殘留，不僅可防範導電物質殘留所導致的積體電路短路錯誤，也可增進沖裁加工的效率。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1 圖示意一個基於可撓性基底的半導體裝置。

第 2 圖與第 3 圖示意本發明的不同實施例。

第 4 圖比較第 1 圖至第 3 圖的實施例。

【主要元件符號說明】

10、20、30 半導體裝置

11 沖裁機台

12、22、32 積體電路

13 沖裁頭

14、24、34 基底

16、26、36 晶片

18 切割線

28、38 邊界

30、40 範圍

L0、L1、L2a-L2b 導線

d、d' 距離

R 打線區域

w1-w3 寬度

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 94(38)06

※ 申請日： 99.11.10

※IPC 分類： H01L 23/498 (2006.01)

一、發明名稱：(中文/英文)

半導體裝置/SEMICONDUCTOR DEVICE

二、中文發明摘要：

本發明提供一種半導體裝置，例如一膠卷上晶片構裝的半導體裝置。半導體裝置係於一膠卷基底形成至少一積體電路，各積體電路係於一預設範圍的邊界內設置一晶片與複數導線，各導線與邊界間隔一預設距離。因此，當由膠卷基底將積體電路沿邊界沖裁下來時，可降低或避免沖裁機台上的導電物質殘留。

三、英文發明摘要：

A semiconductor device, such as a semiconductor device of chip on film package, is provided. The semiconductor device includes at least an integrated circuit formed on a film base, each integrated circuit includes a chip and a plurality of leads formed interior to a boundary of a predetermined range, each lead is formed with a predetermined distance from the boundary. While the integrated circuit is punched from the film base along the boundary, conductive residual of leads left on the puncher is therefore reduced or avoided.

七、申請專利範圍：

1. 一種半導體裝置，包含
一基底；以及

至少一積體電路，形成於該基底，每一積體電路包含：

一晶片，設於該基底的一預設範圍內；該預設範圍具有一邊界；
以及

複數個導線，設於該預設範圍內，每一該導線由該晶片向該邊界延伸，並與該邊界間隔一預設距離。

2. 如申請專利範圍第 1 項的半導體裝置，其中，在每一該積體電路中，該些導線係由該晶片延伸至一打線區域 (bonding area)，而該打線區域係位於該預設範圍中，且與該邊界間隔該預設距離。

3. 如申請專利範圍第 1 項的半導體裝置，更包含：

複數個延伸區段，對應於各該積體電路；各該延伸區段於該對應積體電路中跨越該邊界並耦接該些導線的其中之一，且各該延伸區段的寬度小於各該導線的寬度。

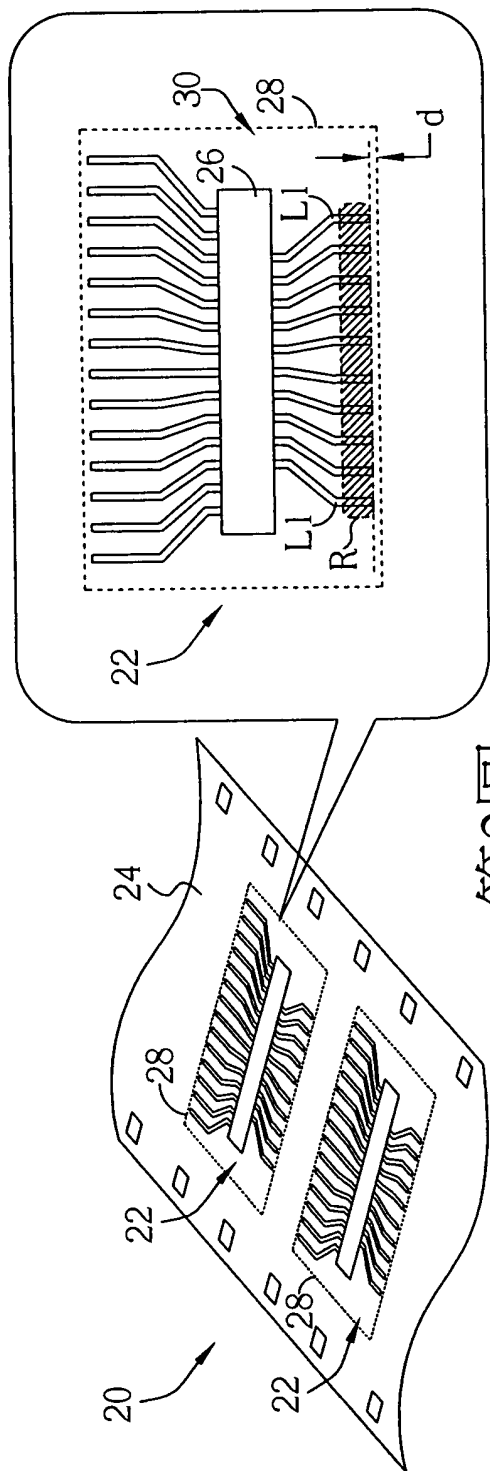
4. 如申請專利範圍第 3 項的半導體裝置，更包含：

複數個外側區段，對應於各該積體電路；各該外側區段設於該對應積體電路的該預設範圍之外，各該外側區段耦接該些延伸區段的其中之一。

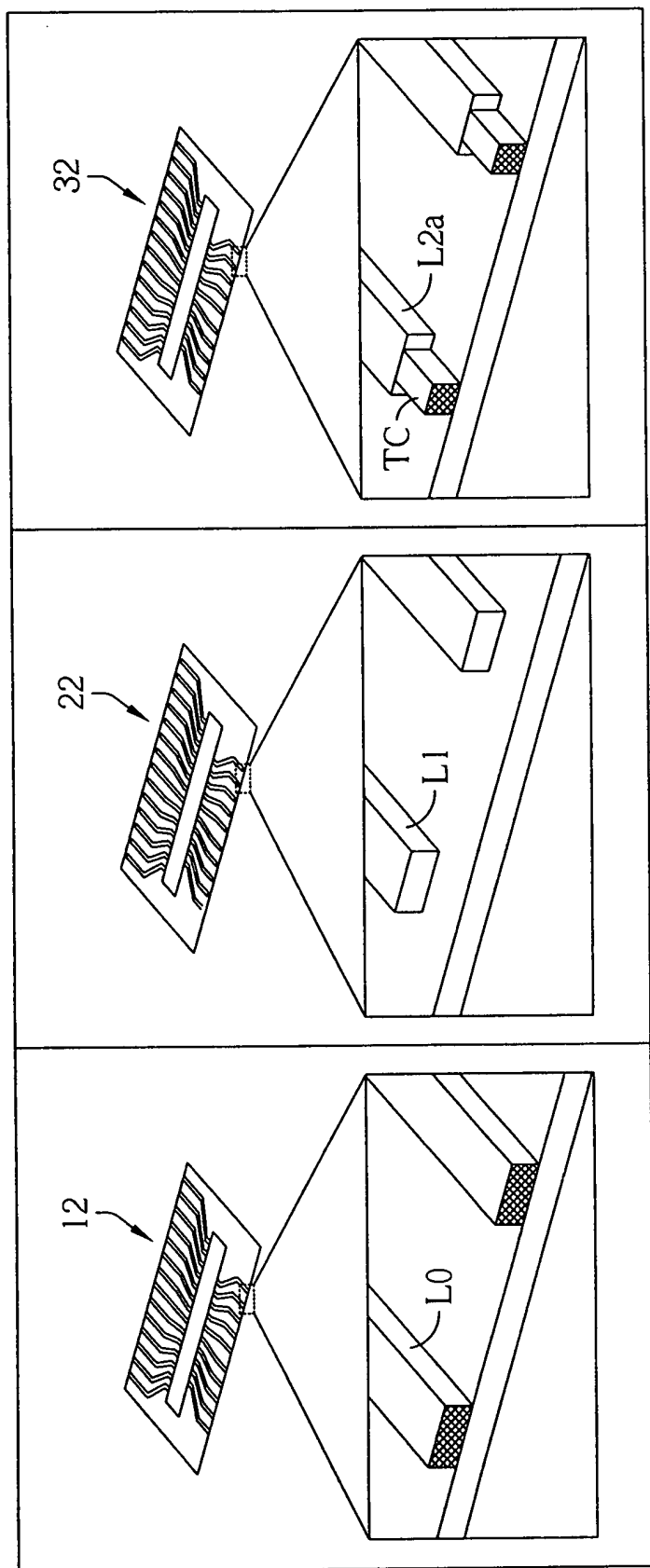
5. 如申請專利範圍第 4 項的半導體裝置，其中，該些導線、該些延伸區段與該些外側區段係設於同一導體層。

6. 如申請專利範圍第 1 項的半導體裝置，其中該基底係一膠卷基底 (film base)。

7. 如申請專利範圍第 1 項的半導體裝置，其中，各該積體電路的該邊界係一沖裁的切割線 (cut line)。



第2圖



第4圖

四、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件符號簡單說明：

20 半導體裝置

22 積體電路

24 基底

26 晶片

28 邊界

30 範圍

L1 導線

d 距離

R 打線區域

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無