

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-40977

(P2010-40977A)

(43) 公開日 平成22年2月18日(2010.2.18)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 27/10 (2006.01)	H O 1 L 27/10 4 5 1	5 F 0 8 3
H O 1 L 27/105 (2006.01)	H O 1 L 27/10 4 4 8	
H O 1 L 45/00 (2006.01)	H O 1 L 45/00 A	
H O 1 L 49/00 (2006.01)	H O 1 L 45/00 Z	
	H O 1 L 49/00 Z	
審査請求 未請求 請求項の数 5 O L (全 22 頁)		

(21) 出願番号 特願2008-205339 (P2008-205339)
(22) 出願日 平成20年8月8日 (2008.8.8)

(71) 出願人 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(74) 代理人 100092820
弁理士 伊丹 勝
(74) 代理人 100106389
弁理士 田村 和彦
(72) 発明者 馬場 康幸
東京都港区芝浦一丁目1番1号 株式会社
東芝内
(72) 発明者 永嶋 宏行
東京都港区芝浦一丁目1番1号 株式会社
東芝内

最終頁に続く

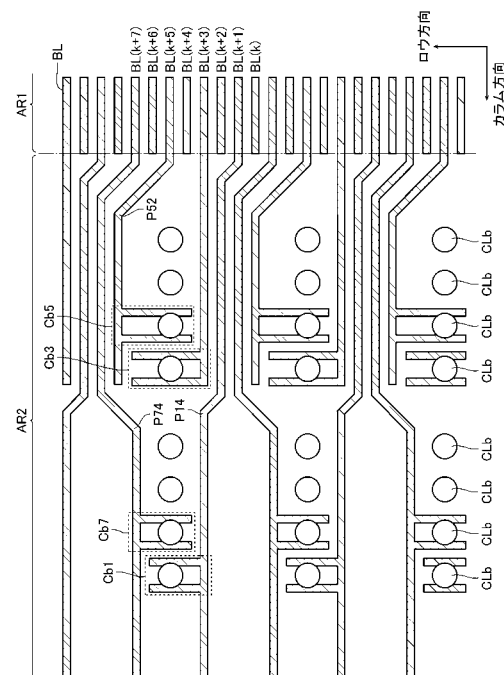
(54) 【発明の名称】 半導体記憶装置及びその製造方法

(57) 【要約】

【課題】コンタクトプラグの断面積及び層毎のコンタクト接続部の面積を縮小することができる積層構造を有する半導体記憶装置と、その製造方法を提供する。

【解決手段】半導体基板と、この半導体基板上に形成されて、複数の第1の配線、これら複数の第1の配線と交差する複数の第2の配線、及び前記第1及び第2の配線の交差部で両配線間に接続されたメモリセルを有するセルアレイ層を複数積層してなるセルアレイブロックと、複数の前記セルアレイ層の複数の第1の配線間、複数の第2の配線間、前記第1若しくは第2の配線及び前記半導体基板間、又は前記第1若しくは第2の配線及び他の金属配線間を接続する前記セルアレイ層の積層方向に延びる複数のコンタクトプラグとを備え、所定の前記セルアレイ層の第1又は第2の配線は、前記コンタクトプラグの両側面と接触するコンタクト接続部が形成されている

【選択図】 図7



【特許請求の範囲】

【請求項 1】

半導体基板と、

この半導体基板上に形成されて、複数の第 1 の配線、これら複数の第 1 の配線と交差する複数の第 2 の配線、及び前記第 1 及び第 2 の配線の交差部で両配線間に接続されたメモリセルを有するセルアレイ層を複数積層してなるセルアレイブロックと、

複数の前記セルアレイ層の複数の第 1 の配線間、複数の第 2 の配線間、前記第 1 若しくは第 2 の配線及び前記半導体基板間、又は前記第 1 若しくは第 2 の配線及び他の金属配線間を接続する前記セルアレイ層の積層方向に延びる複数のコンタクトプラグと

を備え、

10

所定の前記セルアレイ層の第 1 又は第 2 の配線は、前記コンタクトプラグの両側面と接触するコンタクト接続部が形成されている

ことを特徴とする半導体記憶装置。

【請求項 2】

前記コンタクトプラグは、前記セルアレイの積層方向と直交する断面が円形状であることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 3】

前記コンタクトプラグは、前記セルアレイの積層方向と直交する断面が楕円形状であることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 4】

20

前記コンタクトプラグと前記半導体基板及び前記セルアレイ層の第 1 又は第 2 の配線との複数ある接触部分のうち少なくとも 2 箇所の接触面積が同一である

ことを特徴とする請求項 1～3 記載のいずれか 1 項記載の半導体記憶装置。

【請求項 5】

半導体基板上に、互いに交差する第 1 及び第 2 の配線とこれら第 1 及び第 2 の配線の各交差部で両配線間に接続されたメモリセルを備えたセルアレイ層を複数多層に形成する工程と、

所定の間隙を持つ 2 つの凸形状を有するマスクを用い、前記第 1 及び第 2 の配線にコンタクト接続部を形成する工程と、

30

複数の前記セルアレイ層に形成された前記コンタクト接続部の間隙を貫通する貫通孔を形成する工程と、

形成された前記貫通孔に導電性材料を充填して前記各セルアレイ層の前記第 1 又は第 2 の配線と前記半導体基板とをそれぞれ個別に接続する前記セルアレイ層の積層方向に延びる複数のコンタクトプラグを形成する工程と

を有することを特徴とする半導体記憶装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体記憶装置に関し、特に、積層構造を有する不揮発性半導体記憶に関する。

40

【背景技術】

【0002】

従来、電氣的に書き換え可能な不揮発性メモリとしては、フローティングゲート構造を有するメモリセルを NAND 接続又は NOR 接続してメモリセルアレイを構成したフラッシュメモリが周知である。また、不揮発性で且つ高速なランダムアクセスが可能なメモリとして、強誘電体メモリも知られている。

【0003】

一方、メモリセルの更なる微細化を図る技術として、可変抵抗素子をメモリセルに使用した抵抗変化型メモリが提案されている。可変抵抗素子としては、カルコゲナイド化合物の結晶／アモルファス化の状態変化によって抵抗値を変化させる相変化メモリ素子、トン

50

ネル磁気抵抗効果による抵抗変化を用いるMRAM素子、導電性ポリマーで抵抗素子が形成されるポリマー強誘電体RAM（PFRAM）のメモリ素子、電気パルス印加によって抵抗変化を起こすメモリ素子等が知られている（特許文献1）。

【0004】

この抵抗変化型メモリはトランジスタに替えてショットキーダイオードと抵抗変化素子の直列回路によりメモリセルを構成することができるので、積層が容易で3次元構造化することにより更なる高集積化が図れるという利点がある（特許文献2）。

【0005】

このような積層構造を持つ半導体記憶装置の多くは、所定のメモリ層の配線と異なるメモリ層の配線とを接続するためのコンタクトプラグを備えている。更に、各メモリ層の配線の端部には、このコンタクトプラグに接続するためのコンタクト接続部が形成されている。そのため、これらコンタクトプラグ及びコンタクト接続部を形成するためのスペースを設ける必要があり、チップ面積の増大を招くばかりでなく、接続状態によっては、メモリ層の配線毎の電気的特性にばらつきが生じるため問題となる。

【特許文献1】特開2006-344349号、段落0021

【特許文献2】特開2005-522045号

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明は、積層構造を有し、層間接続により生ずる接触抵抗の増大を招くことなく、コンタクトプラグの断面積及び層毎のコンタクト接続部の面積を縮小することができる半導体記憶装置と、その製造方法を提供することを目的とする。

【課題を解決するための手段】

【0007】

本発明の一態様に係る半導体記憶装置は、半導体基板と、この半導体基板上に形成されて、複数の第1の配線、これら複数の第1の配線と交差する複数の第2の配線、及び前記第1及び第2の配線の交差部で両配線間に接続されたメモリセルを有するセルアレイ層を複数積層してなるセルアレイブロックと、複数の前記セルアレイ層の複数の第1の配線間、複数の第2の配線間、前記第1若しくは第2の配線及び前記半導体基板間、又は前記第1若しくは第2の配線及び他の金属配線間を接続する前記セルアレイ層の積層方向に延びる複数のコンタクトプラグとを備え、所定の前記セルアレイ層の第1又は第2の配線は、前記コンタクトプラグの両側面と接触するコンタクト接続部が形成されていることを特徴とする。

【0008】

本発明の一態様に係る半導体記憶装置の製造方法は、半導体基板上に、互いに交差する第1及び第2の配線とこれら第1及び第2の配線の各交差部で両配線間に接続されたメモリセルを備えたセルアレイ層を複数多層に形成する工程と、所定の間隙を持つ2つの凸形状を有するマスクを用い、前記第1及び第2の配線にコンタクト接続部を形成する工程と、複数の前記セルアレイ層に形成された前記コンタクト接続部の間隙を貫通する貫通孔を形成する工程と、形成された前記貫通孔に導電性材料を充填して前記各セルアレイ層の前記第1又は第2の配線と前記半導体基板とをそれぞれ個別に接続する前記セルアレイ層の積層方向に延びる複数のコンタクトプラグを形成する工程とを有することを特徴とする。

【発明の効果】

【0009】

本発明によれば、積層構造を有し、層間接続により生ずる接触抵抗の増大を招くことなく、コンタクトプラグの断面積及び層毎のコンタクト接続部の面積を縮小することができる半導体記憶装置と、その製造方法を提供することができる。

【発明を実施するための最良の形態】

【0010】

以下、図面を参照しながら、本発明に係る半導体記憶装置の実施の形態について詳細に

10

20

30

40

50

説明する。

【0011】

〔第1の実施形態〕

図1は、本発明の第1の実施形態に係る半導体記憶装置のブロック図である。

【0012】

この半導体記憶装置は、後述するReRAM（可変抵抗素子）を使用したメモリセルをマトリクス状に配置したメモリセルアレイ1を複数積層してなるセルアレイブロックを備える。メモリセルアレイ1のビット線BL方向に隣接する位置には、メモリセルアレイ1のビット線BLを制御し、メモリセルのデータ消去、メモリセルへのデータ書き込み、及びメモリセルからのデータ読み出しを行うカラム制御回路2が設けられている。また、メモリセルアレイ1のワード線WL方向に隣接する位置には、メモリセルアレイ1のワード線WLを選択し、メモリセルのデータ消去、メモリセルへのデータ書き込み、及びメモリセルからのデータ読み出しに必要な電圧を印加するロウ制御回路3が設けられている。

【0013】

データ入出力バッファ4は、図示しない外部のホストにI/O線を介して接続され、書き込みデータの受け取り、消去命令の受け取り、読み出しデータの出力、アドレスデータやコマンドデータの受け取りを行う。データ入出力バッファ4は、受け取った書き込みデータをカラム制御回路2に送り、カラム制御回路2から読み出したデータを受け取って外部に出力する。外部からデータ入出力バッファ4に供給されたアドレスは、アドレスレジスタ5を介してカラム制御回路2及びロウ制御回路3に送られる。また、ホストからデータ入出力バッファ4に供給されたコマンドは、コマンド・インタフェース6に送られる。コマンド・インタフェース6は、ホストからの外部制御信号を受け、データ入出力バッファ4に入力されたデータが書き込みデータかコマンドかアドレスかを判断し、コマンドであれば受け取りコマンド信号としてステートマシン7に転送する。ステートマシン7は、この半導体記憶装置全体の管理を行うもので、ホストからのコマンドを受け付け、読み出し、書き込み、消去、データの入出力管理等を行う。また、外部のホストは、ステートマシン7が管理するステータス情報を受け取り、動作結果を判断することも可能である。このステータス情報は書き込み、消去の制御にも利用される。

【0014】

また、ステートマシン7によってパルスジェネレータ8が制御される。この制御により、パルスジェネレータ8は任意の電圧、任意のタイミングのパルスを出力することが可能となる。具体的には、ステートマシン7が、外部から与えられたアドレスをアドレスレジスタ5を介して入力し、どのメモリ層へのアクセスかを判定し、そのメモリ層に対応するパラメータを用いて、パルスジェネレータ8からのパルスの高さ・幅を制御する。このパラメータは、メモリ層ごとの書き込み等の特性を把握した上で、各メモリ層の書き込み特性が均一になるように求められた値であり、メモリセルに保存されている。ここで、形成されたパルスはカラム制御回路2及びロウ制御回路3で選択された任意の配線へ転送することが可能である。

【0015】

なお、メモリセルアレイ1以外の周辺回路素子はメモリセルアレイ1の直下のシリコン基板に形成可能であり、これにより、この半導体記憶装置のチップ面積はほぼ、メモリセルアレイ1の面積に等しくすることも可能である。

【0016】

図2は、メモリセルアレイ1の一部の斜視図、図3は、図2におけるI-I'線で切断して矢印方向に見たメモリセル1つ分の断面図である。

【0017】

複数本の第1の配線としてビット線BL(0)～BL(2)が平行に配設され、これと交差して複数本の第2の配線としてワード線WL(0)～WL(2)が平行に配設され、これらの各交差部に両配線に挟まれるようにメモリセルMCが配置される。第1及び第2の配線は、熱に強く、且つ抵抗値の低い材料が望ましく、例えばW、WSi、NiSi、

10

20

30

40

50

C o S i 等を用いることができる。

【0018】

メモリセルMCは、図3に示すように、可変抵抗素子VRと非オーミック素子NOの直列接続回路からなる。

【0019】

可変抵抗素子VRとしては、電圧印加によって、電流、熱、化学エネルギー等を介して抵抗値を変化させることができるもので、上下にバリアメタル及び接着層として機能する電極EL2、EL1が配置される。電極材としては、Pt、Au、Ag、TiAlN、SrRuO₃、Ru、RuN、Ir、Co、Ti、TiN、Ta₂N₃、LaNiO₃、Al、PtIrOx、PtRhOx、Rh/TaAlN等が用いられる。また、配向性を一様にするようなメタル膜の挿入も可能である。また、別途バッファ層、バリアメタル層、接着層等を挿入することも可能である。

【0020】

可変抵抗素子VRは、カルコゲナイド等のように結晶状態と非晶質状態の相転移により抵抗値を変化させるもの（PCRAM）、金属陽イオンを析出させて電極間に架橋（コンタクティングブリッジ）を形成したり、析出した金属をイオン化したりして架橋を破壊することで抵抗値を変化させるもの（CBRAM）、電圧あるいは電流印加により抵抗値が変化するもの（ReRAM）（電極界面に存在する電荷トラップにトラップされた電荷の存在の有無により抵抗変化が起きるものと、酸素欠損等に起因する伝導パスの存在の有無により抵抗変化が起きるものとに大別される。）等を用いることができる。

【0021】

図4は、この可変抵抗素子VRの例を示す図である。図4に示す可変抵抗素子VRは、電極層10、11の間に記録層12を配置してなる。記録層12は、少なくとも2種類の陽イオン元素を有する複合化合物から構成される。陽イオン元素の少なくとも1種類は電子が不完全に満たされたd軌道を有する遷移元素とし、且つ隣接する陽イオン元素間の最短距離は、0.32nm以下とする。具体的には、化学式A_xM_yX_z（AとMは互いに異なる元素）で表され、例えばスピネル構造（AM₂O₄）、イルメナイト構造（AM₃O₃）、デラフォサイト構造（AM₂O₂）、LiMoN₂構造（AMN₂）、ウルフラマイト構造（AM₄O₄）、オリビン構造（A₂MO₄）、ホランダイト構造（A_xMO₂）、ラムスデライト構造（A_xMO₂）、ペロブスカイト構造（AM₃O₃）等の結晶構造を持つ材料により構成される。

【0022】

図4の例では、AがZn、MがMn、XがOである。記録層12内の小さな白丸は拡散イオン（Zn）、大きな白丸は陰イオン（O）、小さな黒丸は遷移元素イオン（Mn）をそれぞれ表している。記録層12の初期状態は高抵抗状態であるが、電極層10を固定電位、電極層11側に負の電圧を印加すると、記録層12中の拡散イオンの一部が電極層11側に移動し、記録層12内の拡散イオンが陰イオンに対して相対的に減少する。電極層11側に移動した拡散イオンは、電極層11から電子を受け取り、メタルとして析出するため、メタル層11を形成する。記録層12の内部では、陰イオンが過剰となり、結果的に記録層12内の遷移元素イオンの価数を上昇させる。これにより、記録層12はキャリアの注入により電子伝導性を有するようになってセット動作が完了する。再生に関しては、記録層12を構成する材料が抵抗変化を起こさない程度の微小な電流値を流せば良い。プログラム状態（低抵抗状態）を初期状態（高抵抗状態）にリセットするには、例えば記録層12に大電流を十分な時間流してジュール加熱して、記録層12の酸化還元反応を促進すれば良い。また、セット時と逆向きの電場を印加することによってもリセット動作が可能である。

【0023】

なお、電極EL2及びビット線BL間には、タングステン（W）からなるストッパSTが設けられている。これは、後述する半導体記憶装置の製造工程において、CMPによる平坦化処理を積層方向の所定位置で止める役割を果たすものである。

【0024】

図5は、本実施形態に係る半導体記憶装置のワード線WL、ビット線BL及びコンタクトプラグCLの接続を示す概略図である。

【0025】

この半導体記憶装置は、半導体基板SB上に形成された積層構造体のうち最下層の金属配線M1から最上層の金属配線M2にかけて複数のビット線BL1、BL2が配置されている。また、金属配線M1及びビット線BL1間、ビット線BL1及びBL2間、ビット線BL2及び金属配線M2間には、それぞれビット線BLと交差する複数のワード線WL1、WL2、WL3が配置されている。さらに、ワード線WL1及びビット線BL1、ビット線BL1及びワード線WL2、ワード線WL2及びビット線BL2、ビット線BL2及びワード線WL3の各交差部には、図3に示すメモリセルMCが接続されている。これにより、積層方向に隣接するメモリセルMCによりビット線BLあるいはワード線WLが共有される4層構造のメモリセルアレイ1が構成される。

【0026】

所定のワード線WL2、WL3及び金属配線M2は、ワード線WL2、WL3の端部において積層方向に延びるコンタクトプラグCLw2により接続されている。このコンタクトプラグCLw2は、金属配線M2から所定のワード線WL2にかけて次第に細くなる錐台形状になっており、ワード線WL3上面において段差が形成されている。所定のワード線WL3の端部には、このコンタクトプラグCLw2の段差直下の両側面を挟むように形成された2枚の平行な板状部分からなるコンタクト接続部が形成されている。これにより、所定のワード線WL2、WL3及び金属配線M2は、ほぼ同電位となる。同様に、所定のワード線WL2及び金属配線M1は、ワード線WL2、WL1の端部において、積層方向に延びるコンタクトプラグCLw1により接続されている。コンタクトプラグCLw1にも、ワード線WL1の上面において段差が形成されており、ワード線WL1の端部には、コンタクトプラグCLw1の段差直下の両側面を挟むように形成された2枚の平行な板状部分からなるコンタクト接続部が形成されている。

【0027】

また、その他必要に応じて、所定のワード線WL2と半導体基板SBとのコンタクトをとるための積層方向に延びるコンタクトプラグCLw3が形成されている。

【0028】

一方、金属配線M1、M2及びビット線BL1、BL2の間にも、積層方向に延びるコンタクトプラグCLb1～CLb4が形成されている。なお、図ではメモリセルアレイ1に対してワード線WL1～WL3のコンタクトプラグCLw1～CLw3とは反対側にビット線BL1、BL2のコンタクトプラグCLb1～CLb4が形成されているように表現されているが、実際にはビット線BL1、BL2の延びる方向の一方の側にコンタクトプラグCLb1～CLb4が形成される。コンタクトプラグCLb1は、所定のビット線BL2、BL1及び金属配線M1を接続する。同様に、コンタクトプラグCLb2、CLb3、CLb4は、金属配線M2及びビット線BL2、ビット線BL2及び金属配線M1、金属配線M2及びビット線BL2をそれぞれ接続する。

【0029】

(ビット線、ワード線の端部の形状)

次に、ビット線BL及びワード線WLの端部の形状について説明する。

【0030】

図6は、コンタクトプラグCLbが貫通しないコンタクト接続部が形成されたビット線BL(例えば、図5のBL2)の端部の形状を示す図である。

【0031】

ビット線BLは、メモリセルMCが配置されるメモリセル領域AR1及びコンタクトプラグCLbが配置される周辺領域AR2に亘って形成されている(以下の説明において、ビット線BLと平行で、周辺領域AR2からメモリセル領域AR1に向かう方向を「カラム方向」、ワード線WLと平行で、カラム方向に対し直交する方向を、「ロウ方向」とい

10

20

30

40

50

う)。

【0032】

複数のビット線BLは、所定の幅F（例えば、43nm）で形成されており、相互にロウ方向に長さFの間隔をもって平行に配置されている。

【0033】

ロウ方向に所定位置からk（kは整数）番目のビット線BL（k）は、メモリセル領域AR1において、周辺領域AR2の境界までカラム方向に伸びている。

【0034】

k+1番目のビット線BL（k+1）は、メモリセル領域AR1において、周辺領域AR2の境界までカラム方向に伸び、この位置からカラム方向に距離2F離れた位置P11、位置P11からカラム方向に距離2F、ロウ方向に距離2F離れた位置P12、位置P12からカラム方向に距離2F離れた位置P13、位置P13からカラム方向に距離2F、ロウ方向に距離2F離れた位置P14を経由してカラム方向に延びる。また、位置P14からカラム方向に距離7F離れた位置と、この位置からカラム方向に4F、ロウ方向に距離6.5F離れた位置とを頂点とする矩形形状のコンタクト接続部Cb1が形成されている。

10

【0035】

k+2番目のビット線BL（k+2）は、メモリセル領域AR1において、周辺領域AR2の境界までカラム方向に伸びている。

【0036】

20

k+3番目のビット線BL（k+3）は、メモリセル領域AR1において、周辺領域AR2の境界までカラム方向に伸び、さらに、この位置からカラム方向に距離2F離れた位置まで伸びている。また、領域AR1及びAR2の境界の位置からカラム方向に距離1.4Fの位置と、この位置からカラム方向に距離4F、ロウ方向に距離8.5F離れた位置を頂点とする矩形形状のコンタクト接続部Cb3が形成されている。

【0037】

k+4番目のビット線BL（k+4）は、メモリセル領域AR1において、周辺領域AR2の境界までカラム方向に伸びている。

【0038】

k+5番目のビット線BL（k+5）は、メモリセル領域AR1において、周辺領域AR2の境界までカラム方向に伸び、この位置からカラム方向に距離2F離れた位置P51、位置P51からカラム方向に距離6F、ロウ方向に距離6F離れた位置P52を経由し、位置P52からカラム方向に距離20F離れた位置まで伸びる。また、位置P52からカラム方向に距離1F、ロウ方向に距離8.5F離れた位置と、この位置からカラム方向に距離4F、ロウ方向に距離8F離れた位置とを頂点とする矩形形状のコンタクト接続部Cb5が形成されている。

30

【0039】

k+6番目のビット線BL（k+6）は、メモリセル領域AR1において、周辺領域AR2の境界までカラム方向に伸びている。

【0040】

40

k+7番目のビット線BL（k+7）は、メモリセル領域AR1において、周辺領域AR2の境界までカラム方向に伸び、この位置からカラム方向に距離2F離れた位置P71、位置P71からカラム方向に距離4F、ロウ方向に距離4F離れた位置P72、位置P72からカラム方向に距離2.4F離れた位置P73、位置P73からカラム方向に距離4F、ロウ方向に距離4F離れた位置P74を経由し、カラム方向に延びている。また、位置P74から、カラム方向に距離6.5F離れた位置と、この位置からカラム方向に距離4F、ロウ方向に距離6.5F離れた位置とを頂点とする矩形形状のコンタクト接続部Cb7が形成されている。

【0041】

また、これらビット線BL（k）～BL（k+7）のいずれにも接続されない島状のコ

50

ンタクト接続部 C b 1'、C b 3'、C b 5' 及び C b 7' が形成されている。

【0042】

コンタクト接続部 C b 1' は、位置 P 7 4 からカラム方向に距離 1 5 F、ロウ方向に距離 6. 5 F 離れた位置と、この位置から、カラム方向に距離 4 F、ロウ方向に距離 5 F 離れた位置とを頂点とする矩形形状の領域である。

【0043】

コンタクト接続部 C b 3' は、位置 P 5 2 からカラム方向に距離 1 6 F、ロウ方向に距離 - 8. 5 F 離れた位置と、この位置からロウ方向に距離 4 F、カラム方向に距離 7 F 離れた位置とを頂点とする矩形形状の領域である。

【0044】

コンタクト接続部 C b 5' は、位置 P 5 2 からカラム方向に距離 1 1 F、ロウ方向に距離 - 8. 5 F 離れた位置と、この位置からロウ方向に距離 4 F、カラム方向に距離 7 F 離れた位置とを頂点とする矩形形状の領域である。

【0045】

コンタクト接続部 C b 7' は、位置 P 1 4 からカラム方向に距離 1 0 F、ロウ方向に距離 6. 5 F 離れた位置と、この位置から、カラム方向に距離 4 F、ロウ方向に距離 5 F 離れた位置とを頂点とする矩形形状の領域である。

【0046】

これらコンタクト接続部 C b 1'、C b 3'、C b 5' 及び C b 7' の図示されない面には、コンタクトプラグ C L b を介して下層のビット線 B L に接続されている。他方、図示された面には、コンタクトプラグ C L b を介して上層のビット線 B L に接続されている。つまり、コンタクト接続部 C b 1'、C b 3'、C b 5' 及び C b 7' は、下層及び上層のビット線 B L の接続を中継するものである。

【0047】

上記、ビット線 B L (k) ~ B L (k + 7) とコンタクト接続部 C b 1'、C b 3'、C b 5' 及び C b 7' からなるレイアウトパターンが、ロウ方向に繰り返し配置されている。

【0048】

図 7 は、コンタクトプラグ C L b が貫通するコンタクト接続部が形成されたビット線 B L (例えば図 5 の B L 1) の端部の形状を示す図である。

【0049】

図 7 のレイアウトは、コンタクト接続部 C b を除いて、図 6 と同様である。

【0050】

ビット線 B L (k + 1) のコンタクト接続部 C b 1 は、位置 P 1 4 からカラム方向に距離 1 2 F 離れた位置と、この位置からカラム方向に距離 4 F、ロウ方向に距離 6. 5 F 離れた位置とを頂点とする矩形領域に形成されている。

【0051】

ビット線 B L (k + 3) のコンタクト接続部 C b 3 は、ビット線 B L (k + 3) とメモリセル領域 A R 1 及び周辺領域 A R 2 との境界面とが交差する位置からカラム方向に距離 2 4 F、ロウ方向に 0. 5 F 離れた位置と、この位置からカラム方向に距離 4 F、ロウ方向に距離 8 F 離れた位置とを頂点とする矩形領域に形成されている。

【0052】

ビット線 B L (k + 5) のコンタクト接続部 C b 5 は、位置 P 5 2 からカラム方向に距離 1 1 F、ロウ方向にロウ方向に距離 - 8. 5 F 離れた位置と、この位置からカラム方向に距離 4 F、ロウ方向に距離 8 F 離れた位置を頂点とする矩形領域に形成されている。

【0053】

ビット線 B L (k + 7) のコンタクト接続部 C b 7 は、位置 P 7 4 からカラム方向に距離 1 0 F、ロウ方向に距離 - 6. 5 F 離れた位置と、この位置からカラム方向に距離 4 F、ロウ方向に距離 6 F 離れた位置とを頂点とする矩形領域に形成されている。

【0054】

10

20

30

40

50

図 7 に示すコンタクト接続部 C b は、図 6 に示したコンタクト接続部 C b と異なる形状をしている。具体的には、ビット線 B L に対して直交する方向に張り出した 2 つの板状部分からなる。これら 2 つの板状部分は、コンタクトプラグ C L b の両側面を挟むように形成されており、コンタクトプラグ C L b の側面に形成された段差部分に接触するように配置されている。これにより、各ビット線 B L は、それぞれが有するコンタクト接続部 C b 及びこのコンタクト接続部 C b に挟まれたコンタクトプラグ C L b を介して、異なる層のビット線 B L に接続される。

【 0 0 5 5 】

なお、図 6、図 7 は、ビット線 B L について説明したが、ワード線 W L についても、カラム方向及びロウ方向が相互に変わることを除いて、同様の形状となる。

10

【 0 0 5 6 】

次に、上述したコンタクト接続部 C b 及びコンタクトプラグ C L b のサイズについて説明する。

【 0 0 5 7 】

図 8 は、図 5 の点線で囲まれた部分におけるコンタクト接続部 C b 及びコンタクトプラグ C L b の形状を示す図である。図中の各箇所の長さ表示は、ビット線 B L 1 とコンタクト接続部 C b とコンタクトプラグ C L b の接触幅を 6 0 n m 以上、ビット線 B L 1 の高さにおけるコンタクトプラグ C L b の幅 w c m 1 を 8 0 n m 以上確保する条件により算出された値である。その他、金属配線 M 1 からビット線 B L 1 上面の高さ h b m = 4 9 0 n m、ビット線 B L 1 上面からビット線 B L 2 底面の高さ h m t = 4 8 0 n m、ビット線 B L 1 の厚さ t l m = 5 0 n m となっている。

20

【 0 0 5 8 】

はじめに、カラム方向のサイズを求める。

【 0 0 5 9 】

まず、ビット線 B L 1 の端部に形成され、コンタクトプラグを挟むよう形成された板状部分の幅 w l m、2 つの板状部分の間隔 w c m 1、ビット線 B L 1 上面の高さにおけるコンタクトプラグの幅 w c m 2 を求める。w l m のばらつきを ± 2 0 %、w c l 2 のばらつきを ± 2 0 %、ビット線 B L 1 のコンタクト接続部 C b とコンタクトプラグ C L b の合わせずれを 2 5 n m とすると、5 n m のマージンを確保したい場合、以下の (1)、(2) 式が成立する。

30

【 0 0 6 0 】

【 数 1 】

$$wcm2 = 1.2 \times wlm + 80 \quad \dots(1)$$

【 0 0 6 1 】

【 数 2 】

$$\frac{wlm}{2} - \sqrt{\left(\frac{0.2 \times wlm}{2}\right)^2 + \left(\frac{0.2 \times wcm2}{2}\right)^2} - \sqrt{25^2} > 5 \quad \dots(2)$$

40

【 0 0 6 2 】

(1)、(2) 式より w l m = 1 1 0 n m、w c m 2 = 2 1 0 n m となる。したがって、w l m のばらつき ± 2 0 %、w c l 2 のばらつき ± 2 0 % を考慮すると、w l m = 1 1 0 ± 2 2 n m、w c m 2 = 2 1 0 ± 4 2 n m、w c m 1 = 9 6 ± 1 6 n m となる。

【 0 0 6 3 】

続いて、ビット線 B L 2 底面 (コンタクトプラグ C L b 上面) の幅 w c t とビット線 B L 2 のコンタクト接続部 C b の幅を求める。ここで、w c t は、コンタクトプラグのテーパー角度を 8 7 ° とすると、

50

【 0 0 6 4 】

【数 3】

$$wct = \frac{hmt}{\tan 87^\circ} \times 2 + wcm2 \quad \dots(3)$$

【 0 0 6 5 】

となり、 $wct = 260 \text{ nm}$ となる。したがって、 wct の寸法ばらつき20%を考慮すると、 $wct = 260 \pm 52 \text{ nm}$ となる。また、ビット線BL2のコンタクト接続部の寸法ばらつき $\pm 20\%$ 、テーパ角度のばらつき $\pm 0.5^\circ$ 、ビット線BL2方向の規格合わせずれ 25 nm 及びビット線BL2のコンタクト接続部の幅 wlt 自身の寸法ばらつき20%を考慮すると、ビット線BL2のコンタクト接続部の幅 wlt は、 $460 \pm 92 \text{ nm}$ となる。

10

【 0 0 6 6 】

続いて、ビット線BL1上面（コンタクトプラグCLb底面）の幅 wcb と、金属配線M1のコンタクト接続部M1の幅 wlb を求める。ここで、 wcb は、コンタクトプラグのテーパ角度を 87° とすると、

【 0 0 6 7 】

【数 4】

$$wcb = wcm1 - 2 \times \frac{(hbm - tlm)}{\tan 87^\circ} \quad \dots(4)$$

20

【 0 0 6 8 】

となり、 $wcb = 50 \text{ nm}$ となる。したがって、 wcb の寸法ばらつき20%を考慮すると、 $wcb = 50 \pm 10 \text{ nm}$ となる。また、金属配線M1のコンタクト接続部の寸法ばらつき $\pm 20\%$ 、テーパ角度のばらつき $\pm 0.5^\circ$ 、金属配線M1方向の規格合わせずれ 25 nm 及び金属配線M1のコンタクト接続部の幅 wlb 自身の寸法ばらつき20%を考慮すると、金属配線M1のコンタクト接続部の幅 wlb は、 $133 \pm 27 \text{ nm}$ となる。

【 0 0 6 9 】

30

次に、ロウ方向のサイズを求める。

【 0 0 7 0 】

まず、コンタクトプラグCLb底部の奥行 dcb を求める。ここで、 43 nm 世代のNANDフラッシュメモリのコンタクトプラグ底部の面積が $43 \text{ nm} \times 43 \text{ nm}$ であり、これと同程度の面積を確保したい場合、先ほど求めたコンタクトプラグCLb底部の幅 $wcb = 50 \text{ nm}$ から、 $dcb = 36 \text{ nm}$ となる。また、 dcb の寸法ばらつき15%を考慮すると、 $dcb = 36 \pm 10 \text{ nm}$ となる。また、金属配線M1のコンタクト接続部の奥行 dlb と、金属配線M1のコンタクト接続部のワード線WL方向のフリンジ dmb とすると、 5 nm のマージンを確保したい場合、以下の(5)、(6)式が成立する。

【 0 0 7 1 】

40

【数 5】

$$dlb = 2 \times dmb + dcb \quad \dots(5)$$

【 0 0 7 2 】

【数 6】

$$dmb - \sqrt{\left(\frac{0.15 \times dmb}{2}\right)^2 + \left(\frac{0.2 \times dcb}{2}\right)^2} - \sqrt{25^2 + 25^2 + 25^2} > 5 \quad \dots(6)$$

【0073】

(5)、(6) 式より、 $dmb = 62 \text{ nm}$ 、 $d1b = 160 \text{ nm}$ となる。したがって、 $d1b$ の寸法ばらつき15%を考慮すると $d1b = 160 \pm 24 \text{ nm}$ となる。

【0074】

続いて、ビット線BL1上面の高さにおけるコンタクトプラグCLbの奥行dcmとビット線BL2底面の高さにおけるコンタクトプラグd1bの奥行dctを求める。ここで、コンタクトプラグのカラム方向のテーパ角度を 88.5° とすると、 $dcm = 62 \text{ nm}$ となり、寸法ばらつき15%を考慮すると、 $dcm = 62 \pm 10 \text{ nm}$ となる。また、 $dct = 86 \text{ nm}$ となり、寸法ばらつき15%を考慮すると、 $dct = 86 \pm 13 \text{ nm}$ となる。

【0075】

参考までに、比較例に係る半導体装置のコンタクト接続部とコンタクトプラグの各サイズを図26に示す。これは、図25に示すように、ビット線BLの端部に形成されたコンタクト接続部の板状部分が、コンタクトプラグの一方にしかない場合のコンタクトプラグ及びコンタクト接続部の場合である。図中の各値も、図8の場合と同様に、ビット線BL1のコンタクト接続部上面とコンタクトプラグの接触幅w1cを 60 nm 以上、ビット線BL1の高さにおけるコンタクトプラグの幅wcm1を 80 nm 以上確保する条件により算出されている。

【0076】

この場合、ビット線BL201上面におけるビット線BL方向のずれは、コンタクトプラグの寸法ばらつき等のアライメント誤差を考慮すると 56 nm となる。よって、 $w1c = 117 \pm 56 \text{ nm}$ 、 $wcm1 = 137 \pm 56 \text{ nm}$ となり、ビット線BL2上面における幅wcm2については $255 \pm 51 \text{ nm}$ となる。

【0077】

次に、ビット線BL方向のコンタクトプラグCLbのテーパ角度を 87° とし、アライメント誤差を考慮すると、ビット線BL1下面及び金属配線M1上面におけるコンタクトプラグCLbの幅wct及びwcbは、それぞれ、 $wcb = 85 \pm 17 \text{ nm}$ 及び $wct = 300 \pm 60 \text{ nm}$ となる。これに伴い、例えばビット線BL2のコンタクト接続部の幅w1tを、 $w1t = 505 \pm 101 \text{ nm}$ 確保する必要がある。

【0078】

以上から分かるように、本実施形態によれば、図26に示す比較例の場合に比べコンタクト接続部及びコンタクトプラグのサイズ(幅)を小さくできることが分かる。これは、図26の比較例のようにコンタクト接続部の板状部分が一方にしかない場合、コンタクト接続部に対してコンタクトプラグがずれる結果、そのずれに比例して接触面積が増減するため、コンタクト接続部及びコンタクトプラグの寸法ばらつき以外にもコンタクト接続部に対するコンタクトプラグの合わせずれをも考慮して接触面積を確保する必要があるためである。この点、図8に示す本実施形態のようにコンタクト接続部の板状部分がコンタクトプラグの両側面にある場合、コンタクト接続部に対してコンタクトプラグがずれ、一方の板状部分とコンタクトプラグとの接触面積が減少したとしても、他方の板状部分とコンタクトプラグとの接触面積が増大するため、2枚の板状部分とコンタクトプラグとの総接触面積に大きく影響しない。つまり図8に示す本実施形態は、図25に示す比較例に比べ、コンタクト接続部とコンタクトプラグとの合わせずれに強い構造を有していると言える。

【0079】

10

20

30

40

50

また、コンタクト接続部及びコンタクトプラグを小さくできる結果、本実施形態によれば、コンタクト接続部及びコンタクトプラグの領域確保に伴うチップ面積の増大をより抑止することができる。

【0080】

(本実施形態に係る半導体記憶装置の製造工程)

図9～図20は、ワード線WL1以上の形成工程を工程順に示した斜視図である。これら図9～図20を適宜参照しながら、上層部の形成プロセスを説明する。なお、説明の便宜上、一部の絶縁体は図示を省略している。

【0081】

まず、層間絶縁膜が形成されたら、その上に順次、層L11～L17を堆積させる。ここで、層L11～L17は、後に、ワード線WL1、バリアメタルBM、非オーミック素子NO、電極EL1、可変抵抗素子VR、電極EL2、及びストップSTとなる。

【0082】

続いて、上記積層構造の上面に図示しないTEOS等のハードマスクを形成し、これをマスクとして第1の異方性エッチングを行う。これにより、層L11～L17を貫通する所定ピッチでカラム方向に延びる溝T1が形成される。ここで、層L11は、ワード線WL1となる。また、ワード線WL1の端部のコンタクト接続部が省略されているが、コンタクト接続部は図7に示すようなパターンのマスクを使用して形成されている。

【0083】

続いて、溝T1に層間絶縁層IL11を埋め込む。この層間絶縁膜IL11の材料は絶縁性が良く、低容量、埋め込み特性が良いものが好適である。続いて、CMP等による平坦化処理を行い、余分な層間絶縁膜IL11の除去と、層L17の露出を行う。ここで、層L17（後にストップST）は、CMPによる平坦化処理を積層方向の所定位置で止める役割を果たす。

【0084】

続いて、CMPを行った面上に順次、層L21～L27を堆積させる。層L21～層L27は、後にビット線BL1、電極EL2、可変抵抗素子VR、電極EL1、非オーミック素子NO、バリアメタルBM、及びストップSTとなる。ここまでの状態を図9に示す。

【0085】

続いて、図9に示した積層構造の上面に図示しないTEOS等のハードマスクを形成し、これをマスクとして第2の異方性エッチングを行う。これにより、図10に示すように、層L21～L27、層L12～L17を貫通する所定ピッチでロウ方向に延びる溝T2が形成される。ここで、層L21は、ビット線BL1となる。また、ビット線BL1の端部も図7に示すようなパターンのマスクを使用してコンタクト接続部が形成されている。この工程により、層L12～L17は、バリアメタルBM、非オーミック素子NO、電極EL1、可変抵抗素子VR、電極EL2、及びストップSTとからなるメモリセルMCが形成される。

【0086】

続いて、溝T2に層間絶縁層IL12を埋め込む。この層間絶縁膜IL12の材料は絶縁性が良く、低容量、埋め込み特性が良いものが好適である。次に、CMP等による平坦化処理を行い、余分な層間絶縁膜IL12の除去と、層L27の露出を行う。ここで、層L27（後にストップST）は、CMPによる平坦化処理を積層方向の所定位置で止める役割を果たす。この平坦化処理後の断面図を図11に示す。また、図11に示す工程において、周辺領域に、層間絶縁層IL12（図示せず）を貫通するように、コンタクトプラグCLwを形成する。ここで、コンタクトプラグCLwは、ワード線WL1の端部に形成されたコンタクト接続部に形成される。また、コンタクトプラグCLwは、ワード線WL1の下部に位置する下部配線M1（図5参照）に接するように形成する。

【0087】

続いて、CMPを行った図11に示す面上に順次、層L31～L37を堆積させる。層

10

20

30

40

50

L 3 1～層 L 3 7 は、後にワード線 W L 2、バリアメタル B M、非オーミック素子 N O、電極 E L 1、可変抵抗素子 V R、電極 E L 2、及びストッパ S T となる。ここまでの状態を図 1 2 に示す。

【0088】

続いて、図 1 2 に示した積層構造の上面に図示しない T E O S 等のハードマスクを形成し、これをマスクとして第 3 の異方性エッチングを行う。これにより、層 L 3 1～L 3 7、層 L 2 2～L 2 7 を貫通する所定ピッチでロウ方向に延びる溝 T 3 が形成される。ここで、層 L 3 1 は、ワード線 W L 2 となる。このワード線 W L 2 の端部のコンタクト接続部は、図 6 に示すようなパターンのマスクを用いて形成される。また、コンタクトプラグ C L w の上面は、ワード線 W L 2 のコンタクト接続部に接することとなる。この工程により、層 L 2 2～L 2 7 は、電極 E L 2、可変抵抗素子 V R、電極 E L 1、非オーミック素子 N O、バリアメタル B M、及びストッパ S T となり、メモリ M C が形成される。次に、溝 T 3 に層間絶縁層 I L 1 3 を埋め込む。この層間絶縁膜 I L 1 3 の材料は絶縁性が良く、低容量、埋め込み特性が良いものが好適である。続いて、C M P 等による平坦化処理を行い、余分な層間絶縁膜 I L 1 3 の除去と、層 L 3 7 の露出を行う。ここで、層 L 3 7（後にストッパ S T）は、C M P による平坦化処理を積層方向の所定位置で止める役割を果たす。この平坦化処理後の断面図を図 1 3 に示す。

10

【0089】

続いて、図 1 4 に示す工程において、層間絶縁層 I L 1 1～I L 1 3 を貫通するように、コンタクトプラグ C L b を形成する。ここで、コンタクトプラグ C L b は、ビット線 B L 1 の端部に形成されたコンタクト接続部に接するように形成する。コンタクトプラグ C L b は、ワード線 W L 1 の下部に位置する下部配線 M 1（図 5 参照）に接するように形成する。

20

【0090】

続いて、図 1 5 に示すように、C M P を行った図 1 4 に示す面上に順次、層 L 4 1～L 4 7 を堆積させる。層 L 4 1～層 L 4 7 は、後にビット線 B L 2、電極 E L 2、可変抵抗素子 V R、電極 E L 1、非オーミック素子 N O、バリアメタル B M、及びストッパ S T となる。

【0091】

続いて、図 1 5 に示した積層構造の上面に図示しない T E O S 等のハードマスクを形成し、これをマスクとして第 4 の異方性エッチングを行う。これにより、層 L 4 1～L 4 7、層 L 3 2～L 3 7 を貫通する所定ピッチでカラム方向に延びる溝 T 4 が形成される。ここで、層 L 4 1 は、ビット線 B L 2 となる。このビット線 B L 2 の端部のコンタクト接続部も図 6 に示すようなパターンのマスクを用いて形成されている。また、コンタクトプラグ C L b の上面は、ビット線 B L 2 の端部に接することとなる。この工程により、層 L 3 2～L 3 7 は、バリアメタル B M、非オーミック素子 N O、電極 E L 1、可変抵抗素子 V R、電極 E L 2、及びストッパ S T となり、メモリ M C が形成される。

30

【0092】

続いて、溝 T 4 に層間絶縁層 I L 1 4 を埋め込む。この層間絶縁膜 I L 1 4 の材料は絶縁性が良く、低容量、埋め込み特性が良いものが好適である。次に、C M P 等による平坦化処理を行い、余分な層間絶縁膜 I L 1 4 の除去と、層 L 4 7 の露出を行う。ここで、層 L 4 7（後にストッパ S T）は、C M P による平坦化処理を積層方向の所定位置で止める役割を果たす。この平坦化処理後の断面図を図 1 6 に示す。

40

【0093】

続いて、図 1 7 に示すように、C M P を行った図 1 6 に示す面上に、層 L 5 1 を堆積させる。層 L 5 1 は、後にワード線 W L 3 となる。

【0094】

続いて、図 1 7 に示した層 L 5 1 の上面に図示しない T E O S 等のハードマスクを形成し、これをマスクとして第 5 の異方性エッチングを行う。これにより、層 L 5 1、層 L 4 2～L 4 7 を貫通する所定ピッチでロウ方向に延びる溝 T 5 が形成される。ここで、層 L

50

51は、ワード線WL3となる。このワード線WL3の端部のコンタクト接続部は、図6に示すようなパターンのマスクを用いて形成される。この工程により、層L42～L47は、電極EL2、可変抵抗素子VR、電極EL1、非オーミック素子NO、バリアメタルBM、及びストッパSTとなり、メモリMCが形成される。次に、溝T5に層間絶縁層IL15を埋め込む。この層間絶縁膜IL15の材料は絶縁性が良く、低容量、埋め込み特性が良いものが好適である。この処理後の断面図を図18に示す。

【0095】

続いて、層間絶縁層IL15の上に、さらに層間絶縁層を堆積させる。その後、層間絶縁層IL16～IL13を貫通するようにコンタクトプラグCLwを形成する。コンタクトプラグCLwは、ワード線WL3の端部に形成されたコンタクト接続部に接するように形成する。コンタクトプラグCLwは、ワード線WL2の端部上面に接するように形成する。また、層間絶縁層IL16～IL14を貫通するようにコンタクトプラグCLbを形成する。コンタクトプラグCLbは、ビット線BL2の端部上面に接するように形成する。コンタクトプラグCLbは、ビット線BL2の端部上面に接するように形成する。これら処理後の断面図を図19に示す。

10

【0096】

そして、層間絶縁層IL6の上部（コンタクトプラグCLの上面）に上部配線層M2を形成することで、図20に示す半導体記憶装置が製造される。

【0097】

本実施形態によれば、積層構造を持つ半導体記憶装置において、層間接続により生ずる接触抵抗の増大を招くことなく、コンタクトプラグの断面積及び層毎のコンタクト接続部の面積を縮小することができる。

20

【0098】

〔第2の実施形態〕

図21、22は、本発明の第2の実施形態に係る半導体記憶装置のコンタクト接続部とコンタクトプラグの形状であり、半導体記憶装置の積層方向を面法線とする断面形状を示す図である。

【0099】

コンタクトプラグの断面形状は、特定の断面形状に限定されるものではなく、例えば、図21のような円形状、図22のようなカラム方向に長軸をもつ楕円形状であっても、第1の実施形態と同様の効果を得ることができる。なお、楕円形状の場合、円形状に比べカラム方向のコンタクトプラグのずれに対するコンタクトプラグとコンタクト接続部の接触面積への影響をより低減させることができる。

30

【0100】

〔第3の実施形態〕

図23、24は、本発明の第3の実施形態に係る半導体記憶装置のコンタクト接続部及びコンタクトプラグを示す図であり、半導体記憶装置の積層方向を面法線とする断面形状である。

【0101】

図23のコンタクトプラグCLは、ビット線BL200、BL201及びBL202を接続するものであり、コンタクトプラグCLbとビット線BL201との接触面積s201a、s201bの総和と、コンタクトプラグCLbとビット線BL200の接触面積s200が同じになっている。これにより、コンタクトプラグCLb及びビット線BL200、BL201の接続抵抗を同じにすることができる。

40

【0102】

また、図24のコンタクトプラグCLbは、ビット線BL205～BL208を接続するものであり、コンタクトプラグCLbとビット線BL207との接触面積s207a、s207bの総和、コンタクトプラグCLbとビット線BL206との接触面積s206a、s206bの総和、コンタクトプラグCLbとビット線BL205の接触面積s205が同じになっている。この場合も、図23の場合と同様、コンタ

50

クトプラグCLb及びビット線BL205～BL207の各接続抵抗を同じにすることができる。

【0103】

本実施形態によれば、本実施形態によれば、第1の実施形態と同様の効果を得られるばかりでなく、配線毎のコンタクトプラグとコンタクト接続部との接触面積を同じにすることができ、各ビット線の特性ばらつきを抑制することができる。

【0104】

なお、図23及び図24は、ビット線BL及びコンタクトプラグCLbの接続について説明したが、ワード線WL及びコンタクトプラグCLwの接続の場合であっても同様である。

【図面の簡単な説明】

【0105】

【図1】本発明の第1実施形態に係る半導体記憶装置のブロック図である。

【図2】同実施形態に係る半導体記憶装置のメモリセルセルアレイの一部を示す斜視図である。

【図3】図2におけるI-I'線で切断して矢印方向に見たメモリセル1個分の断面図である。

【図4】同実施形態に係る半導体記憶装置の可変抵抗素子の一例を示す模式的な断面図である。

【図5】同実施形態に係る半導体記憶装置のワード線、ビット線及びコンタクトプラグの接続を示す概略図である。

【図6】同実施形態に係る半導体記憶装置のビット線の上面図である。

【図7】同実施形態に係る半導体記憶装置のビット線の上面図である。

【図8】同実施形態に係る半導体記憶装置のコンタクト接続部及びコンタクトプラグについてのワード線を面法線とする断面形状を示す図である。

【図9】同実施形態に係る半導体記憶装置の製造工程を示す斜視図である。

【図10】同実施形態に係る半導体記憶装置の製造工程を示す斜視図である。

【図11】同実施形態に係る半導体記憶装置の製造工程を示す斜視図である。

【図12】同実施形態に係る半導体記憶装置の製造工程を示す斜視図である。

【図13】同実施形態に係る半導体記憶装置の製造工程を示す斜視図である。

【図14】同実施形態に係る半導体記憶装置の製造工程を示す斜視図である。

【図15】同実施形態に係る半導体記憶装置の製造工程を示す斜視図である。

【図16】同実施形態に係る半導体記憶装置の製造工程を示す斜視図である。

【図17】同実施形態に係る半導体記憶装置の製造工程を示す斜視図である。

【図18】同実施形態に係る半導体記憶装置の製造工程を示す斜視図である。

【図19】同実施形態に係る半導体記憶装置の製造工程を示す斜視図である。

【図20】同実施形態に係る半導体記憶装置の製造工程を示す斜視図である。

【図21】本発明の第2の実施形態に係る半導体記憶装置のビット線の上面図及びコンタクトプラグの断面図である。

【図22】同実施形態に係る他の半導体記憶装置のビット線の上面図とコンタクトプラグの断面図である。

【図23】本発明の第3の実施形態に係る半導体記憶装置のコンタクト接続部及びコンタクトプラグについてのワード線を面法線とする断面形状を示す図である。

【図24】同実施形態に係る他の半導体記憶装置のコンタクト接続部及びコンタクトプラグについてのワード線を面法線とする断面形状を示す図である。

【図25】第1の実施形態との比較例である半導体記憶装置のビット線の上面図である。

【図26】同半導体記憶装置のコンタクト接続部及びコンタクトプラグについてのワード線を面法線とする断面形状を示す図である。

【符号の説明】

【0106】

10

20

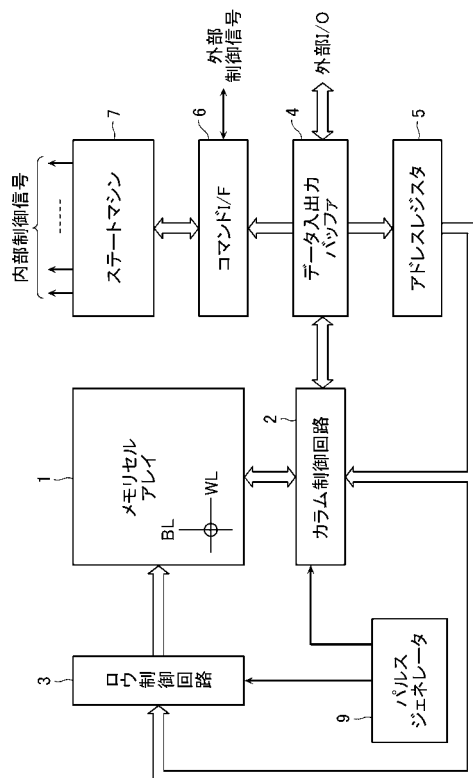
30

40

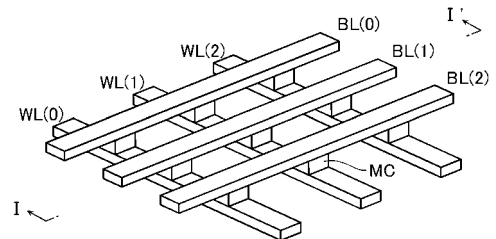
50

1・・・メモリセルアレイ、2・・・カラム制御回路、3・・・ロウ制御回路、4・・・データ入出力バッファ、5・・・アドレスレジスタ、6・・・コマンド・インタフェース、7・・・ステートマシン、9・・・パルスジェネレータ、10、11・・・電極層、12・・・記録層、13・・・メタル層。

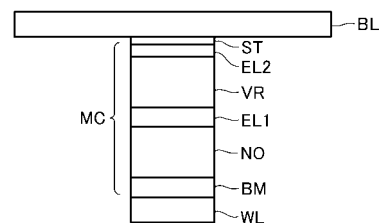
【図 1】



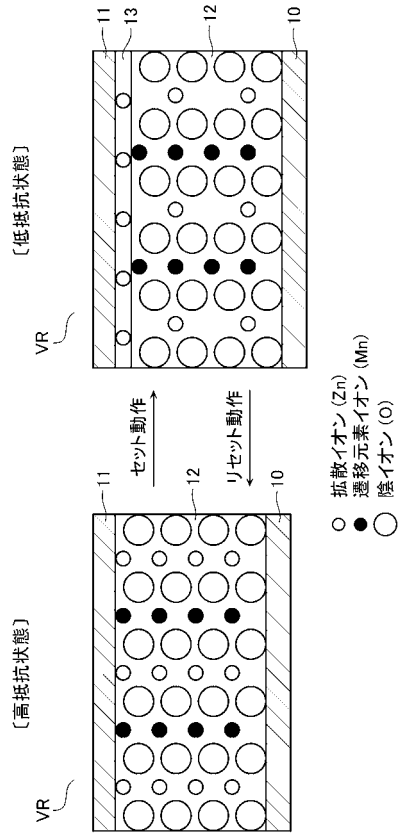
【図 2】



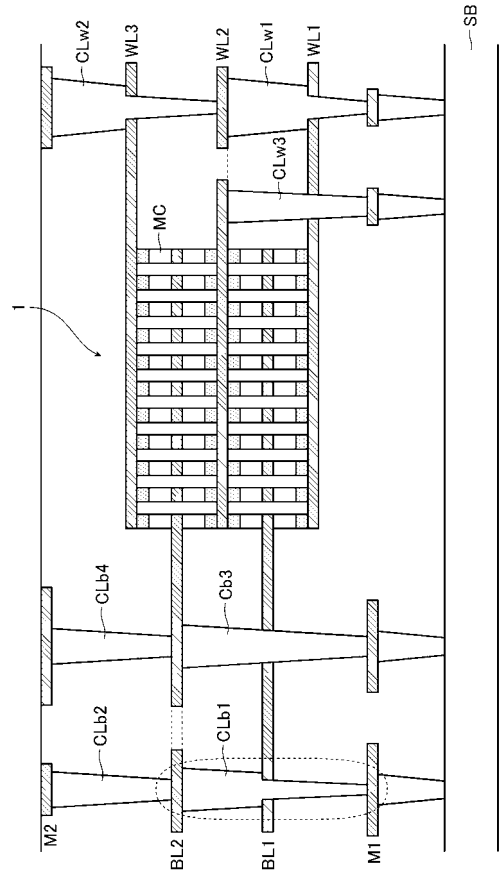
【図 3】



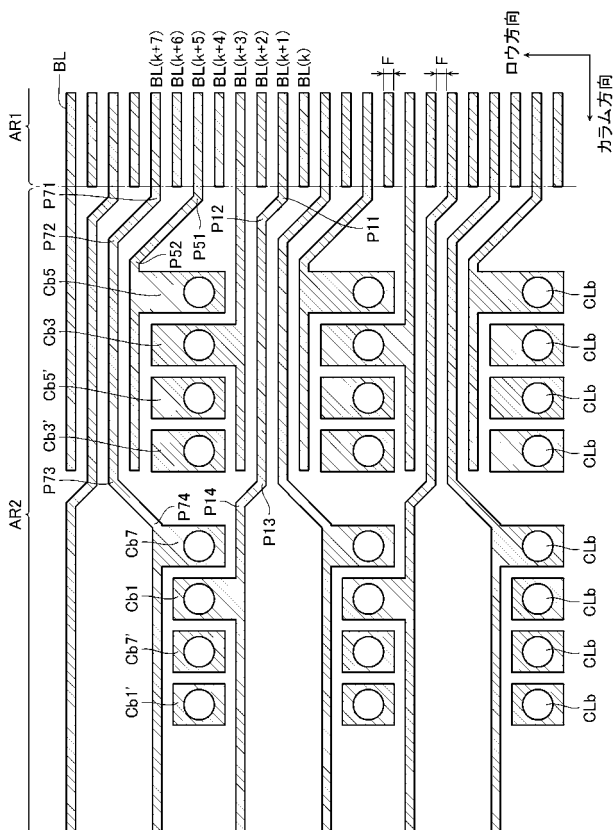
【図 4】



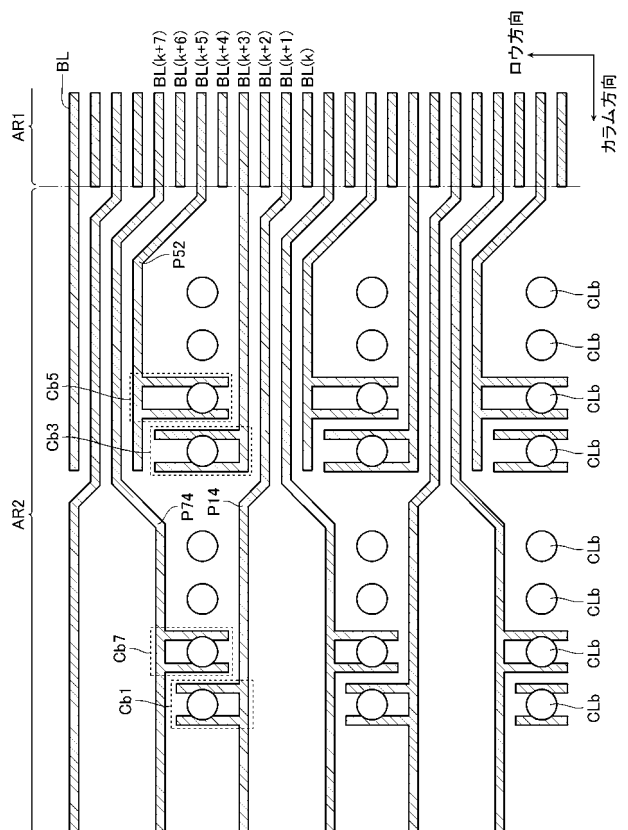
【図 5】



【図 6】



【図 7】



【図 9】

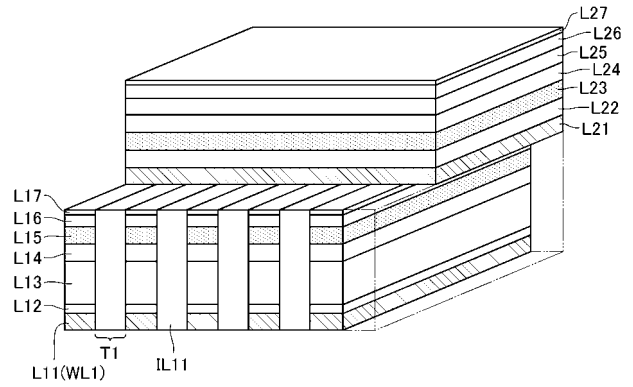
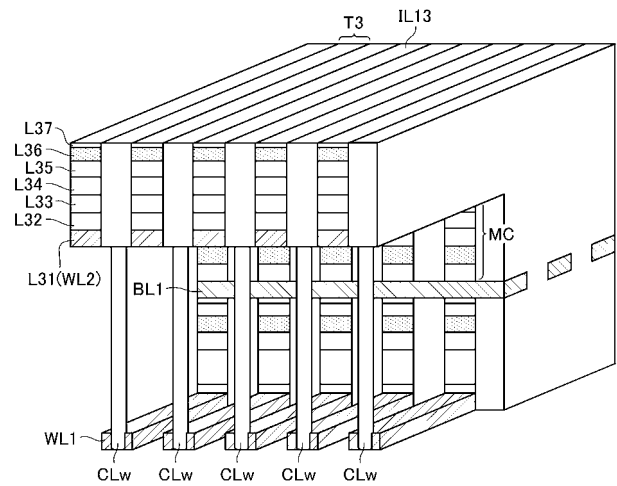


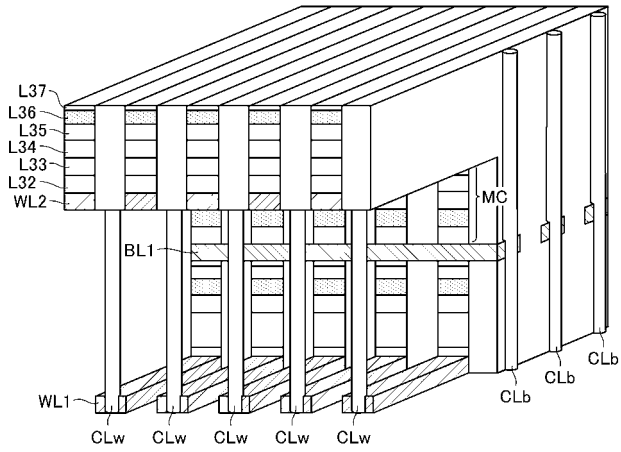
Diagram illustrating a semiconductor device structure, showing a series of vertical pillars (MC) and a horizontal layer (L21, labeled BL1). The structure is composed of multiple layers (L12, L13, L14, L15, L16, L17, L21, L22, L23, L24, L25, L26, L27) and a substrate (WL1). The pillars are labeled MC, and the horizontal layer is labeled L21 (BL1). The thickness of the pillars is indicated as T2.

【图 1 3】

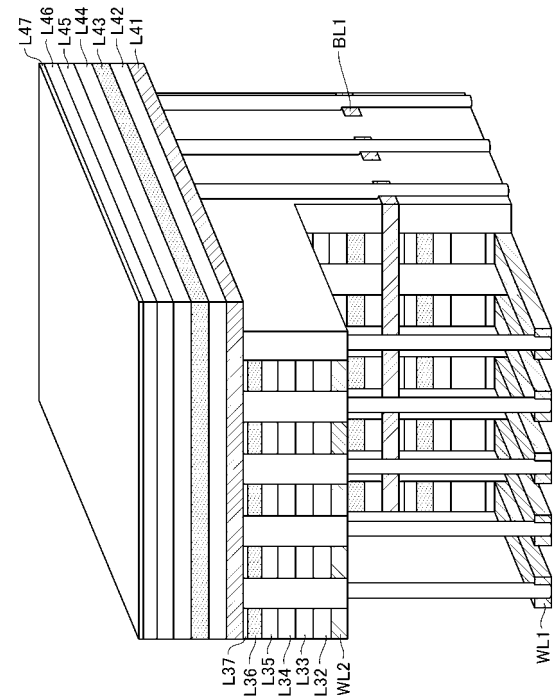


A perspective view of a multi-layered substrate assembly. The assembly consists of a top layer labeled L37, followed by layers L36, L35, L34, L33, L32, and L31. Below these is a core layer BL1. The bottom surface features five vertical columns labeled CLW, each supported by a base WL1.

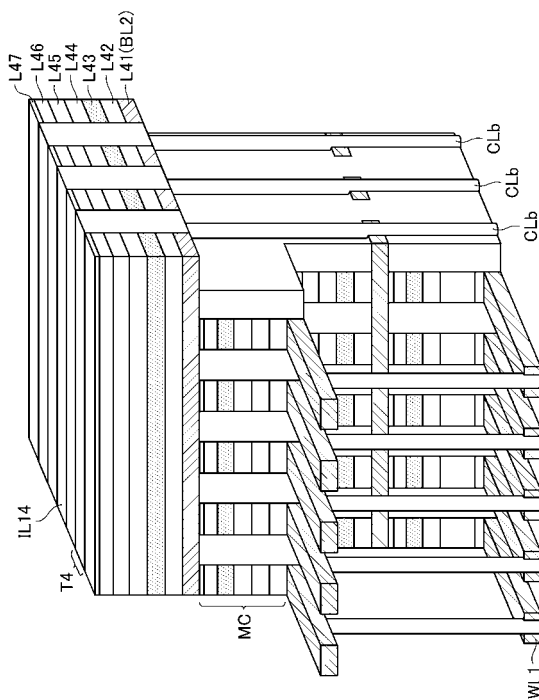
【図 14】



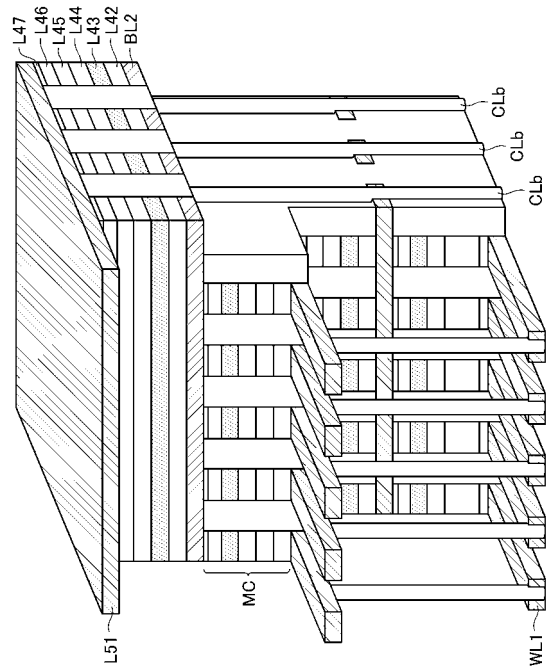
【図 15】



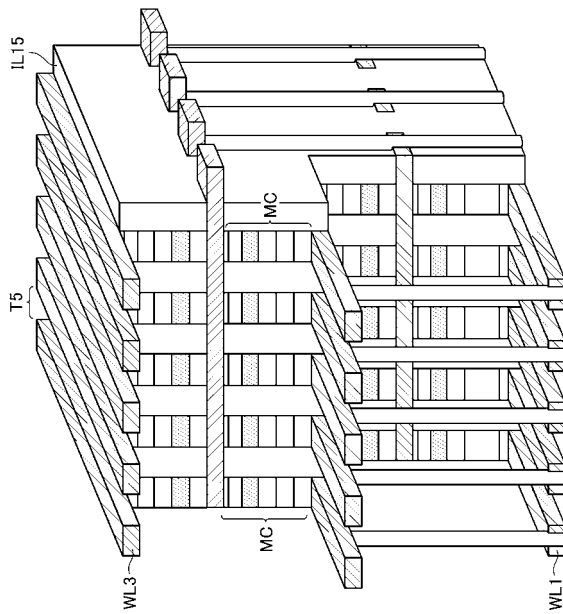
【図 16】



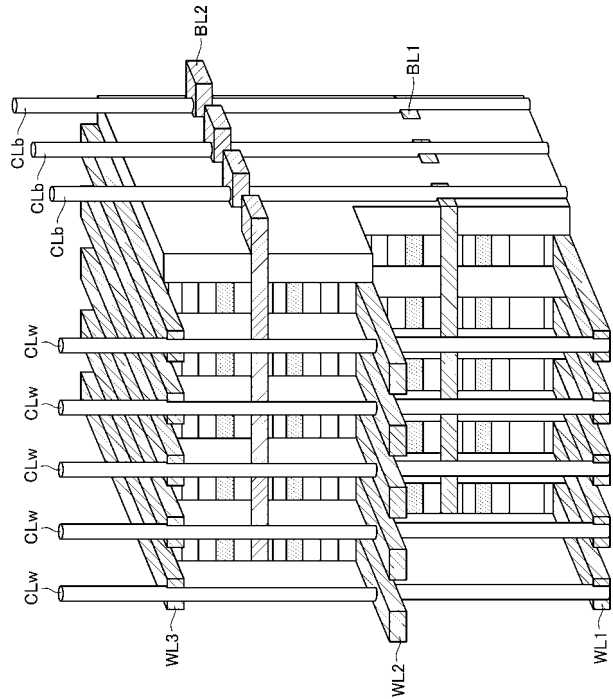
【図 17】



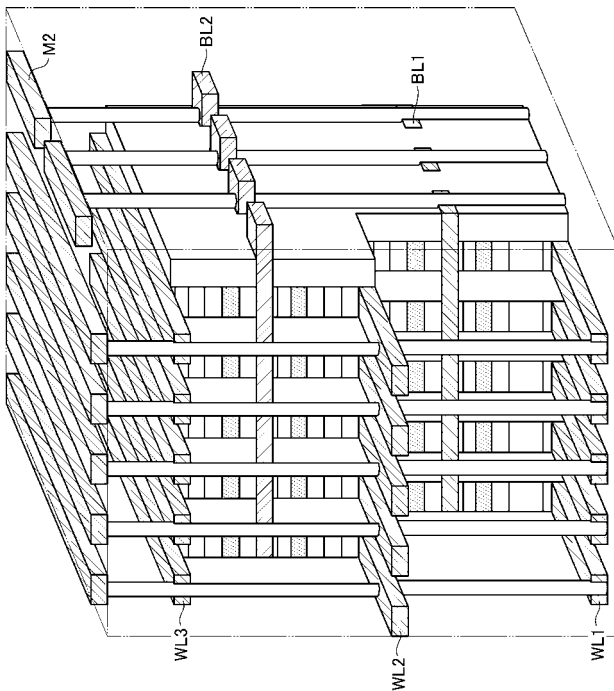
【図 18】



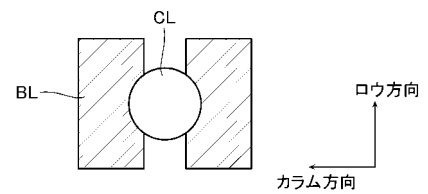
【図 19】



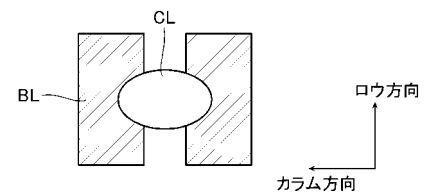
【図 20】



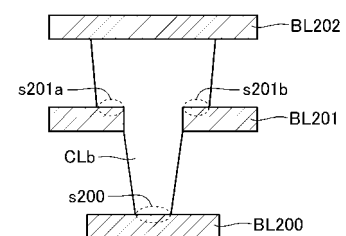
【図 21】



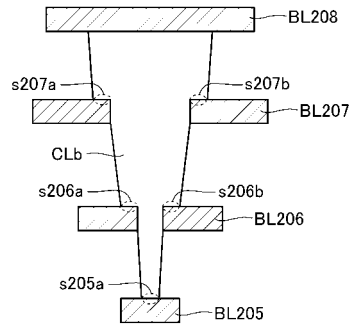
【図 22】



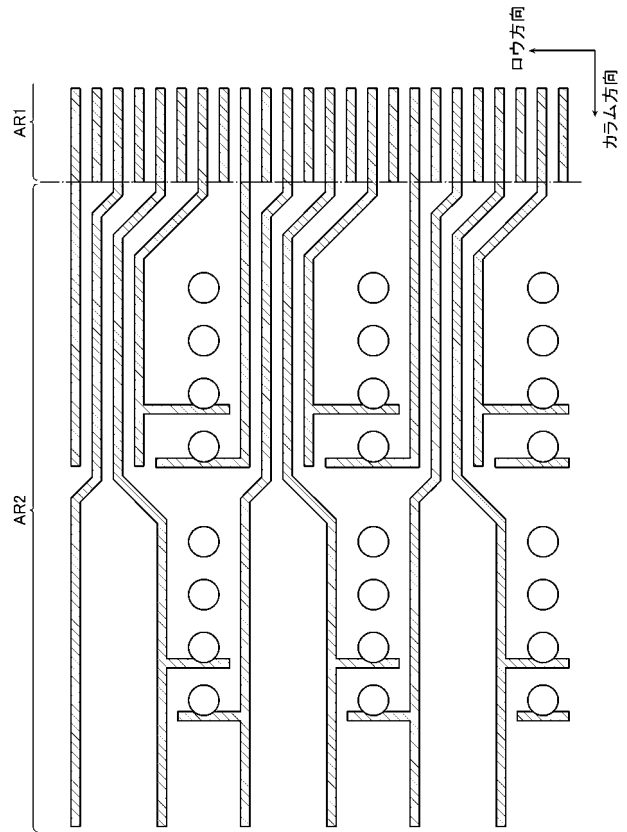
【図 23】



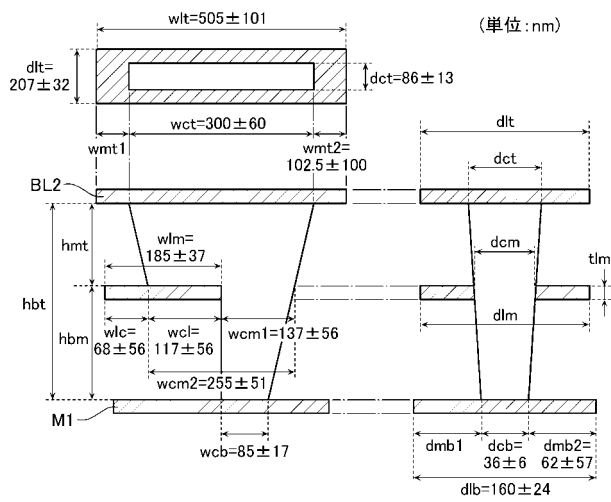
【図 2 4】



【図 2 5】



【図 2 6】



フロントページの続き

Fターム(参考) 5F083 FZ10 GA02 GA09 GA10 GA27 JA35 JA36 JA38 JA39 JA40
JA43 JA44 KA03 KA06 LA12 LA21 MA04 MA06 MA16 MA19
PR40