



(12) 发明专利

(10) 授权公告号 CN 1905098 B

(45) 授权公告日 2011.01.12

(21) 申请号 200610099526.5

US 5014158 A, 1991.05.07, 全文.

(22) 申请日 2006.07.26

审查员 王浩

(30) 优先权数据

2005-215839 2005.07.26 JP

(73) 专利权人 太阳诱电株式会社

地址 日本东京

(72) 发明人 西川润 水野洋一 织茂宽和

(74) 专利代理机构 北京律盟知识产权代理有限公司
责任公司 11287

代理人 王允方 刘国伟

(51) Int. Cl.

H01G 4/30 (2006.01)

H01G 4/005 (2006.01)

H01G 13/00 (2006.01)

(56) 对比文件

US 5097391 A, 1992.03.17, 说明书第1栏第
46-53行, 第2栏第3-24行.

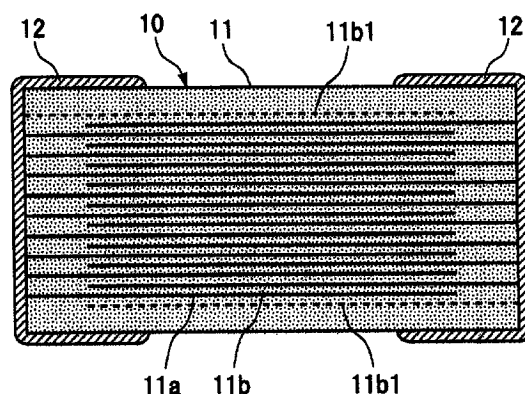
权利要求书 1 页 说明书 4 页 附图 1 页

(54) 发明名称

积层陶瓷电容器及其制造方法

(57) 摘要

本发明涉及一种积层陶瓷电容器, 无论介电体层与内部电极层的厚度以及零件尺寸如何, 均可以确保具有较高的抗折强度。此积层陶瓷电容器通过使用已实质性氧化的电极层作为多个内部电极层 11b 中位于积层方向两端的两个内部电极层 11b1, 并且利用已氧化的内部电极层 11b1 的抗折强度显著高于未氧化的剩余内部电极层 11b 的抗折强度, 而可以提高积层陶瓷电容器 10 自身的抗折强度。



1. 一种积层陶瓷电容器,其特征在于包括:

陶瓷芯片,其具备介电体层与内部电极层交替堆积的结构,且

陶瓷芯片内的多个内部电极层,包含已氧化的内部电极层和未氧化的剩余内部电极层,所述已氧化的内部电极层是包含积层方向两端位置的两个内部电极层的在积层方向两侧的一层以上的内部电极层;此外

已氧化的内部电极层不再发挥内部电极层的功能,因此可以通过未氧化的剩余内部电极层而决定静电容量。

2. 根据权利要求1所述的积层陶瓷电容器,其特征在于:已氧化的内部电极层是位于多个内部电极层中且在积层方向两端的两个内部电极层。

积层陶瓷电容器及其制造方法

技术领域

[0001] 本发明涉及具备介电体层与内部电极层交替堆积之结构的积层陶瓷电容器,以及此积层陶瓷电容器的制造方法。

背景技术

[0002] 积层陶瓷电容器具备陶瓷芯片与一对外部电极,此陶瓷芯片具有介电体层与内部电极层交替积层、且内部电极层的端缘在陶瓷芯片的相对面上交替露出的构造,此一对外部电极形成在陶瓷芯片的相对面上,使与内部电极层的露出端缘导通。

[0003] 此积层陶瓷电容器经过以下步骤而制造:未烧制介电体层的制作步骤,将至少含有 BaTiO_3 等介电体粉末的陶瓷浆料涂布并干燥而制作;未烧制内部电极层的形成步骤,将至少含有 Ni 等金属粉末的导电糊印刷在未烧制介电体层的表面而形成;未烧制陶瓷芯片的获取步骤,将已形成未烧制内部电极层的未烧制介电体层堆积压接而获取;未烧制外部电极的形成步骤,将至少含有 Ni 等金属粉末的导电糊涂布在未烧制陶瓷芯片的表面而形成;以及未烧制陶瓷芯片的烧制步骤,对未烧制外部电极形成以后进行。当构成内部电极层的金属为贱金属时,为了进行特性调整,根据需要对烧制后的陶瓷芯片追加称为再氧化处理的热处理步骤。

[0004] 【专利文献 1】日本专利特开平 8-124785 号公报

发明内容

[0005] 对于同时要求大容量化及小型化的积层陶瓷电容器,为实现大容量化,使介电体层与内部电极层薄层化为厚度 μm 级,另外,为实现小型化,零件尺寸甚至达到称为 0603(长度方向的基准值为 0.6mm,宽度及高度尺寸的基准值为 0.3mm) 或者 0402(长度方向的基准值为 0.4mm,宽度及高度尺寸的基准值为 0.2mm) 的尺寸。

[0006] 如此规格的积层陶瓷电容器,其抗折强度当然低于上述具有较大厚度及尺寸的积层陶瓷电容器,故而在基板上安装时或者在安装状态下产生应力时等,可能产生缺损或破裂等。

[0007] 本发明是鉴于以上所述创作而成,目的在于提供一种积层陶瓷电容器,无论介电体层与内部电极层的厚度以及零件尺寸如何,均可以确保具有较高的抗折强度,并且提供一种可以恰适制造此积层陶瓷电容器的制造方法。

[0008] 为了实现上述目的,本发明的积层陶瓷电容器,其特征在于:具备介电体层与内部电极层交替堆积的结构,且多个内部电极层中,包含位于积层方向两端的两个内部电极层的积层方向两侧之一层以上的内部电极层,已实质性氧化而不再发挥内部电极层的功能,因此可以通过未氧化的剩余内部电极层而决定静电容量。

[0009] 根据此积层陶瓷电容器,通过使用已实质性氧化的电极层作为多个内部电极层中,包含位于积层方向两端的两个内部电极层的积层方向两侧之一层以上的内部电极层,并且利用已氧化的内部电极层的抗折强度显著高于未氧化的剩余内部电极层的抗折强度,

可以提高积层陶瓷电容器自身的抗折强度。

[0010] 另一方面,本发明的积层陶瓷电容器的制造方法,其特征在于:此积层陶瓷电容器具备介电体层与内部电极层交替堆积的结构,且包括:未烧制介电体层的制作步骤,将至少含有介电体粉末的陶瓷浆料涂布并干燥而制作;未烧制内部电极层的形成步骤,将至少含有金属粉末的导电糊印刷在未烧制介电体层的表面而形成;未烧制陶瓷芯片的获取步骤,将已形成未烧制内部电极层的未烧制介电体层堆积压接而获取;未烧制外部电极的形成步骤,将至少含有金属粉末的导电糊涂布在未烧制陶瓷芯片的表面而形成;以及未烧制陶瓷芯片的烧制步骤,在未烧制外部电极形成以后,将未烧制陶瓷芯片在下述条件下进行烧制,即,包含位于积层方向两端的两个未烧制内部电极层的积层方向两侧之一层以上的未烧制内部电极层,已实质性氧化。

[0011] 根据此积层陶瓷电容器的制造方法,可以恰当且准确地制造上述积层陶瓷电容器。

[0012] 根据本发明,能够提供一种积层陶瓷电容器,无论介电体层与内部电极层的厚度以及零件尺寸如何,均可以确保具有较高的抗折强度,并且提供一种可以恰当制造此积层陶瓷电容器的制造方法。

[0013] 本发明的上述目的以及除此以外的目的、结构特征、作用效果,根据以下说明与附图显然可知。

附图说明

[0014] 图 1 是应用本发明的积层陶瓷电容器的立体图。

[0015] 图 2 是图 1 所示的介电体层内纹理的配置形态示意图。

[0016] [符号说明]

[0017] 10 积层型陶瓷电容器

[0018] 11 陶瓷芯片

[0019] 11a 介电体层

[0020] 11b 内部电极层

[0021] 11b1 位于积层方向两端的两个内部电极层

具体实施方式

[0022] 图 1 是应用本发明的积层陶瓷电容器的立体图,图 2 是图 1 的 a-a 线剖面图。

[0023] 图 1 所示的积层型陶瓷电容器 10 具备:形成立方体形状的陶瓷芯片 11,与设置在此陶瓷芯片 11 的长度方向两端部的外部电极 12、12。

[0024] 陶瓷芯片 11 具有包含 BaTiO_3 等介电材料的介电体层 11a、与包含 Ni、Cu、Sn 等贱金属材料的内部电极层 11b 交替堆积的结构,内部电极层 11b 的端缘在陶瓷芯片 11 的相对面(长度方向的端面)上交替露出。各外部电极 12 具备包含 Ni、Cu、SN 等贱金属材料的多层构造,并且最内侧层与内部电极层 11b 的露出端缘导通。

[0025] 多个内部电极层 11b 中位于积层方向两端的两个内部电极层 11b1,已实质性氧化而不再发挥内部电极层的功能。即,对于此积层陶瓷电容器 10,多个内部电极层 11b 中,通过除上述两个内部电极层 11b1 以外的剩余内部电极层 11b 而决定静电容量。

[0026] 以下,说明上述积层陶瓷电容器的优选制造方法例。

[0027] 首先,利用球磨机搅拌混合 BaTiO_3 粉末;相对于此 BaTiO_3 粉末的重量,称量 10 重量分的有机黏合剂(聚乙烯醇缩丁醛);以及以所称量的与此 BaTiO_3 粉末的重量比为 1 : 1 的乙醇为主成分的有机溶剂,制作陶瓷浆料。

[0028] 另一方面,利用球磨机搅拌混合 Ni 粉末;相对于此 Ni 粉末的重量,称量 10 重量分的纤维素黏合剂;以及以所称量的与此 Ni 粉末的重量比为 1 : 1 的松油醇为主成分的有机溶剂,制作导电糊。

[0029] 接着,将上述陶瓷浆料以特定厚度涂布在 PET 等薄膜上,并进行干燥,制作未烧制介电体层。

[0030] 然后,将上述导电糊以特定的厚度、形状以及图案印刷在未烧制介电体层的表面,形成未烧制内部电极层。上述未烧制介电体层具有多层获取时的对应尺寸,并且未烧制内部电极层中获取层数所对应的数量印刷为矩阵状。

[0031] 其次,将已形成未烧制内部电极层的未烧制介电体层进行堆积热压接,并将所获得的积层体在特定的位置,以特定尺寸加以分割,获得未烧制陶瓷芯片。在此未烧制陶瓷芯片的相对面(长度方向的端面)上,未烧制内部电极层的端缘交替露出。

[0032] 接着,将上述导电糊分别涂布在未烧制陶瓷芯片的长度方向的端面,形成未烧制外部电极。

[0033] 接着,将已形成未烧制外部电极的未烧制陶瓷芯片在下述条件下进行烧制,即:多个未烧制内部电极层中,位于积层方向两端的两个未烧制内部电极层已实质性氧化。此处,采用以下的烧制环境作为烧制条件,即:氧分压高于通常的氧分压($\text{PPo}_2 < 10^{-9} \text{atm} \rightleftharpoons 10^{-4} \text{Pa}$),具体而言,具有相当于 Ni-NiO 的平衡氧分压的氧分压($\text{PPo}_2 = 10^{-8} \text{atm} \rightleftharpoons 10^{-3} \text{Pa}$),在烧制环境中以 1260°C 进行烧制。由此,将包含未烧制内部电极层的未烧制陶瓷芯片与未烧制外部电极同时烧制。

[0034] 然后,对烧制后的陶瓷芯片在 N_2 环境中以 $600 \sim 800^\circ\text{C}$ 进行再氧化处理,以进行特性调整,获得如图 1 及图 2 所示的积层陶瓷电容器。

[0035] 将由以上制法所获得的积层陶瓷 10 在积层方向上切断,并对切断面进行研磨以后,以 EPMA(Electron Probe Micro Analyzer,电子探针)检查此切断面的 O_2 浓度分布,结果可确认,位于积层方向两端的两个内部电极层 11b1 的 O_2 浓度显著高于其他内部电极层 11b,并且此两个内部电极层 11b1 已实质性氧化而不再发挥内部电极层的功能。

[0036] 即,对于此积层陶瓷电容器 10,在多个内部电极层 11b 中,位于积层方向两端的两个内部电极层 11b1 已实质性氧化而不再发挥内部电极层的功能,因此通过除此两个内部电极层 11b1 以外的剩余内部电极层 11b 而决定静电容量。

[0037] 另外,由于上述两个内部电极层 11b1 已实质性氧化,故而其抗折强度显著高于未氧化的剩余的内部电极层 11b。

[0038] 以此方式,根据上述积层陶瓷电容器 10,通过使用已实质性氧化的电极层作为多个内部电极层 11b 中位于积层方向两端的两个内部电极层 11b1,并且利用已氧化的内部电极层 11b1 的抗折强度显著高于未氧化的剩余内部电极层 11b 的抗折强度,而可以提高积层陶瓷电容器 10 自身的抗折强度。因此,在介电体层 11a 与内部电极层 11b 的厚度以及零件尺寸较小时,也可以确保积层陶瓷电容器 10 具有较高的抗折强度,故而在基板上安装时或

者在安装状态下产生应力时等,此积层陶瓷电容器 10 也难以产生缺损或破裂等不良现象。

[0039] 另一方面,根据上述积层陶瓷电容器 10 的制造方法,可以恰当且准确地制造上述积层陶瓷电容器 10。

[0040] 另外,将已形成未烧制外部电极的未烧制陶瓷芯片在具有高于通常的氧分压环境中烧制,因此可以抑制未烧制介电体层内中 BaTiO_3 的颗粒生长,并且可以防止由于此颗粒生长所导致的温度特性下降或者耐电压性下降等。

[0041] 再者,在上述制造方法例中,通过使用具有相当于 Ni-NiO 的平衡氧分压的氧分压 ($\text{PPO}_2 = 10^{-8} \text{atm}$) 之烧制环境进行烧制,而获得已实质性氧化的两个内部电极层 11b1,而通过调整升温速度或降温速度等烧制条件,或者在大气中执行再氧化处理步骤等,可以更准确地使上述两个内部电极层 11b1 氧化。

[0042] 另外,上述积层陶瓷电容器 10 及其制造方法例中,使多个内部电极层 11b 中位于积层方向两端的两个内部电极层 11b1 实质性氧化,但除位于积层方向两端的两个内部电极层 11b1 以外,也可以使位于各内侧的第 2 层内部电极层实质性氧化,或者,位于各内侧的第 2 层与第 3 层的内部电极层实质性氧化。总之,使包含位于积层方向两端的两个内部电极层的积层方向两侧之一层以上的内部电极层实质性氧化时,也可以获得上述同样的作用效果。

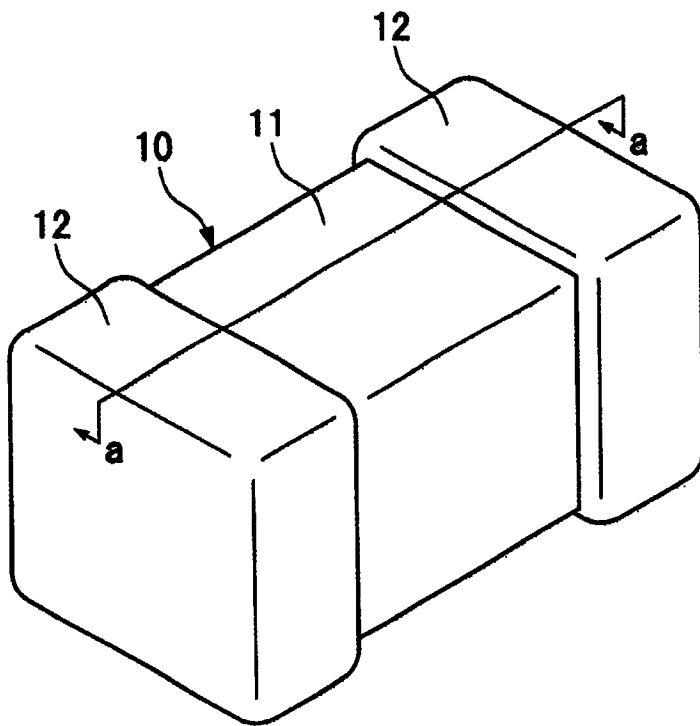


图 1

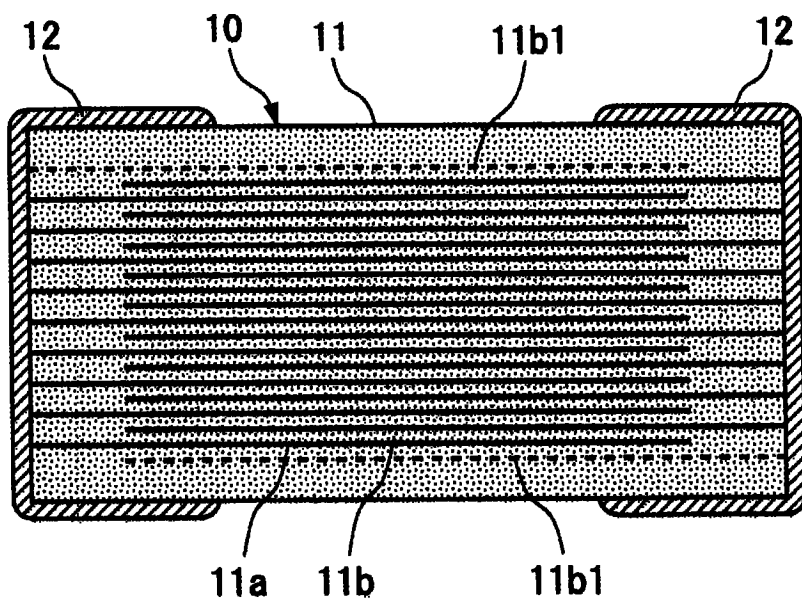


图 2