(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 3 月 19 日(19.03.2015)

WIPO | PCT

(10) 国際公開番号
WO 2015/037348 A1

(51) 国際特許分類:
H01L 29/78 (2006.01) *H01L 29/41* (2006.01)
H01L 21/28 (2006.01) *H01L 29/47* (2006.01)
H01L 21/336 (2006.01) *H01L 29/739* (2006.01)
H01L 27/04 (2006.01) *H01L 29/872* (2006.01)
H01L 29/12 (2006.01)

(21) 国際出願番号: PCT/JP2014/069797

(22) 国際出願日: 2014 年 7 月 28 日(28.07.2014)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2013-189578 2013 年 9 月 12 日(12.09.2013) JP

(71) 出願人: 住友電気工業株式会社 (SUMITOMO ELECTRIC INDUSTRIES, LTD.) [JP/JP]; 〒 5410041 大阪府大阪市中央区北浜四丁目５番３３号 Osaka (JP).

(72) 発明者: 日吉 透(HIYOSHI, Toru); 〒5540024 大阪府大阪市此花区島屋一丁目１番３号 住友電気工業株式会社 大阪製作所内 Osaka (JP). 和田 圭司(WADA, Keiji); 〒5540024 大阪府大阪市此花区島屋一丁目１番３号 住友電気工業株式会社 大阪製作所内 Osaka (JP). 増田 健良(MASUDA, Takeyoshi); 〒5540024 大阪府大阪市此花区島屋一丁目１番３号 住友電気工業株式会社 大阪製作所内 Osaka (JP).

(74) 代理人: 特許業務法人深見特許事務所 (FUKAMI PATENT OFFICE, P.C.); 〒5300005 大阪府大阪市北区中之島二丁目２番７号 中之島セントラルタワー Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

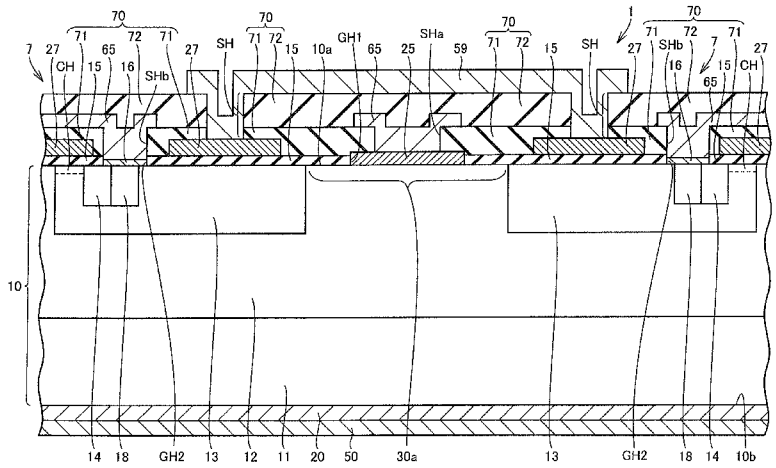
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

[続葉有]

(54) **Title**: SILICON CARBIDE SEMICONDUCTOR DEVICE

(54) 発明の名称 : 炭化珪素半導体装置

FIG.2



(57) **Abstract**: Provided is a silicon carbide semiconductor device that enables integration of a transistor element and a Schottky barrier diode while avoiding the diminution of an active region. A silicon carbide semiconductor device (1) is provided with: a silicon carbide layer (10); a gate insulating film (15); a Schottky electrode (25) that is Schottky-junctioned to a drift layer (12) via a first contact hole (GH1) and an opening (30a); gate electrodes (27) that are arranged upon the gate insulating film (15); an insulating layer (70) that is arranged so as to overlie the gate insulating film (15), the gate electrodes (27), and the Schottky electrode (25) and in which are formed second contact holes that expose the gate electrodes (27); and a gate pad electrode (59) that is arranged upon the insulating layer (70) so as to overlap the Schottky electrode (25) with regard to a plan view and that is electrically connected to the gate electrodes (27) via the second contact holes.

(57) 要約:

[続葉有]

WO 2015/037348 A1

(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

活性領域の減少を避けつつトランジスタ素子とショットキーバリアダイオードとを集積化することが可能な炭化珪素半導体装置を提供する。炭化珪素半導体装置（１）は、炭化珪素層（１０）と、ゲート絶縁膜（１５）と、第１のコンタクトホール（ＧＨ１）および開口部（３０ａ）を通じて、ドリフト層（１２）にショットキー接合されたショットキー電極（２５）と、ゲート絶縁膜（１５）上に配置されたゲート電極（２７）と、ゲート絶縁膜（１５）、ゲート電極（２７）およびショットキー電極（２５）を覆うように配置されて、ゲート電極（２７）を露出させるための第２のコンタクトホールが形成された絶縁層（７０）と、平面視においてショットキー電極（２５）と重なるように、絶縁層（７０）上に配置されて、第２のコンタクトホールを通じてゲート電極（２７）と電気的に接続されたゲートパッド電極（５９）とを備える。

明　細　書

発明の名称 ： 炭化珪素半導体装置

技術分野

[0001] 本発明は、炭化珪素半導体装置に関する。より特定的には、本発明は、トランジスタ素子とショットキーバリアダイオードとを備えた炭化珪素半導体装置に関する。

背景技術

[0002] 近年、半導体装置を構成する材料に炭化珪素（ＳｉＣ）を採用することが進められつつある。炭化珪素基板を採用した半導体装置として、トランジスタ素子とショットキーバリアダイオード（以下、ＳＢＤとも呼ぶ）とを集積化した半導体装置が提案されている。

[0003] たとえば特開２００９－１９４１２７号公報（特許文献１）によれば、炭化珪素半導体装置は、ＤＭＯＳＦＥＴ領域と、ＳＢＤ領域とを有する。ＳＢＤ領域は、ＤＭＯＳＦＥＴ領域とは異なる領域である。たとえば特開２００３－２２９５７０号公報（特許文献２）によれば、ＳＢＤは、電界効果トランジスタのドレイン領域のうちのゲート絶縁膜に覆われていない部分と、金属とによって構成される。たとえば特開２００９－８８３２６号公報（特許文献３）によれば、ＳＢＤは、ＭＯＳＦＥＴの２つのセルの間に形成される。

先行技術文献

特許文献

[0004] 特許文献1：特開２００９－１９４１２７号公報

特許文献2：特開２００３－２２９５７０号公報

特許文献3：特開２００９－８８３２６号公報

発明の概要

発明が解決しようとする課題

[0005] 特開２００９－１９４１２７号公報は、半導体装置におけるＳＢＤ領域の

配置を具体的に開示していない。一般に、半導体装置は半導体チップの形態で実現される。ＳＢＤ領域とＤＭＯＳＦＥＴ領域との両方を半導体装置に配置することにより、半導体チップの面積が増大するという問題が発生する。

[0006] 一方、特開２００３－２２９５７０号公報によれば、ＳＢＤがトランジスタセルに一体化される。このため、トランジスタセルのサイズが大きくなる。特開２００３－２２９５７０号公報によれば、複数のトランジスタセルの間にＳＢＤが配置される。このため、複数のトランジスタセル同士の間隔が大きくなる。これらの構成によれば、ＭＯＳＦＥＴの活性領域、すなわちＭＯＳＦＥＴにおいて電流を流すことに寄与する領域の面積が減少する。言い換えると、ある大きさの電流を流すために必要な半導体チップの面積が増加する。

[0007] 本発明の目的は、活性領域の減少を避けつつトランジスタ素子とショットキーバリアダイオードとを集積化することが可能な炭化珪素半導体装置を提供することである。

課題を解決するための手段

[0008] 本発明の一局面に係る炭化珪素半導体装置は、第１の主面と、第１の主面に対して反対側に位置する第２の主面とを有する炭化珪素層を備える。炭化珪素層は、第１の導電型を有し、炭化珪素層の第１の主面を規定するドリフト層と、ドリフト層に設けられて、第１の導電型とは異なる第２の導電型を有し、ドリフト層を露出させる少なくとも１つの開口部が設けられたボディ領域とを含む。炭化珪素半導体装置は、炭化珪素層第１の主面上に配置されて、開口部に対応する位置に第１の主面を露出させるための第１のコンタクトホールが形成されたゲート絶縁膜と、第１のコンタクトホールおよび開口部を通じて、ドリフト層にショットキー接合されたショットキー電極と、ゲート絶縁膜上に配置されたゲート電極と、ゲート絶縁膜、ゲート電極およびショットキー電極を覆うように配置されて、ゲート電極を露出させるための第２のコンタクトホールが形成された絶縁層と、平面視においてショットキー電極と重なるように、絶縁層上に配置されて、第２のコンタクトホールを

通じてゲート電極と電気的に接続されたゲートパッド電極とを備える。

発明の効果

[0009] 本発明によれば、活性領域の減少を避けつつトランジスタ素子とショットキーバリアダイオードとを集積化することが可能な炭化珪素半導体装置を提供することができる。

図面の簡単な説明

[0010] [図1]本発明の第１の実施の形態に係る炭化珪素半導体装置１の構成を概略的に示す平面図である。

[図2]図１のＩＩ－ＩＩ線に沿った断面図である。

[図3]ゲートパッド電極、ゲート電極およびショットキー電極の配置を示す平面図である。

[図4]ゲートパッド電極の下方の一般的な構造を示した図である。

[図5]第１の実施の形態に係る炭化珪素半導体装置１の等価回路図である。

[図6]第１の実施の形態に係る炭化珪素半導体装置１によって構成されたインバータ回路の一例を示した回路図である。

[図7]本発明の第２の実施の形態に係る炭化珪素半導体装置１Ａの構成を概略的に示す平面図である。

[図8]図７のＶＩＩＩ－ＶＩＩＩ線に沿った、炭化珪素半導体装置１Ａの一部断面図である。

[図9]図４に示した構成において、ドレイン電極とソースパッド電極との間に逆バイアス電圧が印加された状態を模式的に示した断面図である。

[図10]第２の実施の形態に係る炭化珪素半導体装置１Ａに逆バイアス電圧が印加された状態を模式的に示した断面図である。

[図11]本発明の第３の実施の形態に係る炭化珪素半導体装置１Ｂの構成を概略的に示す平面図である。

[図12]図１１のＸＩＩ－ＸＩＩ線に沿った一部断面図である。

[図13]第３の実施の形態に係る炭化珪素半導体装置１Ｂの別の構成を示す断面図である。

[図14]第３の実施の形態に係る炭化珪素半導体装置のさらに別の構成を示した図である。

[図15]第３の実施の形態に係る炭化珪素半導体装置のさらに別の構成を示した図である。

[図16]ショットキー電極２５の配置の別の実施形態を示した平面図である。

[図17]ショットキー電極２５の配置のさらに別の実施形態を示した平面図である。

発明を実施するための形態

[0011] [本願発明の実施形態の説明]

最初に本発明の実施形態を列記して説明する。

[0012] （１）本発明の実施形態に係る炭化珪素半導体装置（１，１Ａ，１Ｂ）は、第１の主面（１０ａ）と、第１の主面（１０ａ）に対して反対側に位置する第２の主面（１０ｂ）とを有する炭化珪素層（１０）を備える。炭化珪素層（１０）は、第１の導電型を有し、炭化珪素層（１０）の第１の主面（１０ａ）を規定するドリフト層（１２）と、ドリフト層（１２）に設けられて、第１の導電型とは異なる第２の導電型を有し、ドリフト層（１２）を露出させる少なくとも１つの開口部（３０ａ）が設けられたボディ領域（１３）とを含む。炭化珪素半導体装置（１，１Ａ，１Ｂ）は、炭化珪素層（１０）の第１の主面（１０ａ）上に配置されて、開口部（３０ａ）上に第１の主面（１０ａ）を露出させるための第１のコンタクトホール（ＧＨ１）が形成されたゲート絶縁膜（１５）と、第１のコンタクトホール（ＧＨ１）および開口部（３０ａ）を通じて、ドリフト層（１２）にショットキー接合されたショットキー電極（２５）と、ゲート絶縁膜（１５）上に配置されたゲート電極（２７）と、ゲート絶縁膜（１５）、ゲート電極（２７）およびショットキー電極（２５）を覆うように配置されて、ゲート電極（２７）を露出させるための第２のコンタクトホールが形成された絶縁層（７０）と、平面視においてショットキー電極（２５）と重なるように、絶縁層（７０）上に配置されて、第２のコンタクトホールを通じてゲート電極（２７）と電気的に接

続されたゲートパッド電極（５９）とを備える。

[0013] この構成によれば、活性領域の減少を避けつつトランジスタ素子とショットキーバリアダイオードとを集積化することが可能な炭化珪素半導体装置を実現することができる。ゲートパッド電極は、半導体チップにおいて比較的大きな面積を占める。このゲートパッド電極の下方にショットキー電極を配置することにより、ゲートパッド電極の下にショットキーバリアダイオードが形成される。ゲートパッド電極の下方にはトランジスタ素子が形成されていない。このため、活性領域の減少を防ぐことができる。

[0014] なお、「平面視」とは、第１の主面の法線方向に沿って第１の主面（あるいは第２の主面）を見ることに相当する。

[0015] （２）好ましくは、開口部（３０ａ）は、第１のコンタクトホール（ＧＨ１）の内側に配置される。ショットキー電極（２５）は、ドリフト層（１２）とボディ領域（１３）との両方にショットキー接合される。

[0016] この構成によれば、ショットキー電極が第１の領域にもショットキー接合されているので、ショットキー電極が第１の領域に対して直接的にキャリアを注入および引き抜くことができる。したがって、より確実に耐圧を確保することができる。

[0017] ドリフト層とボディ領域との間に空乏層が存在する場合、ショットキー電極からボディ領域に対してキャリアを注入することで、空乏層をより速やかに縮小することができる。なお、この明細書では、空乏層の縮小を「空乏化の解除」とも呼ぶ。

[0018] 一方、ドリフト層とボディ領域との間に逆バイアス電圧を印加する場合、ショットキー電極からキャリアを引き抜くことにより、空乏層をより速やかに広げることができる。これにより、耐圧を確保することができる。

[0019] （３）好ましくは、炭化珪素層（１０）は、ボディ領域（１３）に配置されて、第１の導電型を有する第１の領域（１４）と、ボディ領域（１３）に配置されて、第２の導電型を有する第２の領域（１８）とをさらに含む。絶縁層（７０）は、ゲート絶縁膜（１５）およびゲート電極（２７）を覆うよ

うに配置されて、ショットキー電極（２５）を露出させるための第３のコンタクトホールと、第１および第２の領域（１４，１８）を露出させるための第４のコンタクトホールとが形成された第１の層間絶縁膜（７１）と、第１の層間絶縁膜（７１）の上に配置される第２の層間絶縁膜（７２）とを含む。炭化珪素半導体装置（１，１Ａ，１Ｂ）は、第１の層間絶縁膜（７１）上に配置されて、第３のコンタクトホールを通じてショットキー電極（２５）と電気的に接続されるとともに、第４のコンタクトホールを通じて第１および第２の領域（１４，１８）に電気的に接続されるソースパッド電極とをさらに備える。

[0020] この構成によれば、１つの半導体チップの中に、トランジスタとフリーホイールダイオードとを集積化することができる。これにより、インバータ回路のような、トランジスタとフリーホイールダイオードとを含む回路を、より小型かつ簡素な構成で実現することができる。

[0021] （４）好ましくは、少なくとも１つの開口部（３０ａ）は、間隔によって互いに分離された、複数の開口部である。ゲート電極（２７）は、ゲートパッド電極（５９）の外周部においてゲートパッド電極（５９）と電気的に接続される。平面視において、複数の開口部は、ゲート電極（２７）よりも内側に位置するとともに、ゲートパッド電極（５９）の中央部（４０，４５）を囲むように並べられる。

[0022] この構成によれば、複数の開口部を、互いに間隔を設けて配置することにより、複数の開口部よりも内側の領域と、複数の開口部よりも外側の領域とが分断されることを防ぐことができる。したがって、これら２つの領域の一方（たとえば複数の開口部よりも外側の領域）の電位が浮遊電位になることを防ぐことができる。

[0023] さらに、ショットキーバリアダイオードが損傷する可能性を小さくすることができる。たとえば炭化珪素半導体装置の試験時に、ゲートパッド電極にプローブ針が接触することがある。また、ワイヤボンディング工程において、ゲートパッド電極にワイヤが接続される。これらの場合には、ゲートパッ

ド電極の中央部に衝撃が加わりやすい。ゲートパッド電極の中央部を避けてショットキーバリアダイオードが配置されることにより、ショットキーバリアダイオードが衝撃により損傷する可能性を小さくすることができる。

[0024] （５）好ましくは、複数の開口部（３０ａ）の間の間隔の長さは、一定である。

この構成によれば、複数の開口部よりも外側の領域とが分断されることを防ぐことができる。

[0025] （６）好ましくは、開口部（３０ａ）は、ボディ領域（１３）を貫通してドリフト層（１２）に達する溝（ＴＲ）を有する。ショットキー電極（２５）は、溝（ＴＲ）の内周面を覆うように配置される。

[0026] この構成によれば、炭化珪素層とショットキー接合されるショットキー電極の面積を大きくすることができる。したがって、ショットキー電極を通じて、より多くのキャリアを注入および引き抜くことができる。

[0027] （７）好ましくは、第１の導電型は、ｎ型であり、第２の導電型は、ｐ型である。

この構成によれば、炭化珪素半導体装置の製造しやすさを向上することができる。

[0028] [本願発明の実施形態の詳細]

以下、図面に基づいて本発明の実施の形態を説明する。なお、以下の図面において同一または相当する部分には同一の参照番号を付し、その説明は繰返さない。また、本明細書中の結晶学的記載においては、個別方位を［］、集合方位を＜＞、個別面を（）、集合面を｛｝でそれぞれ示している。また、負の指数については、結晶学上、”－”（バー）を数字の上に付けることになっているが、本明細書中では、数字の前に負の符号を付けている。また角度の記載には、全方位角を３６０度とする系を用いている。

[0029] ＜第１の実施の形態＞

図１は、本発明の第１の実施の形態に係る炭化珪素半導体装置１の構成を概略的に示す平面図である。図２は、図１のＩＩ－ＩＩ線に沿った断面図で

ある。図１および図２を参照して、本発明の一実施形態に係る炭化珪素半導体装置１は、炭化珪素層１０と、ゲート絶縁膜１５と、ソース電極１６と、ゲート電極２７と、ショットキー電極２５と、絶縁層７０と、ゲートパッド電極５９と、ゲートランナ６６と、ソースパッド電極６５と、ドレイン電極２０と、裏面保護電極５０とを有する。

[0030] 炭化珪素層１０は、第１の主面１０ａと、第２の主面１０ｂとを有する。第２の主面１０ｂは、第１の主面１０ａに対して反対側に位置する。

[0031] 炭化珪素層１０は、n^+基板１１と、ドリフト層１２とを有する。n^+基板１１は、たとえばポリタイプ４Ｈの六方晶炭化珪素からなる。n^+基板１１は、高濃度の不純物（ドナー）を含む。n^+基板１１に含まれる不純物の濃度は、たとえば$1.0\times10^{18}cm^{-3}$程度である。不純物の種類は、たとえばＮ（窒素）である。

[0032] ドリフト層１２は、n^+基板１１の上に配置される。ドリフト層１２は、たとえばエピタキシャル成長によって形成された層である。ドリフト層１２は、たとえばポリタイプ４Ｈの六方晶炭化珪素からなる。ドリフト層１２の表面は、炭化珪素層１０の第１の主面１０ａを規定する。

[0033] ドリフト層１２における不純物濃度は、n^+基板１１における不純物濃度よりも低い。たとえばドリフト層１２に含まれる不純物濃度は$7.5\times10^{15}cm^{-3}$程度である。ドリフト層１２の厚みは、たとえば１０μｍ程度以上３５μｍ程度以下である。ドリフト層１２に含まれる不純物は、たとえば窒素である。

[0034] この実施の形態において、炭化珪素半導体装置１は、複数のトランジスタ素子７を含む。トランジスタ素子７は、ＭＯＳＦＥＴ（Ｍｅｔａｌ Ｏｘｉｄｅ Ｓｅｍｉｃｏｎｄｕｃｔｏｒ Ｆｉｅｌｄ Ｅｆｆｅｃｔ Ｔｒａｎｓｉｓｔｏｒ）である。ＭＯＳＦＥＴを構成するために、ボディ領域１３がドリフト層１２に配置される。さらに、ソース領域１４（第１の領域）およびp^+領域１８（第２の領域）がボディ領域１３に配置される。

[0035] ボディ領域１３は、ｎ型とは異なるｐ型を有する領域である。ボディ領域

の深部における不純物濃度は１×１０^{18}ｃｍ$^{-3}$程度である。ボディ領域１３の厚みは、たとえば０．５μｍ程度以上１．０μｍ程度以下である。

[0036] 図２に示されるように、ゲートパッド電極５９の下方に位置するボディ領域１３の一部において、開口部３０ａが設けられる。開口部３０ａは、ドリフト層１２を、炭化珪素層の第１の主面１０ａに露出させる。すなわち、開口部３０ａの下の領域の導電型はｎ型である。

[0037] ソース領域１４は、ｎ型を有する領域である。ソース領域１４に含まれる不純物の濃度は、ドリフト層１２に含まれる不純物の濃度よりも高い。ソース領域１４は、たとえばＰ（リン）などの不純物を、たとえば１×１０^{20}ｃｍ$^{-3}$程度の濃度で含んでいる。

[0038] ｐ$^{+}$領域１８は、ｐ型を有する領域である。ｐ$^{+}$領域１８はソース領域１４と接するように配置される。ｐ$^{+}$領域１８に含まれる不純物の濃度は、ボディ領域１３に含まれる不純物の濃度よりも高い。ｐ$^{+}$領域１８は、たとえばアルミニウムやホウ素などの不純物を、たとえば１×１０^{20}ｃｍ$^{-3}$程度の濃度で含んでいる。

[0039] ゲート絶縁膜１５は、ボディ領域１３に形成されるチャネル領域ＣＨと対向する位置に設けられる。ゲート絶縁膜１５は、炭化珪素層１０の第１の主面１０ａにおいて、ボディ領域１３、ソース領域１４、およびドリフト層１２に接する。ゲート絶縁膜１５はたとえば二酸化珪素からなる。ゲート絶縁膜１５の厚み（第１の主面１０ａの法線方向に沿ったゲート絶縁膜１５の寸法）は、たとえば５０ｎｍ程度である。

[0040] ゲート絶縁膜１５において、開口部３０ａと重なる位置に、コンタクトホールＧＨ１（第１のコンタクトホール）が形成されるとともに、ソース領域１４およびｐ$^{+}$領域１８と重なる位置にコンタクトホールＧＨ２が形成される。コンタクトホールＧＨ１，ＧＨ２は、炭化珪素層１０の第１の主面１０ａを露出させる。より具体的にはコンタクトホールＧＨ１は、開口部３０ａを通じてドリフト層１２を露出させる。コンタクトホールＧＨ２は、ソース領域１４およびｐ$^{+}$領域１８を露出させる。

[0041] ショットキー電極２５は、ゲートパッド電極５９の下に配置される。ショットキー電極２５は、コンタクトホールＧＨ１および開口部３０ａを通じて、ドリフト層１２にショットキー接合される。ショットキー電極２５および炭化珪素層１０とにより、ゲートパッド電極５９の下に、ショットキーバリアダイオード（ＳＢＤ）が形成される。

[0042] ショットキー電極２５の材料は、ドリフト層１２すなわち炭化珪素半導体層との間でショットキー接合を達成できる金属であれば特に限定されず、たとえば、チタン（Ｔｉ）、ニッケル（Ｎｉ）、窒化チタン（ＴｉＮ）、金（Ａｕ）、モリブデン（Ｍｏ)およびタングステン（Ｗ）などである。

[0043] ゲート電極２７は、ゲート絶縁膜１５上に配置される。ゲート電極２７は、トランジスタ素子７のソース領域１４上から他方のソース領域１４上にまで延在するように、ドリフト層１２、ソース領域１４およびボディ領域１３と対向する。ゲート電極２７は、たとえば不純物が添加されたポリシリコン、あるいはアルミニウムなどの導電体からなっている。

[0044] 絶縁層７０は、ゲート絶縁膜１５、ゲート電極２７およびショットキー電極２５を覆うように配置される。絶縁層７０には、ゲート電極２７を露出させるためのコンタクトホールＳＨ（第２のコンタクトホール）が形成される。

[0045] より具体的には、絶縁層７０は、第１の層間絶縁膜７１と、第２の層間絶縁膜７２とを含む。第１の層間絶縁膜７１は、ゲート絶縁膜１５およびゲート電極２７を覆うように配置される。たとえば第１の層間絶縁膜７１は、二酸化珪素からなる。第１の層間絶縁膜７１の厚みはたとえば１μｍ程度である。

[0046] 第２の層間絶縁膜７２は、第１の層間絶縁膜７１の上に配置される。たとえば第２の層間絶縁膜７２は、二酸化珪素からなる。第２の層間絶縁膜７２の厚みはたとえば１μｍ程度である。なお、第２の層間絶縁膜７２は、第１の層間絶縁膜７１よりも高い強度を有する膜であってもよい。たとえば、第２の層間絶縁膜７２は、窒化珪素（ＳｉＮ）からなる膜であってもよい。

[0047] コンタクトホールＳＨは、第１の層間絶縁膜７１および第２の層間絶縁膜７２を貫通するコンタクトホールである。第１の層間絶縁膜７１には、コンタクトホールＳＨに加えて、ショットキー電極２５を露出させるためのコンタクトホールＳＨａ（第３のコンタクトホール）と、ソース領域１４およびp^+領域１８を露出させるためのコンタクトホールＳＨｂ（第４のコンタクトホール）とが形成される。コンタクトホールＳＨｂ，ＧＨ２は、第１の層間絶縁膜７１およびゲート絶縁膜１５を貫通するコンタクトホールである。

[0048] ソース電極１６は、コンタクトホールＳＨｂ，ＧＨ２に配置されてソース領域１４およびp^+領域１８に接触する。これにより、ソース電極１６は、ソース領域１４およびp^+領域１８に電気的に接続される。好ましくは、ソース電極１６は、ニッケルおよびシリコンを有する材料からなる。ソース電極１６は、チタン、アルミニウムおよびシリコンを有する材料からなっていてもよい。好ましくは、ソース電極１６はソース領域１４およびp^+領域１８とオーミック接合している。

[0049] ソースパッド電極６５は、第１の層間絶縁膜７１上に配置される。ソースパッド電極６５はたとえばアルミニウムからなる。ソースパッド電極６５は、コンタクトホールＳＨａを通じてショットキー電極２５に電気的に接続される。さらに、ソースパッド電極６５は、コンタクトホールＳＨｂ，ＧＨ２を通じてソース電極１６に電気的に接続される。

[0050] ゲートパッド電極５９およびゲートランナ６６は、第２の層間絶縁膜７２上に配置される。ゲートパッド電極５９およびゲートランナ６６は、たとえばアルミニウムからなる。ただし図２ではゲートランナ６６は示されていない。

[0051] ゲートパッド電極５９は、ショットキー電極２５を覆うように、第２の層間絶縁膜７２上に配置される。図１に示されるように、平面視においてゲートパッド電極５９は、ショットキー電極２５と重なる。

[0052] ゲートパッド電極５９は、絶縁層７０（第１の層間絶縁膜７１および第２の層間絶縁膜７２）に形成されたコンタクトホールＳＨを通じて、ゲート電

極２７と電気的に接続される。

[0053] ドレイン電極２０は、炭化珪素層１０の第２の主面１０ｂに接触する。これにより、ドレイン電極２０はｎ+基板１１と電気的に接続されている。ドレイン電極２０は、たとえば上記ソース電極１６と同様の構成を有していてもよい。あるいは、ドレイン電極２０は、たとえばニッケルなど、ｎ+基板１１とオーミック接合可能な他の材料からなっていてもよい。

[0054] 裏面保護電極５０は、ドレイン電極２０に接して配置される。裏面保護電極５０は、たとえばチタン、ニッケル、銀やそれらの合金からなる。

[0055] ショットキー電極２５とソースパッド電極６５とが電気的に接続されることで、ＭＯＳＦＥＴのソースとＳＢＤのアノードとが電気的に接続される。一方、ドレイン電極２０は、ＭＯＳＦＥＴのドレイン電極であるとともに、ＳＢＤのカソードでもある。

[0056] 図３は、ゲートパッド電極、ゲート電極およびショットキー電極の配置を示す平面図である。図３を参照して、平面視において、ゲート電極２７は、ゲートパッド電極５９の外周部においてゲートパッド電極５９と重なる。言い換えると、ゲート電極２７は、ゲートパッド電極５９の中央部に対応する領域には形成されていない。

[0057] ゲート電極２７は、ゲートパッド電極５９の外周部においてゲートパッド電極５９と電気的に接続される。上記の通り、絶縁層７０（図３には示さず）に形成されたコンタクトホールＳＨを通じてゲートパッド電極５９がゲート電極２７に電気的に接続される。

[0058] 同様に、ゲートランナ６６は、ゲートパッド電極５９に接続されるとともに、コンタクトホールＳＨを通じてゲート電極２７に接続される。

[0059] ゲート電極２７、ゲート絶縁膜１５（図２を参照）およびボディ領域１３により、キャパシタが形成される。ゲート電極２７の面積が大きくなるほど、キャパシタの容量値が大きくなる。容量値が大きいほど、ゲート電極２７を伝達する信号の遅延時間が大きくなる。このような問題を回避するために、ゲート電極２７は、ゲートパッド電極５９の下方において、ゲートパッド

電極５９との電気的な接続を確保しつつ、できるだけ小さな面積を有するように形成される。

[0060] したがって、この実施の形態では、ゲート電極２７は、ゲートパッド電極５９の直下において、ゲートパッド電極５９の外周部と重なるよう形成される。さらに、ゲートランナ６６がゲート電極２７を囲むように配置されるとともにゲート電極２７に電気的に接続される。

[0061] ショットキー電極２５は、ゲート電極２７よりも内側に配置される。平面視において、ショットキー電極２５は、ボディ領域１３に囲まれるよう配置される。すなわち、ボディ領域１３には不連続な部分が存在しない。したがって、ボディ領域１３に、電位が浮遊する部分が発生することを防止できる。

[0062] 図４は、ゲートパッド電極の下方の一般的な構造を示した図である。図４を参照して、ゲートパッド電極５９の下方には、第１の層間絶縁膜７１、およびゲート絶縁膜１５を介してボディ領域１３が存在する。

[0063] ＭＯＳＦＥＴのドレインおよびソースの間に逆バイアス電圧が印加された場合に、素子の保護の観点から、ゲートパッド電極５９の下に高電界が生じることは望ましくない。このためにゲートパッド電極５９の下は、ドリフト層１２およびボディ領域１３によって形成されたｐｎ接合により保護される。

[0064] 図１に示されるように、ゲートパッド電極５９は、半導体チップにおいて比較的大きな面積を占める。しかしながら、ゲートパッド電極５９の直下の領域には、ＭＯＳＦＥＴは形成されていない。

[0065] たとえば炭化珪素半導体装置の試験時に、ゲートパッド電極にプローブ針が接触することがある。また、ワイヤボンディング工程において、ゲートパッド電極にワイヤが接続される。これらの場合には、ゲートパッド電極５９に比較的大きな力が加わる。ゲートパッド電極５９下の領域に素子を作製すると、ゲートパッド電極に加わる衝撃によって素子が損傷することが懸念される。このため、図４に示された構造では、ゲートパッド電極５９の下方に

ＭＯＳＦＥＴ等の素子が形成されていない。

[0066] 一方、この実施の形態では、ゲートパッド電極５９の下方においてショットキー電極２５が形成される。これにより、ゲートパッド電極５９の下方にＳＢＤが形成される。上記のように、ゲートパッド電極５９の下方の領域は、トランジスタ素子が形成されていない領域である。この領域にＳＢＤを形成することによって、活性領域の減少を防ぐことができる。ＳＢＤは、ショットキー電極２５と炭化珪素層１０とにより構成されるので構造が単純である。したがって、ゲートパッド電極５９の下方にＳＢＤを配置することを実現できる。

[0067] 上記のように、ゲートパッド電極５９下の領域に素子を作製すると、ゲートパッド電極に加わる衝撃によって素子が損傷することが懸念される。この実施の形態では、ゲートパッド電極５９とショットキー電極２５との間に、２つの層間絶縁膜７１，７２が積まれている。したがって、ゲートパッド電極５９の下方に形成されたＳＢＤを、ゲートパッド電極５９に加わる衝撃から保護することができる。

[0068] 図５は、第１の実施の形態に係る炭化珪素半導体装置１の等価回路図である。図５を参照して、炭化珪素半導体装置１は、ＭＯＳトランジスタＭ１と、ショットキーバリアダイオードＤ１とを有する。

[0069] ＭＯＳトランジスタＭ１は、集積化されたトランジスタ素子７を表わしている。ＭＯＳトランジスタＭ１のドレイン電極と、ショットキーバリアダイオードＤ１のカソード電極とは電気的に接続される。ＭＯＳトランジスタＭ１のドレイン電極と、ショットキーバリアダイオードＤ１のカソード電極とは、ドレイン電極２０によって実現される。

[0070] ＭＯＳトランジスタＭ１のソース電極と、ショットキーバリアダイオードＤ１のアノード電極とは電気的に接続される。ＭＯＳトランジスタＭ１のソース電極は図２に示すソース電極１６（およびソースパッド電極６５）によって実現される。一方、ショットキーバリアダイオードＤ１のアノード電極は、ショットキー電極２５によって実現される。このショットキー電極２５

は、ソース電極１６およびソースパッド電極６５を通じてＭＯＳＦＥＴのソースに電気的に接続される。

[0071] 図６は、第１の実施の形態に係る炭化珪素半導体装置１によって構成されたインバータ回路の一例を示した回路図である。図６を参照して、インバータ回路１０１はたとえば単相インバータである。インバータ回路１０１は、正極端子５および負極端子６を介して、直流電源８の正極および負極にそれぞれ接続される。インバータ回路１０１は、直流電源８から供給される直流電力を単相交流に変換する。単相負荷９Ａは、誘導性負荷であり、たとえば単相モータである。ただし単相負荷９Ａの種類は特に限定されるものではない。

[0072] インバータ回路１０１は、炭化珪素半導体装置１－１～１－４を含む。炭化珪素半導体装置１－１～１－４の各々の構成は、図５に示される構成と同じである。したがって炭化珪素半導体装置１－１～１－４の各々を、この実施の形態に係る炭化珪素半導体装置１によって実現することができる。

[0073] 炭化珪素半導体装置１－１，１－２は、正極端子５と負極端子６との間に直列に接続される。同じく、炭化珪素半導体装置１－３，１－４は、正極端子５と負極端子６との間に直列に接続される。

[0074] なお、インバータ回路１０１は、三相インバータでもよい。この場合、正極端子５と負極端子６との間に直列に接続される２つの炭化珪素半導体装置を、図６に示す構成に追加すればよい。

[0075] インダクタンス成分を含む負荷、すなわち誘導性負荷をスイッチングする際に、サージ電流のような大電流が発生しうる。このサージ電流により、ＭＯＳトランジスタが損傷する可能性がある。ＭＯＳトランジスタの損傷を回避するために、フリーホイールダイオードがＭＯＳトランジスタに逆並列に接続される。

[0076] 多くの例では、フリーホイールダイオードは、ＭＯＳトランジスタとは別のチップ、あるいはディスクリート素子によって実現される。一方、この実施の形態では、ＭＯＳトランジスタとＳＢＤとが１つの半導体チップに集積

化されている。したがって、インバータ回路を、より小型かつ簡素な構成で実現することができる。したがって、コスト面で優れたシステムを構築することが可能になる。

[0077] トランジスタ素子７が集積化された領域（素子領域と呼ぶ）の内部にＳＢＤを配置すると、素子領域に配置されるトランジスタ素子の数が減少する。すなわち、炭化珪素半導体装置の活性領域の面積が減少する。

[0078] この実施の形態によれば、ゲートパッド電極５９の下方の領域にＳＢＤが形成される。ゲートパッド電極５９の下方の領域は比較的大きな面積を有する一方で、トランジスタ素子が形成されていない。したがって、この領域にＳＢＤを形成することにより、活性領域の減少を避けることができる。

[0079] さらにこの実施の形態によれば、ボディ領域１３に複数の開口部３０ａが形成されるとともに、複数の開口部３０ａの各々において、ショットキー電極２５がドリフト層１２にショットキー接合される。これにより、十分なサイズを有するＳＢＤを実現することができるので、ＳＢＤにより多くの電流を流すことができる。

[0080] ＜第２の実施の形態＞

図７は、本発明の第２の実施の形態に係る炭化珪素半導体装置１Ａの構成を概略的に示す平面図である。図１および図７を参照して、炭化珪素半導体装置１Ａの構成は、基本的には、第１の実施の形態に係る炭化珪素半導体装置１と同様である。ショットキー電極の配置の点において、第２の実施の形態に係る炭化珪素半導体装置１Ａは、第１の実施の形態に係る炭化珪素半導体装置１と相違する。以下、この点について詳細に説明する。

[0081] 図８は、図７のＶＩＩＩ－ＶＩＩＩ線に沿った、炭化珪素半導体装置１Ａの一部断面図である。図７および図８を参照して、ショットキー電極２５は、ドリフト層１２とボディ領域１３との両方を覆うように配置される。言い換えると、開口部（３０ａ）は、第１のコンタクトホール（ＧＨ１）の内側に配置される。

[0082] ショットキー電極２５の端部２５ａは、ボディ領域１３に被さっている。

したがって、ショットキー電極２５は、ボディ領域１３およびドリフト層１２の両方にショットキー接合される。

[0083] なお、第２の実施の形態におけるショットキー電極２５（言い換えると開口部３０ａ）の配置は、図３に示される配置と同様である。

[0084] 第２の実施の形態によれば、第１の実施の形態と同様の効果を達成することができる。特に、第２の実施の形態によれば、ショットキー電極２５がドリフト層１２だけでなくボディ領域１３にもショットキー接合されている。

[0085] この構成により、炭化珪素半導体装置１Ａのスイッチング特性を改善することができる。これにより、炭化珪素半導体装置１Ａの耐圧をより高めることができる。この効果について、図面を参照して更に詳細に説明する。

[0086] 図９は、図４に示した構成において、ドレイン電極とソースパッド電極との間に逆バイアス電圧が印加された状態を模式的に示した断面図である。図９を参照して、ＭＯＳＦＥＴ（トランジスタ素子７）がオフの状態において、ドレイン電極２０の電位がソースパッド電極６５の電位よりも高くなるようにドレイン電極２０とソースパッド電極６５との間に電圧が印加される。このような状態は、図６に示すインバータ回路１０１の動作中に発生しうる。この場合、ドリフト層１２とボディ領域１３との境界面（接合部）から空乏層４０が広がる。

[0087] ＭＯＳＦＥＴのスイッチング速度が速くなると、ｐ型領域に対して正孔を十分に出し入れすることができない可能性がある。このために、ｐｎ接合の空乏化と空乏化の解除との間での円滑な切換えが難しくなる可能性がある。このような場合には、ＭＯＳＦＥＴのスイッチング速度を遅くしなければならない。

[0088] 図４に示された構成においては、ソースパッド電極６５を、ゲートパッド電極５９の下方に配置できない。したがって、ボディ領域１３は、ゲートパッド電極５９の周囲において、ソースパッド電極６５と接続される。p^+領域１８およびソースパッド電極６５によって、ボディ領域１３に対する正孔の注入および引抜きが行なわれる。しかし、ボディ領域１３におけるゲートパ

ッド電極５９の下方の部分は、ソースパッド電極６５とボディ領域１３とが電気的に接続された位置（すなわちp^+領域１８の位置）から比較的離れている。

[0089] ゲートパッド電極５９の下方のボディ領域１３を空乏化するためにはゲートパッド電極５９の周囲においてボディ領域１３に接続されたソースパッド電極６５まで正孔を移動させる必要がある。このためボディ領域１３の空乏化に要する時間が長くなる。逆に、ボディ領域１３の空乏化を解除するためには、ゲートパッド電極５９の周囲からソースパッド電極６５を介して正孔を注入しなければならないので、ボディ領域１３の空乏化を解除するのに要する時間も長くなる。

[0090] ボディ領域１３の空乏化および空乏化の解除に要する時間が長くなることは、ＭＯＳＦＥＴのスイッチング速度の向上を難しくする要因となる。ｐｎ接合の空乏化に時間がかかると、空乏層が十分に広がらないまま、ｐｎ接合に逆バイアス電圧が印加される可能性がある。この場合、空乏層における電界の強度が高くなるため、十分な耐圧を確保できない可能性も生じ得る。

[0091] この問題を解決するために、ボディ領域１３の不純物濃度を高くすることが考えられる。しかし、ボディ領域１３側に空乏層が広がりにくくなるために、トランジスタ素子７の耐圧が低下する可能性がある。また、炭化珪素半導体では、ｐ型領域の表面に酸化膜によって絶縁膜を形成する場合、ｐ型領域の不純物濃度が高くなるほど、その酸化膜の信頼性が低下しやすい。

[0092] 図１０は、第２の実施の形態に係る炭化珪素半導体装置１Ａに逆バイアス電圧が印加された状態を模式的に示した断面図である。図１０を参照して、この実施の形態によれば、ショットキー電極２５から正孔が注入される。これにより、ボディ領域１３の不純物濃度を高くしなくても、ボディ領域１３におけるゲートパッド電極５９の下方の部分の空乏化を短時間で解除することができる。

[0093] 一方、ＳＢＤおよびＭＯＳＦＥＴに逆バイアスが印加される場合には、ショットキー電極２５の電位がドレイン電極２０の電位よりも低くなる。この

場合には、ドレイン電極２０によって、ドリフト層１２から電子が引き抜かれる。一方、ソースパッド電極６５およびショットキー電極２５によって、ボディ領域１３から正孔が引き抜かれる。ショットキー電極２５によって、ボディ領域１３におけるゲートパッド電極５９の下方の部分をより短時間での空乏化することができる。空乏層４０をできるだけ早く広げることによって、空乏層４０に印加される電界の強度を下げることができる。したがって炭化珪素半導体装置１Ａ（ＭＯＳＦＥＴ）の耐圧を向上させることができる。

[0094] ＜第３の実施の形態＞

図１１は、本発明の第３の実施の形態に係る炭化珪素半導体装置１Ｂの構成を概略的に示す平面図である。図１および図１１を参照して、炭化珪素半導体装置１Ｂの構成は、基本的には、第１の実施の形態に係る炭化珪素半導体装置１と同様である。ＳＢＤの断面形状の点において第３の実施の形態に係る炭化珪素半導体装置１Ｂは、第１の実施の形態に係る炭化珪素半導体装置１と相違する。以下、この点について詳細に説明する。

[0095] 図１２は、図１１のＸＩＩ－ＸＩＩ線に沿った一部断面図である。図１１および図１２を参照して、開口部３０ａは溝（トレンチＴＲ）を有する。トレンチＴＲは側壁面ＳＷおよび底面ＢＴを有する。すなわち開口部３０ａは側壁面ＳＷおよび底面ＢＴを有する。

[0096] 側壁面ＳＷは、炭化珪素層１０の主面１０ｂに近づくように、炭化珪素層１０の主面１０ａに対して傾斜した面である。言い換えると、対向する２つの側壁面ＳＷは、炭化珪素層１０の第１の主面１０ａに向かってテーパ状に拡がっている。

[0097] 側壁面ＳＷは、たとえば｛０００－１｝面に対して５０度以上８０度以下傾斜した面である。より具体的には、側壁面ＳＷは、巨視的に見て、面方位｛０－３３－８｝、｛０－１１－２｝、｛０－１１－４｝および｛０－１１－１｝のいずれかを有し得る。なお、「巨視的」とは、原子間隔程度の寸法を有する微細構造を無視することを意味する。このように巨視的なオフ角の

測定としては、たとえば、一般的なＸ線回折を用いた方法を用い得る。

[0098] このような開口部３０ａ（トレンチＴＲ）は、たとえば熱エッチングにより形成することができる。本明細書において「熱エッチング」とは、エッチングされる対象を高温下でエッチングガスにさらすことによって行なわれるエッチング処理であり、物理的エッチング作用を実質的に有しない処理である。熱エッチングのプロセスガスは、ハロゲン元素を含有する。より好ましくは、ハロゲン元素は塩素またはフッ素である。具体的には、プロセスガスとして、Cl_2、BCl_3、CF_4、およびSF_6の少なくともいずれかを含有するプロセスガスを用いることができ、特にCl_2を好適に用いることができる。

[0099] またプロセスガスは、さらに酸素ガスを含有することが好ましい。またプロセスガスはキャリアガスを含んでいてもよい。キャリアガスとしては、たとえば窒素ガス、アルゴンガスまたはヘリウムガスであり得る。

[0100] 熱エッチングの熱処理温度は、好ましくは７００℃以上１２００℃以下である。この温度の下限は、より好ましくは８００℃、さらに好ましくは９００℃である。これによりエッチング速度を十分実用的な値とすることができる。またこの温度の上限は、より好ましくは１１００℃、さらに好ましくは１０００℃である。熱処理温度を７００℃以上１０００℃以下とした場合、ＳｉＣのエッチング速度はたとえば７０μｍ／時程度になる。

[0101] ショットキー電極２５は、トレンチＴＲの内周面（側壁面ＳＷおよび底面ＢＴ）を覆うように配置される。なお、図１５に示されるように、開口部３０ａは、ショットキー電極２５によって埋められていてもよい。

[0102] 第３の実施の形態によれば、第１の実施の形態と同様の効果を達成することができる。特に、第３の実施の形態によれば、ドリフト層１２にショットキー接合されるショットキー電極２５の面積を大きくすることができる。したがって、ショットキー電極を通じて、より多くのキャリアを注入および引き抜くことができる。

[0103] ＳＢＤに順方向に電流を流す場合において、より多くのキャリア（電子）をショットキー電極２５からドリフト層１２に注入することができる。これ

により、ドリフト層１２における空乏化を速やかに解除することも可能になる。

[0104] ＳＢＤおよびトランジスタ素子７に逆バイアスが印加される場合には、ショットキー電極２５によって、ボディ領域１３からより多くの正孔を引き抜くことができる。これにより、空乏層４０をより速く広げることができる。

[0105] 図１３は、第３の実施の形態に係る炭化珪素半導体装置１Ｂの別の構成を示す断面図である。図１３を参照して、ショットキー電極２５の端部２５ａは、ボディ領域１３に被さっている。ショットキー電極２５の端部２５ａにおいて、ショットキー電極２５がボディ領域１３にショットキー接合される。これにより、ＳＢＤおよびトランジスタ素子に逆バイアスが印加される場合には、ボディ領域１３から正孔をより速く引き抜くことができる。一方、ＳＢＤに順バイアスが印加される場合には、ボディ領域１３およびドリフト領域の空乏化をより早く解除することができる。

[0106] 図１４は、第３の実施の形態に係る炭化珪素半導体装置のさらに別の構成を示した図である。図１４を参照して、開口部３０ａから底面ＢＴが省略されてもよい。すなわち、開口部３０ａの断面形状がＶ字形状でもよい。このような構成によれば、開口部３０ａの寸法を小さくすることができる。

[0107] 図１５は、第３の実施の形態に係る炭化珪素半導体装置のさらに別の構成を示した図である。図１５を参照して、開口部３０ａから底面ＢＴが省略される。さらに、ショットキー電極２５の端部２５ａは、ボディ領域１３に被さっている。この構成によれば、ＳＢＤの寸法を小さくすることができる。さらに、図１３に示した構造と同じく、ＳＢＤおよびトランジスタ素子に逆バイアスが印加される場合には、正孔をより早く引き抜くことができる。したがって、空乏層４０をより早く広げることができる。空乏層４０をより早く広げることにより、耐圧をより向上させることができる。一方、ＳＢＤに順バイアスが印加される場合には、ボディ領域１３およびドリフト領域の空乏化をより早く解除することができる。

[0108] さらに、平面視におけるショットキー電極２５の配置（ショットキー電極

２５の平面レイアウト）は、図３に示された配置に限定されない。

[0109] 図１６は、ショットキー電極２５の配置の別の実施形態を示した平面図である。図１６を参照して、ショットキー電極２５と開口部３０ａとは重なっている。複数のショットキー電極２５（言い換えると複数の開口部３０ａ）は、平面視において、ゲート電極２７よりも内側に位置するとともに、ゲートパッド電極５９の中央部８０を囲むように配置される。中央部８０は、図示しないワイヤが接続されるゲートパッド電極５９の領域である。

[0110] たとえばワイヤボンディングの際に、中央部８０に、強い力が加わる可能性がある。図１６によれば、ゲートパッド電極５９の中央部８０を避けるように複数のショットキー電極２５が配置される。これにより、ゲートパッド電極５９への衝撃によりＳＢＤが損傷する可能性をより低減することができる。

[0111] 複数のショットキー電極２５（言い換えると開口部３０ａ）は一定の間隔ａ１で分離されている。開口部３０ａにおいてドリフト層１２が露出する。開口部３０ａの直下の領域は、ｎ型の領域である。このため、連続的な（言い換えると切れ目のない）１つの開口部をボディ領域１３に形成すると、ボディ領域１３は、開口部よりも内側の領域と、開口部よりも外側の領域とに分断される。

[0112] 開口部よりも外側の領域は、ソース電極１６およびソースパッド電極６５によって電位が与えられる。一方、開口部よりも内側の領域の電位は、浮遊電位になる。複数の開口部を間隔を設けて配置することで、これら２つの領域が電気的に接続される。したがって、開口部よりも外側の領域の電位が浮遊電位になることを防ぐことができる。

[0113] 図１７は、ショットキー電極２５の配置のさらに別の実施形態を示した平面図である。図１７に示されたショットキー電極２５（開口部３０ａ）は、図１６に示されたショットキー電極２５（開口部３０ａ）よりも小さい。これにより、ショットキー電極２５（開口部３０ａ）の数が増えるため、ギャップの部分も増える。したがって、複数の開口部３０ａの内側の領域と、複

数の開口部３０ａの外側の領域との間の電位差をより小さくすることができる。

[0114] なお、複数のショットキー電極２５は中央部８０を一重に囲むものと限定されない。複数のショットキー電極２５は、たとえば中央部８０を二重に囲んでもよい。

[0115] また、開口部３０ａの数は、単数でもよい。この場合にも、開口部３０ａよりも内側の領域の電位が浮遊電位になるのを避けるため、開口部３０ａは切れ目を有していればよい。

[0116] また、上記実施の形態では、炭化珪素半導体装置に配置されるトランジスタとしてＭＯＳＦＥＴを例示した。しかしながら、この実施の形態にかかる炭化珪素半導体装置に配置されるトランジスタ素子は、ドリフト層およびボディ領域を有していればよい。したがって、トランジスタ素子は、たとえばＩＧＢＴ（Ｉｎｓｕｌａｔｅｄ Ｇａｔｅ Ｂｉｐｏｌａｒ Ｔｒａｎｓｉｓｔｏｒ）などであってもよい。

[0117] また、上記実施の形態では、炭化珪素層１０は、n^+基板１１と、ｎ型のドリフト層１２とを有する。炭化珪素層１０は、全体として、ｎ型の炭化珪素の層である。つまり、上記実施の形態では、炭化珪素層１０の導電型である第１の導電型はｎ型であり、ボディ領域１３の導電型である第２の導電型はｐ型である。ｐ型の領域をｎ型の炭化珪素層に形成することによって、炭化珪素半導体装置の製造しやすさを向上することができる。しかしながら第１導電型がｐ型であり、かつ第２導電型がｎ型であってもよい。

[0118] 今回開示された実施の形態はすべての点で例示であって、制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなく請求の範囲によって示され、請求の範囲と均等の意味、および範囲内でのすべての変更が含まれることが意図される。

符号の説明

[0119] １，１Ａ，１Ｂ 炭化珪素半導体装置、５ 正極端子、６ 負極端子、７ トランジスタ素子、８ 直流電源、９Ａ 単相負荷、１０ 炭化珪素層、

１０ａ　第１の主面、１０ｂ　第２の主面、１１　n^+基板、１２　ドリフト層、１３　ボディ領域、１４　ソース領域、１５　ゲート絶縁膜、１６　ソース電極、１８　p^+領域、２０　ドレイン電極、２５　ショットキー電極、２５ａ　端部（ショットキー電極）、２７　ゲート電極、３０ａ　開口部、４０　空乏層、５０　裏面保護電極、５９　ゲートパッド電極、６５　ソースパッド電極、６６　ゲートランナ、７０　絶縁層、７１　第１の層間絶縁膜、７２　第２の層間絶縁膜、８０　中央部（ゲートパッド電極）、１０１　インバータ回路、ＢＴ　底面、ＣＨ　チャネル領域、Ｄ１　ショットキーバリアダイオード、ＧＨ１，ＧＨ２，ＳＨ，ＳＨａ，ＳＨｂ　コンタクトホール、Ｍ１　ＭＯＳトランジスタ、ＳＷ　側壁面、ＴＲ　トレンチ、ａ１　間隔。

請求の範囲

[請求項1] 炭化珪素半導体装置であって、

第１の主面と、前記第１の主面に対して反対側に位置する第２の主面とを有する炭化珪素層を備え、

前記炭化珪素層は、

第１の導電型を有し、前記炭化珪素層の前記第１の主面を規定するドリフト層と、

前記ドリフト層に設けられて、前記第１の導電型とは異なる第２の導電型を有し、前記ドリフト層を露出させる少なくとも１つの開口部が設けられたボディ領域とを含み、

前記炭化珪素半導体装置は、

前記炭化珪素層の前記第１の主面上に配置されて、前記開口部上に前記第１の主面を露出させるための第１のコンタクトホールが形成されたゲート絶縁膜と、

前記第１のコンタクトホールおよび前記開口部を通じて、前記ドリフト層にショットキー接合されたショットキー電極と、

前記ゲート絶縁膜上に配置されたゲート電極と、

前記ゲート絶縁膜、前記ゲート電極および前記ショットキー電極を覆うように配置されて、前記ゲート電極を露出させるための第２のコンタクトホールが形成された絶縁層と、

平面視において前記ショットキー電極と重なるように、前記絶縁層上に配置されて、前記第２のコンタクトホールを通じて前記ゲート電極と電気的に接続されたゲートパッド電極とを備える、炭化珪素半導体装置。

[請求項2] 前記開口部は、前記第１のコンタクトホールの内側に配置され、

前記ショットキー電極は、前記ドリフト層と前記ボディ領域との両方にショットキー接合される、請求項１に記載の炭化珪素半導体装置。

[請求項3] 前記炭化珪素層は、

前記ボディ領域に配置されて、前記第１の導電型を有する第１の領域と、

前記ボディ領域に配置されて、前記第２の導電型を有する第２の領域とをさらに含み、

前記絶縁層は、

前記ゲート絶縁膜および前記ゲート電極を覆うように配置されて、前記ショットキー電極を露出させるための第３のコンタクトホールと、前記第１および第２の領域を露出させるための第４のコンタクトホールとが形成された第１の層間絶縁膜と、

前記第１の層間絶縁膜の上に配置される第２の層間絶縁膜とを含み、

前記炭化珪素半導体装置は、

前記第１の層間絶縁膜上に配置されて、前記第３のコンタクトホールを通じて前記ショットキー電極と電気的に接続されるとともに、前記第４のコンタクトホールを通じて前記第１および第２の領域に電気的に接続されるソースパッド電極とをさらに備える、請求項１または請求項２に記載の炭化珪素半導体装置。

[請求項4] 前記少なくとも１つの開口部は、間隔によって互いに分離された、複数の開口部であり、

前記ゲート電極は、前記ゲートパッド電極の外周部において前記ゲートパッド電極と電気的に接続され、

平面視において、前記複数の開口部は、前記ゲート電極よりも内側に位置するとともに、前記ゲートパッド電極の中央部を囲むように並べられる、請求項１から請求項３のいずれか１項に記載の炭化珪素半導体装置。

[請求項5] 前記複数の開口部の間の前記間隔の長さは、一定である、請求項４に記載の炭化珪素半導体装置。

[請求項6] 前記開口部は、前記ボディ領域を貫通して前記ドリフト層に達する溝を有し、

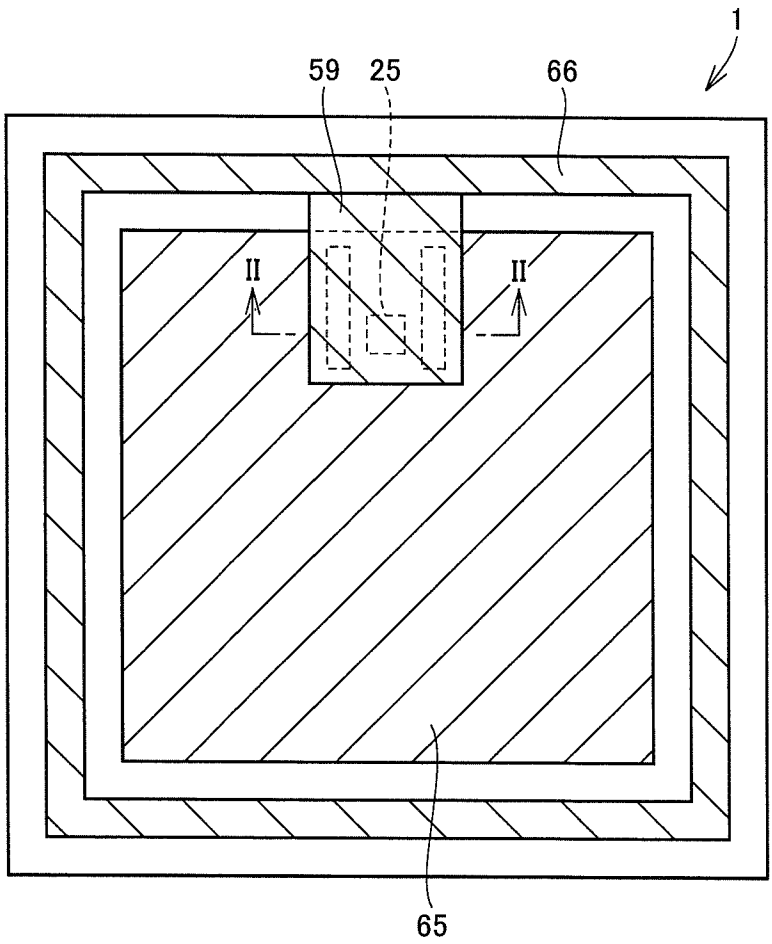
前記ショットキー電極は、前記溝の内周面を覆うように配置される、請求項１から請求項５のいずれか１項に記載の炭化珪素半導体装置。

[請求項7] 前記第１の導電型は、ｎ型であり、

前記第２の導電型は、ｐ型である、請求項１から請求項６のいずれか１項に記載の炭化珪素半導体装置。

[図1]

FIG.1



[図2]

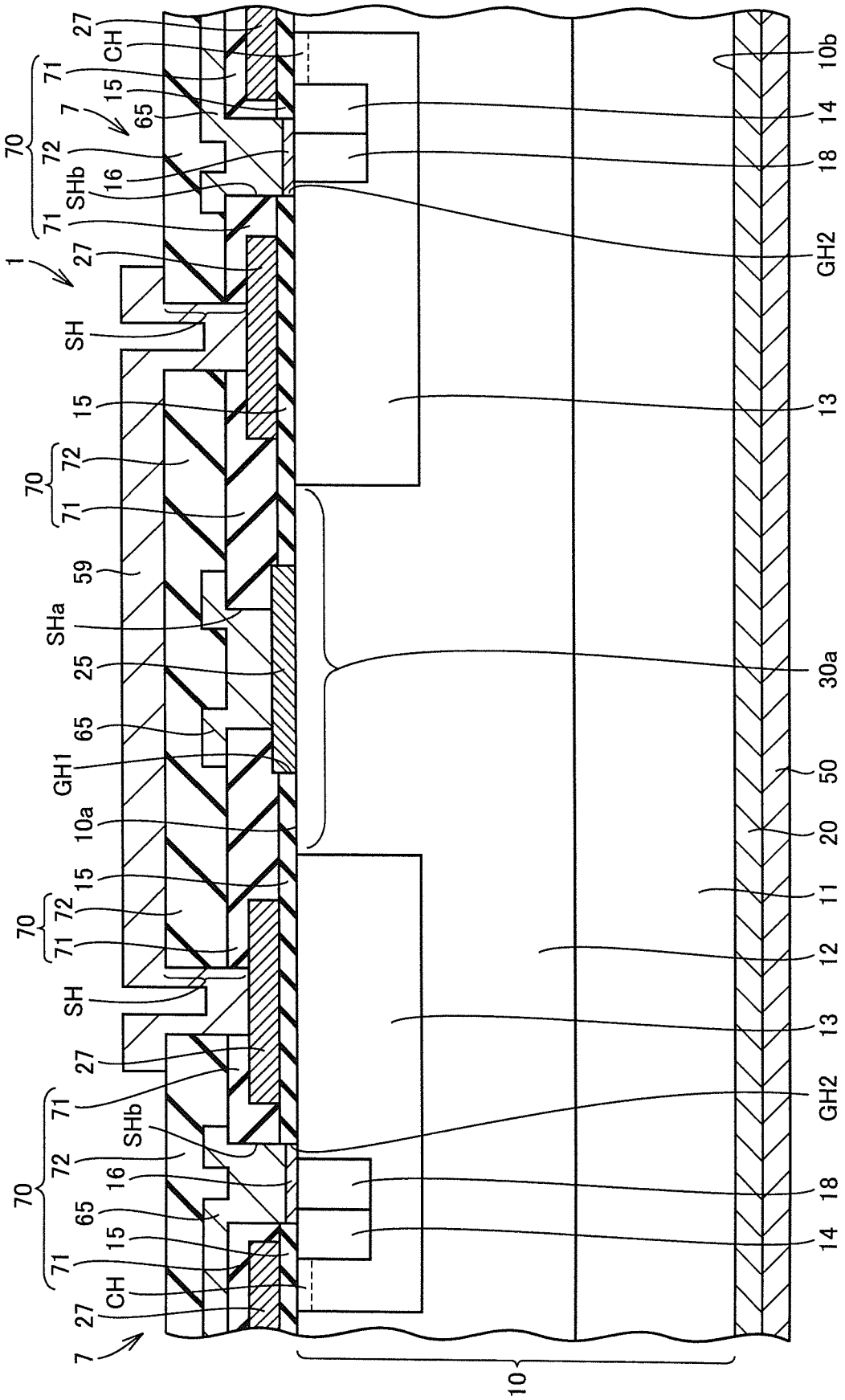
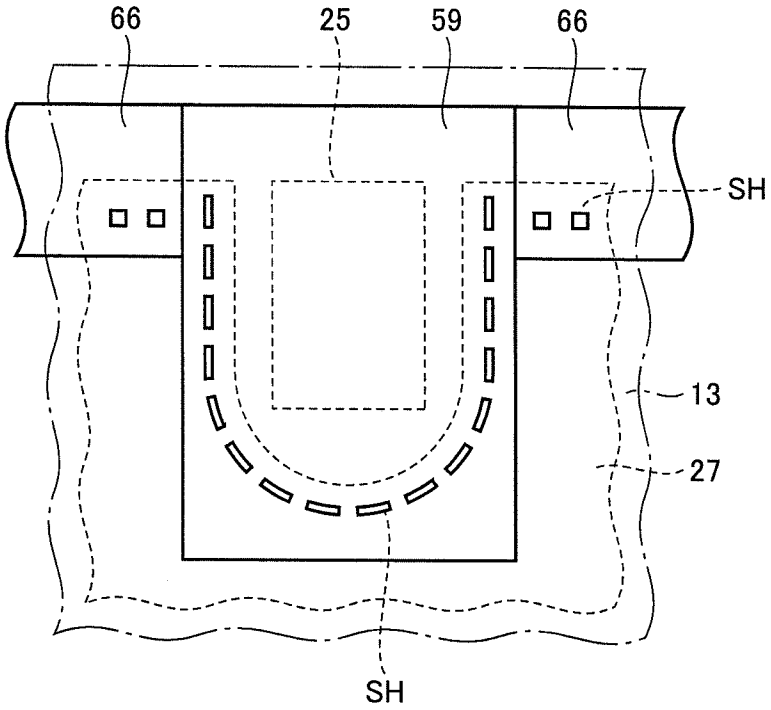

1
7
10
10a
10b
11
12
13
14
15
16
18
20
25
27
30a
50
59
65
70
71
72
CH
GH1
GH2
SH
SHa
SHb

FIG.2

[図3]

FIG.3



[図4]

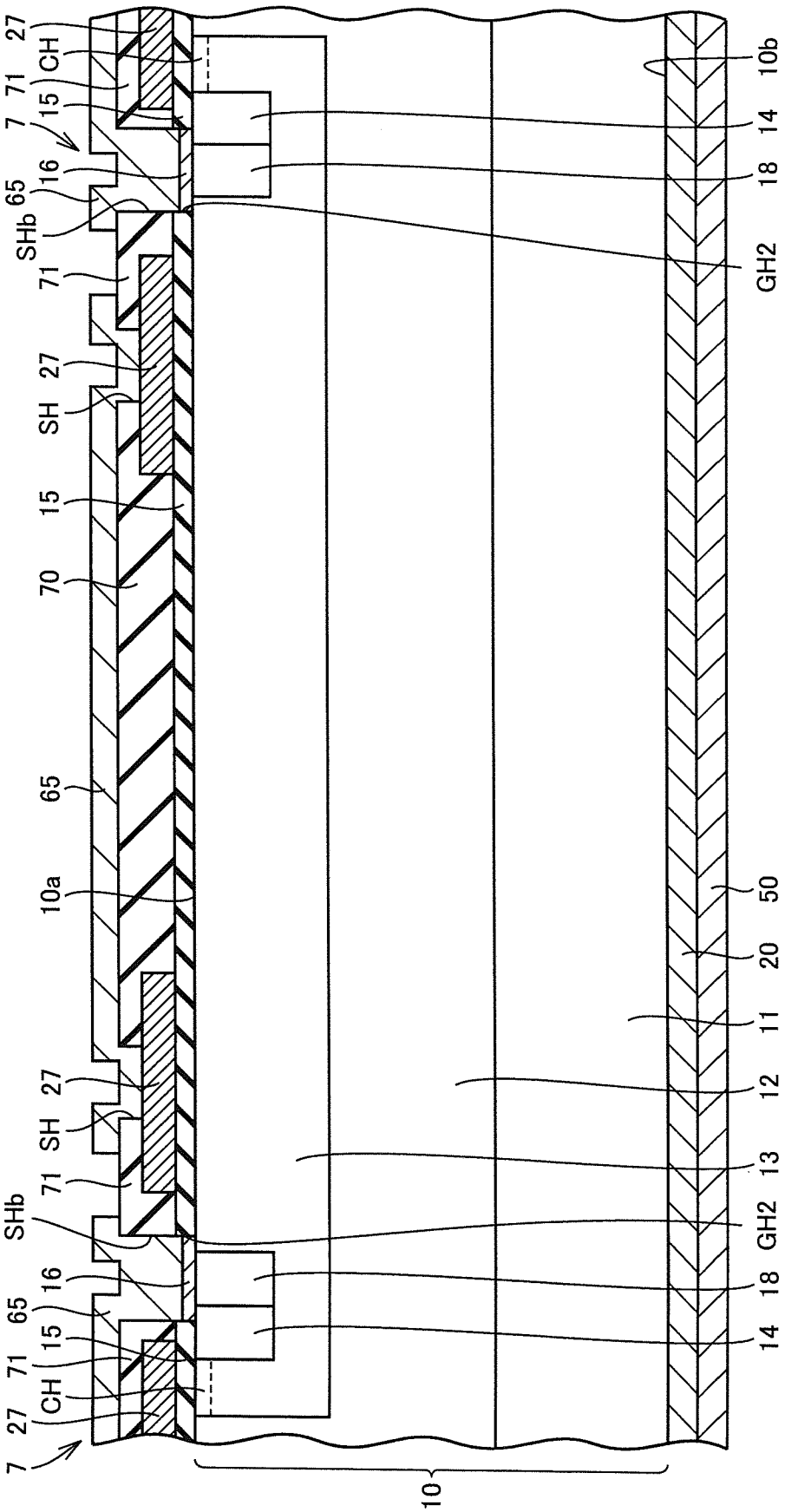
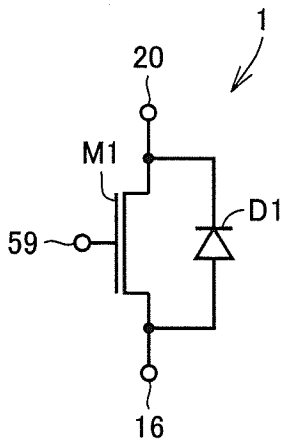

27
CH
71
15
7
16
65
SHb
71
27
SH
15
70
65
10a
27
SH
71
SHb
16
65
15
71
CH
27
7
10b
14
18
GH2
50
20
11
12
13
GH2
18
14
10

FIG.4

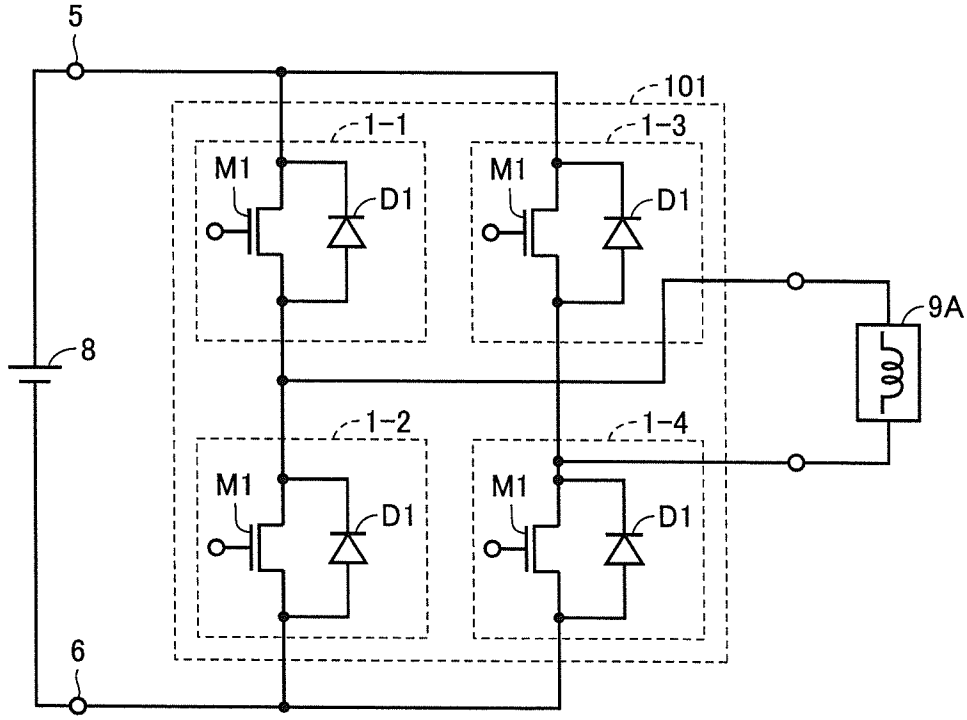
[図5]

FIG.5



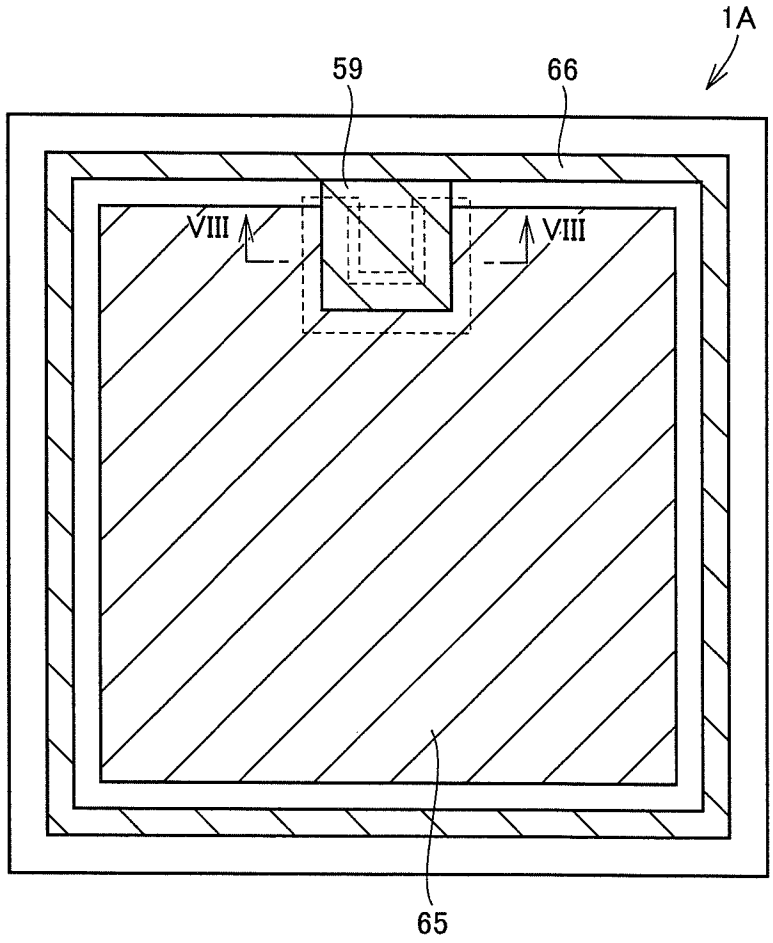
[図6]

FIG.6



[図7]

FIG.7



[図8]

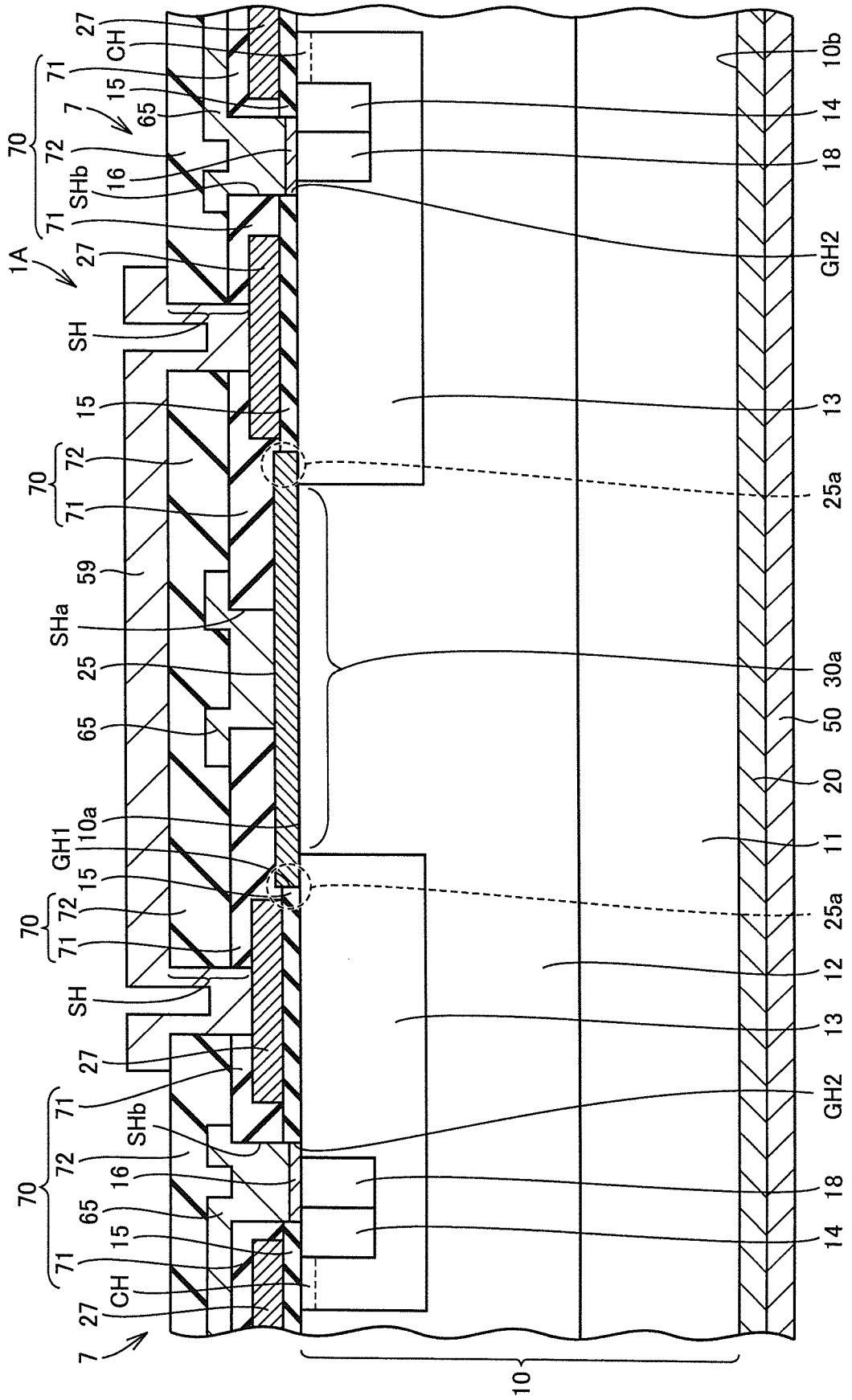

27
CH
71
15
65
7
70
72
SHb
16
71
1A
27
SH
15
70
72
71
59
SHa
25
65
GH1
10a
15
70
72
71
SH
27
71
SHb
70
72
16
65
15
71
CH
27
7
10
10b
14
18
GH2
13
25a
30a
50
20
11
25a
12
13
GH2
18
14

FIG.8

[図9]

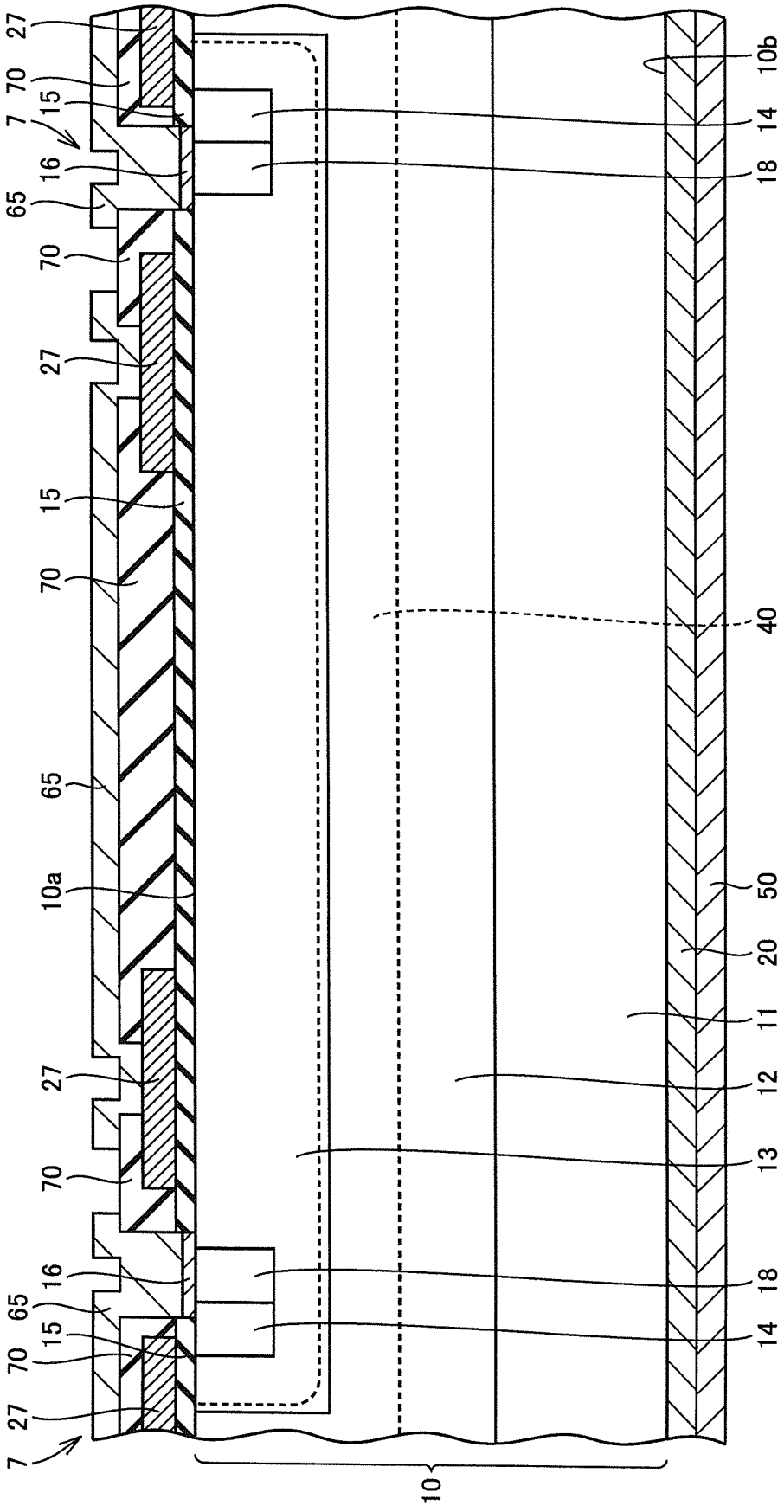

27
70
15
7
16
65
70
27
15
70
65
10a
27
70
16
65
15
70
27
7
10
10b
14
18
40
50
20
11
12
13
18
14

FIG.9

[図10]

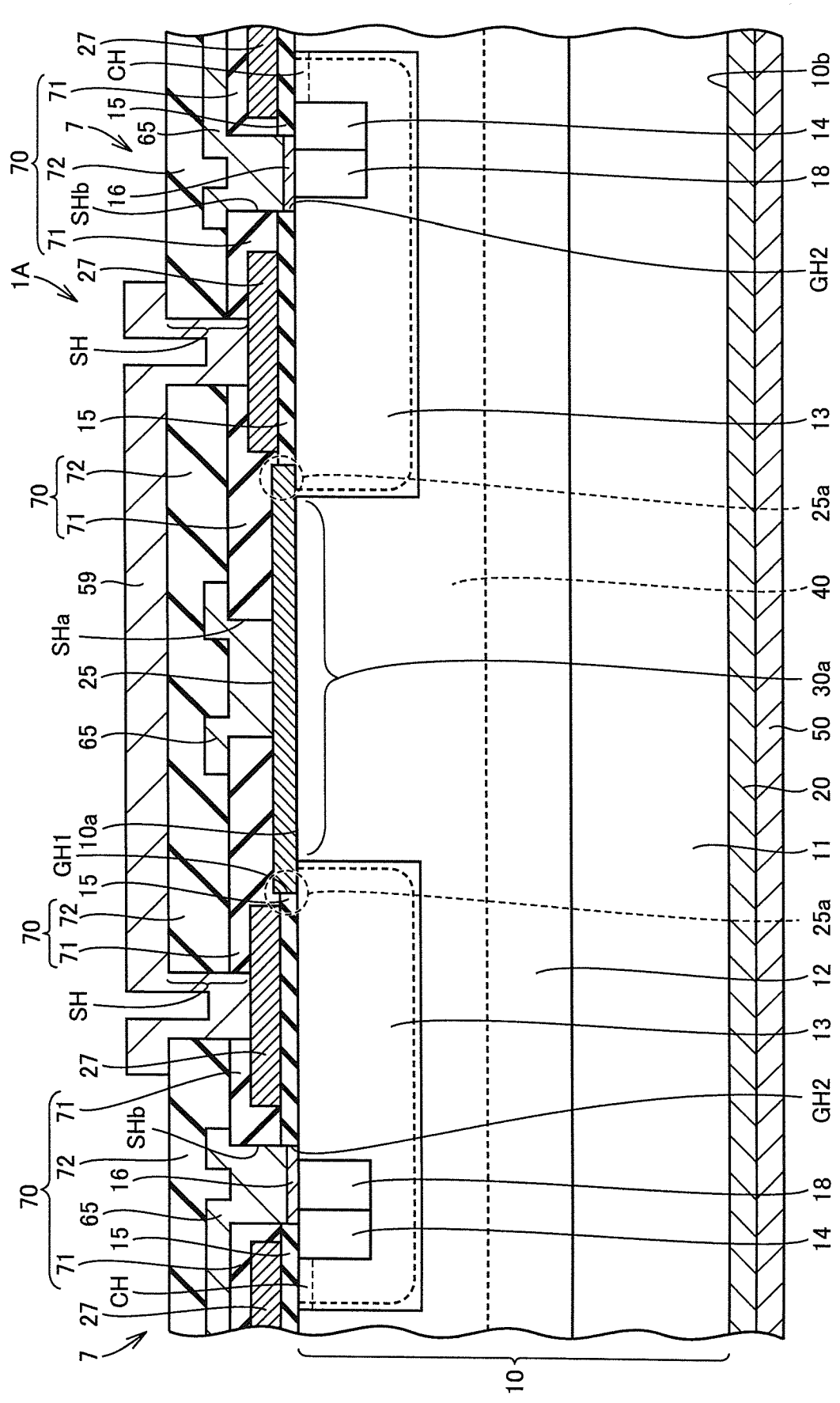
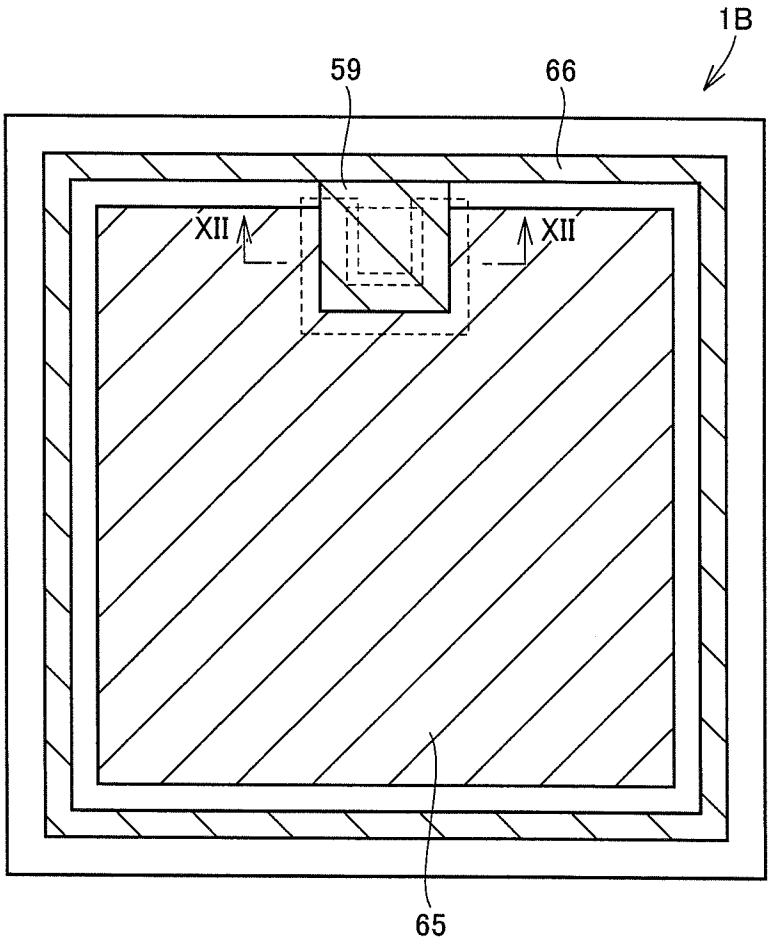

27
CH
71
15
65
7
70
72
SHb
16
71
1A
27
SH
15
70
72
71
59
SHa
25
65
GH1
10a
15
70
72
71
SH
27
71
SHb
70
72
16
65
15
71
CH
27
7
10
10b
14
18
GH2
13
25a
40
30a
50
20
11
25a
12
13
GH2
18
14

FIG.10

[図11]

FIG.11



[図12]

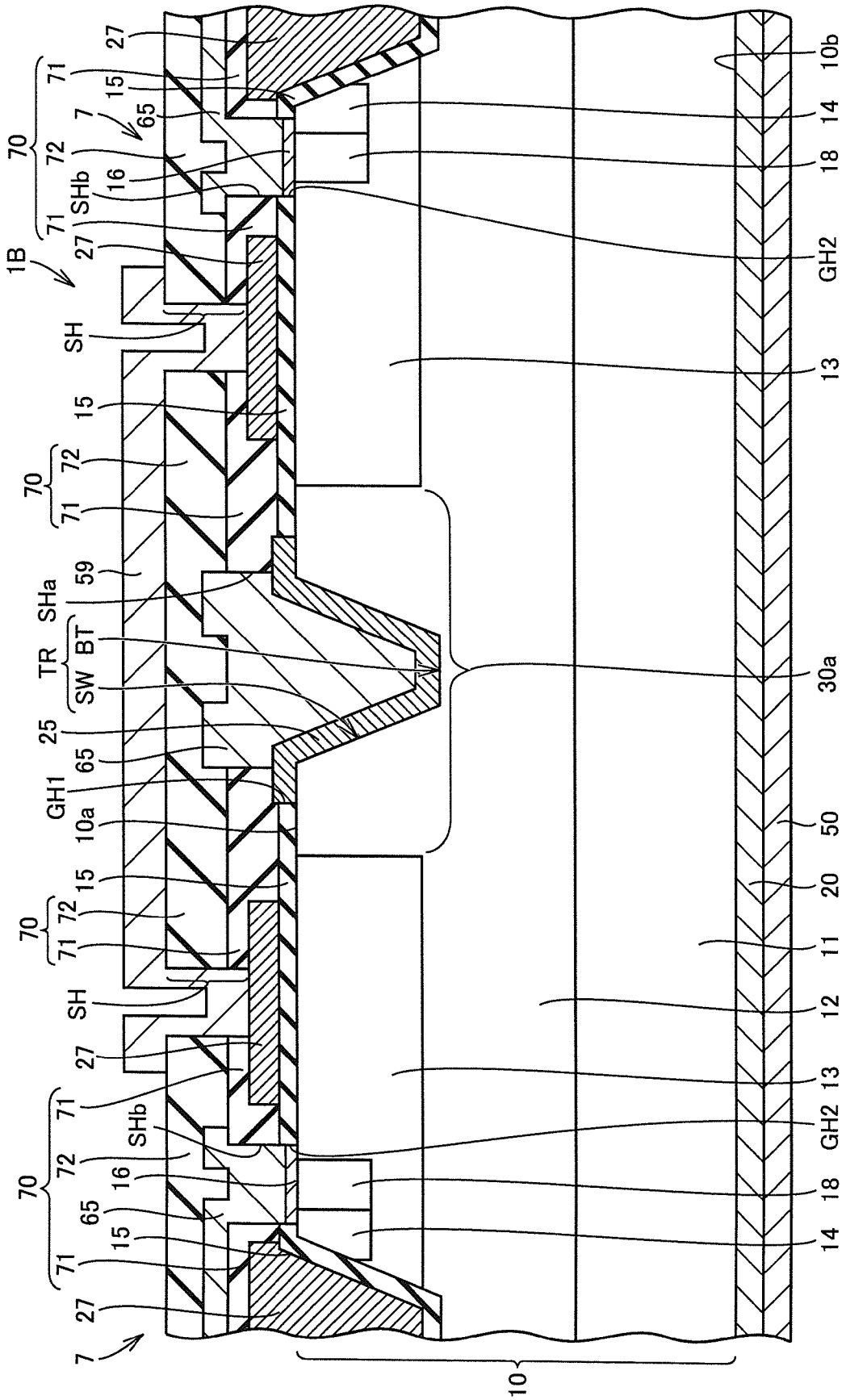

1B
7
10
27
71
15
65
72
70
16
SHb
SH
SHa
59
TR
BT
SW
25
GH1
10a
50
20
11
12
13
GH2
18
14
10b
30a

FIG.12

[図13]

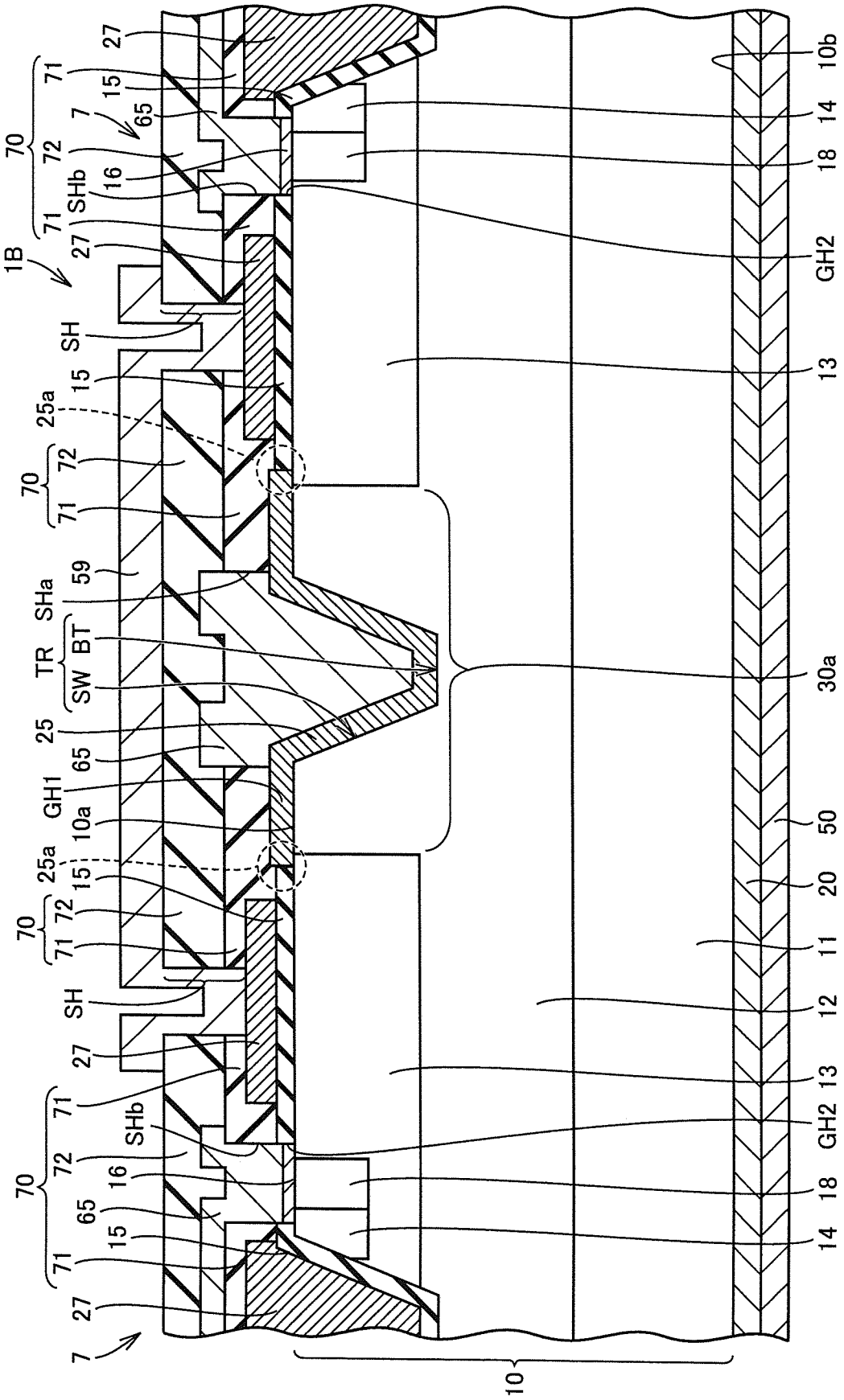

27
71
15
65
7
70
72
16
SHb
71
27
1B
SH
15
25a
72
70
71
59
SHa
TR
BT
SW
25
65
GH1
10a
25a
15
72
70
71
SH
27
71
72
SHb
70
16
65
15
71
27
7
10
10b
14
18
GH2
13
30a
50
20
11
12
13
GH2
18
14

FIG.13

[図14]

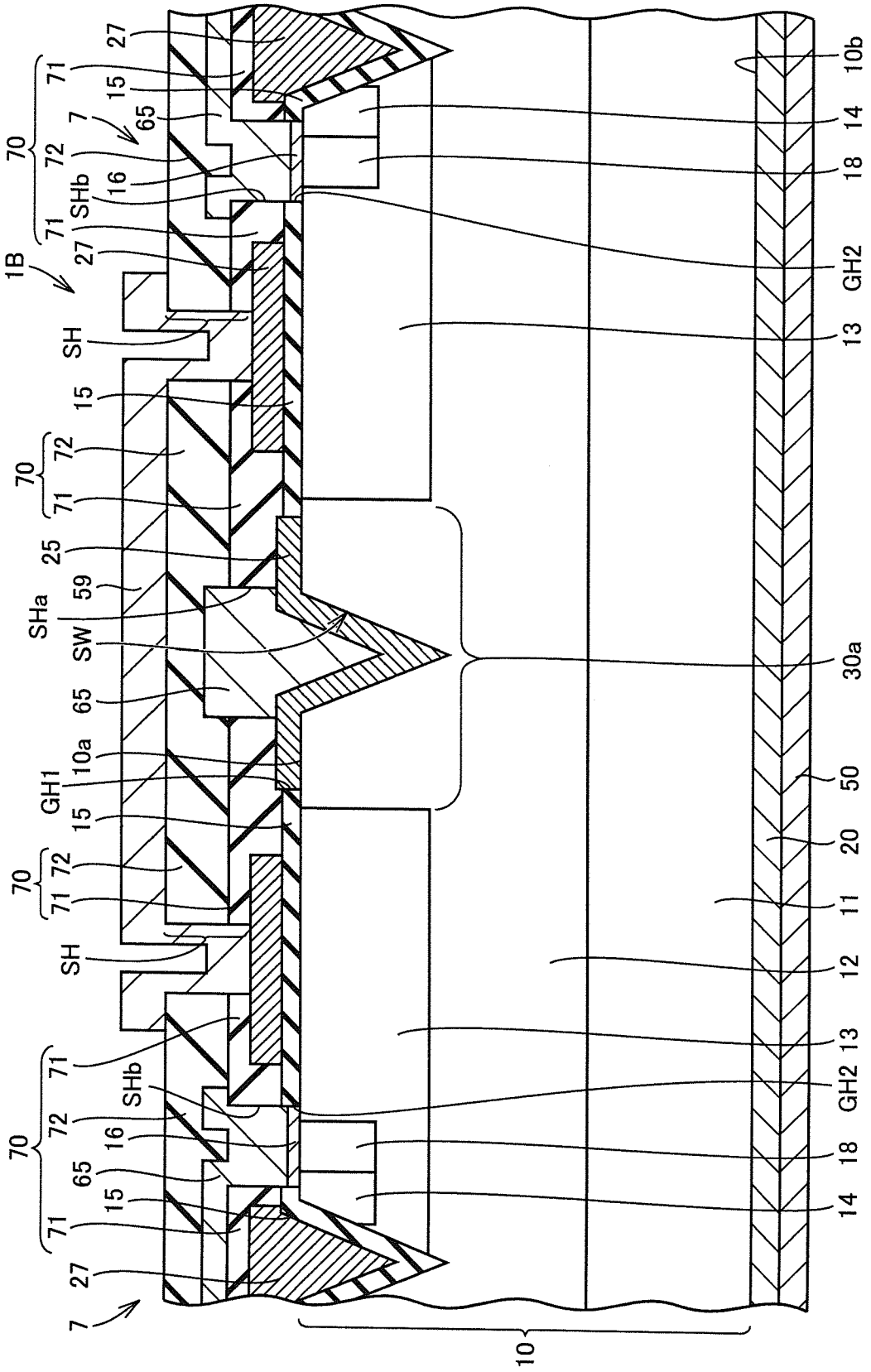

27
71
15
65
7
70
72
SHb
16
71
27
1B
SH
15
72
70
71
25
59
SHa
SW
65
10a
GH1
15
72
70
71
SH
71
SHb
72
70
16
65
15
71
27
7
10
10b
14
18
GH2
13
30a
50
20
11
12
13
GH2
18
14

FIG.14

[図15]

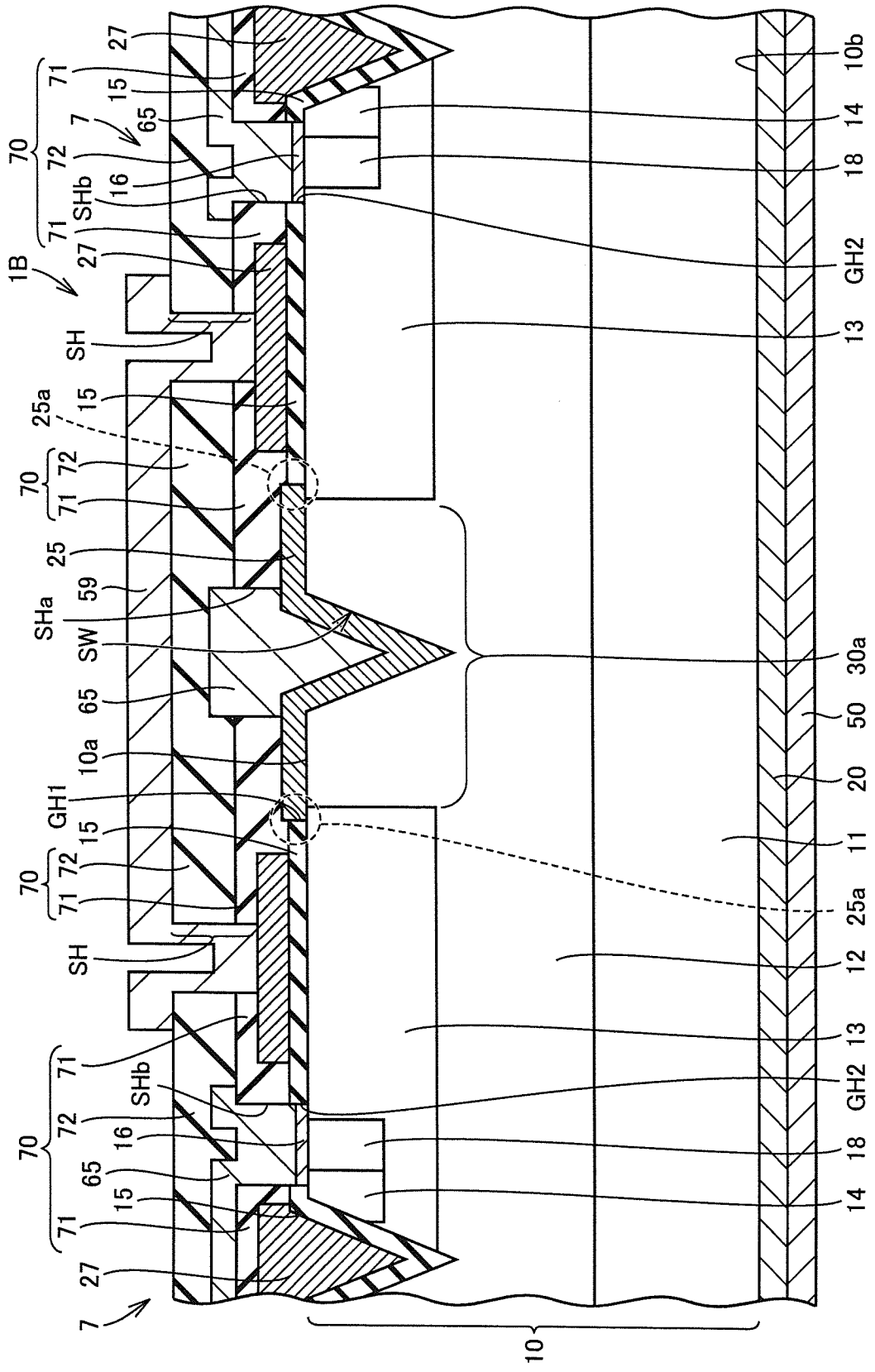
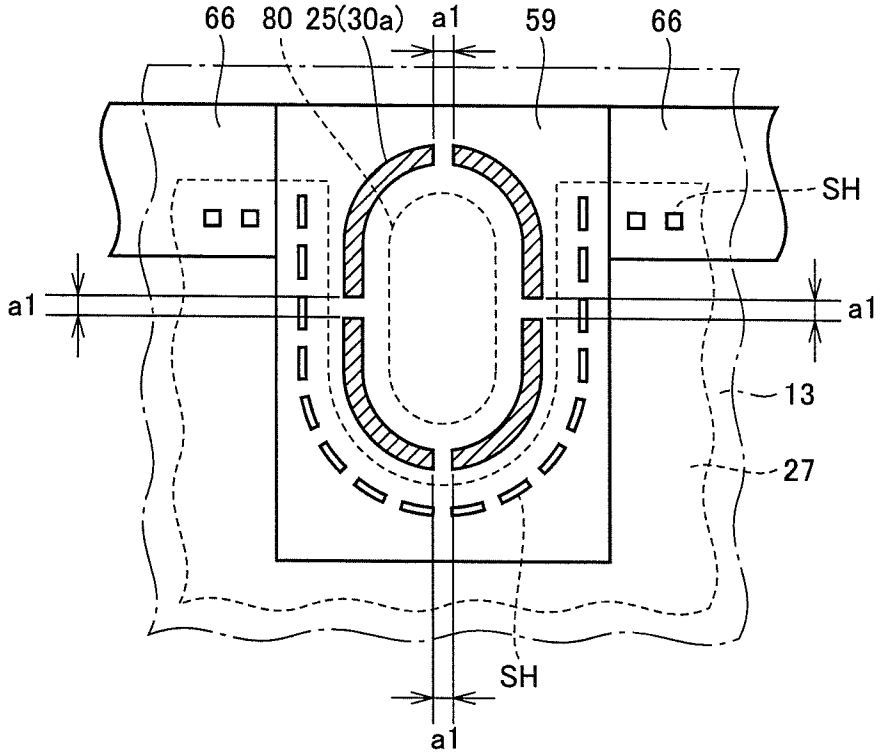

27
71
15
65
7
70
72
SHb
16
71
27
1B
SH
25a
15
70
72
71
25
59
SHa
SW
65
10a
GH1
15
70
72
71
SH
71
SHb
70
72
16
65
15
71
27
7
10
10b
14
18
GH2
13
30a
50
20
11
25a
12
13
GH2
18
14

FIG.15

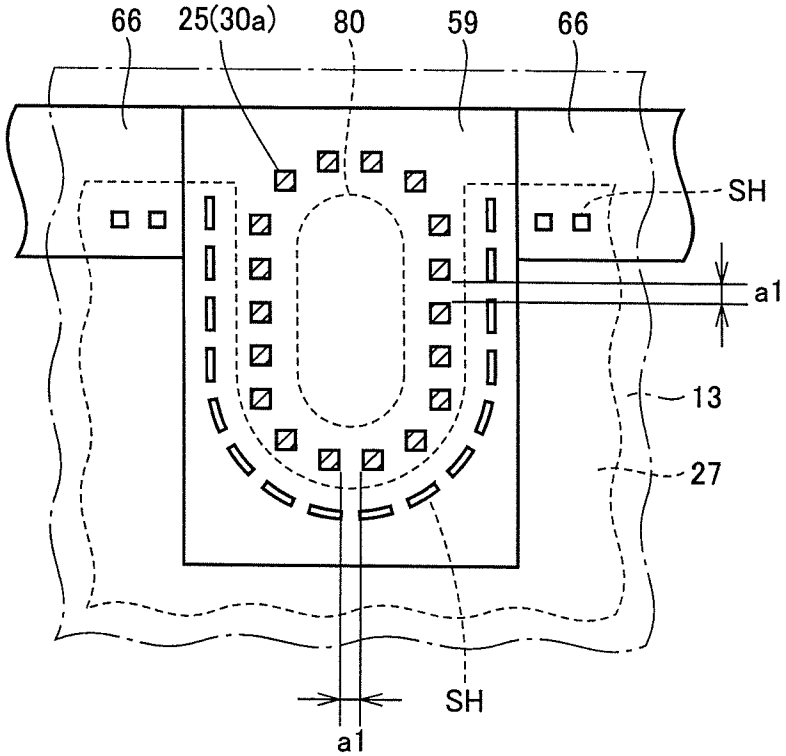
[図16]

FIG.16



[図17]

FIG.17



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2014/069797

A. CLASSIFICATION OF SUBJECT MATTER
H01L29/78(2006.01)i, *H01L21/28*(2006.01)i, *H01L21/336*(2006.01)i, *H01L27/04*(2006.01)i, *H01L29/12*(2006.01)i, *H01L29/41*(2006.01)i, *H01L29/47*(2006.01)i, *H01L29/739*(2006.01)i, *H01L29/872*(2006.01)i
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L29/78, H01L21/28, H01L21/336, H01L27/04, H01L29/12, H01L29/41, H01L29/47, H01L29/739, H01L29/872

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2014
Kokai Jitsuyo Shinan Koho 1971-2014 Toroku Jitsuyo Shinan Koho 1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-299625 A (Mitsubishi Electric Corp.), 11 October 2002 (11.10.2002), entire text; fig. 3 (Family: none)	1-7
A	JP 2009-88326 A (Fuji Electric Device Technology Co., Ltd.), 23 April 2009 (23.04.2009), entire text; all drawings (Family: none)	1-7

☐ Further documents are listed in the continuation of Box C.
☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
20 October, 2014 (20.10.14)	04 November, 2014 (04.11.14)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１４／０６９７９７

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/78(2006.01)i, H01L21/28(2006.01)i, H01L21/336(2006.01)i, H01L27/04(2006.01)i, H01L29/12(2006.01)i, H01L29/41(2006.01)i, H01L29/47(2006.01)i, H01L29/739(2006.01)i, H01L29/872(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/78, H01L21/28, H01L21/336, H01L27/04, H01L29/12, H01L29/41, H01L29/47, H01L29/739, H01L29/872

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１４年
日本国実用新案登録公報	１９９６－２０１４年
日本国登録実用新案公報	１９９４－２０１４年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Ａ	ＪＰ　２００２－２９９６２５　Ａ　（三菱電機株式会社）２００２．１０．１１、全文、図３（ファミリーなし）	１－７
Ａ	ＪＰ　２００９－８８３２６　Ａ　（富士電機デバイステクノロジー株式会社）２００９．０４．２３、全文全図（ファミリーなし）	１－７

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２０．１０．２０１４	０４．１１．２０１４

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｆ　９２７４
工藤　一光
電話番号　０３－３５８１－１１０１　内線　３５１６