



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 978314

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 12.01.81 (21) 3236734/18-09

(51) М. Кл.³

с присоединением заявки № -

Н 03 В 19/00

(23) Приоритет -

Опубликовано 30.11.82. Бюллетень № 44

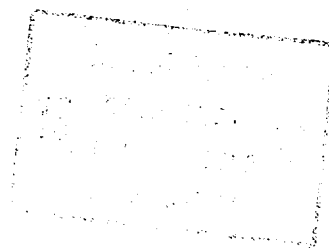
(53) УДК 621.
.373.42(088.8)

Дата опубликования описания 30.11.82

(72) Автор
изобретения

М. И. Журавлев

(71) Заявитель



(54) ЦИФРОВОЙ СИНТЕЗАТОР ЧАСТОТ

1
Изобретение относится к радио-
технике и может использоваться при
построении измерительных генераторов с малым уровнем побочных колебаний, а также в радиопередающих устройствах в качестве возбудителя или частотного манипулятора.

Известен синтезатор частот, содержащий последовательно соединенные генератор опорной частоты, D-триггер, генератор линейно изменяющегося напряжения, компаратор, триггер и фильтр нижних частот, а также последовательно соединенные блок установки кода частоты, накапливающий сумматор, регистр памяти и блок умножения-деления, а также первый цифро-аналоговый преобразователь, поразрядные входы которого соединены с соответствующими поразрядными выходами блока установки кода частоты, и второй цифро-аналоговый преобразователь, выход которого соединен с другим входом компаратора, при этом

2
выход генератора опорной частоты соединен с сигнальным входом накапливающего сумматора, дополнительный выход которого соединен с другим входом D-триггера и с управляющим входом регистра памяти [1].

Недостатком известного устройства является сложность устройства, поскольку блок умножения-деления представляет собой арифметическое устройство, выполняющее операции деления кода переполнения на число, соответствующее коду установленной частоты и умножение полученного частотного на соответствующий коэффициент. По объему оборудования блок умножения-деления наиболее сложный в синтезаторе.

Цель изобретения - упрощение синтезатора.

Поставленная цель достигается тем, что в цифровом синтезаторе частот, содержащем последовательно соединенные генератор опорной частоты,

D-триггер, генератор линейно изменяющегося напряжения, компаратор, триггер и фильтр нижних частот, а также последовательно соединенные блок установки кода частоты, накапливающий сумматор и регистр памяти, а также первый цифро-аналоговый преобразователь, поразрядные входы которого соединены с соответствующими поразрядными выходами блока установки кода частоты, и второй цифро-аналоговый преобразователь, выход которого соединен с другим входом компаратора, при этом выход генератора опорной частоты соединен с сигнальным входом накапливающего сумматора, дополнительный выход которого соединен с другим входом D-триггера и с управляющим входом регистра памяти, поразрядные выходы регистра памяти соединены с соответствующими поразрядными входами второго цифро-аналогового преобразователя, а выход первого цифро-аналогового преобразователя подключен к другому входу генератора линейно изменяющегося напряжения.

На чертеже изображена структурная электрическая схема предлагаемого цифрового синтезатора частот.

Синтезатор содержит генератор 1 опорной частоты, блок 2 установки кода частоты, накапливающий сумматор 3, регистр 4 памяти, первый цифро-аналоговый преобразователь (ЦАП) 5, второй ЦАП 6, D-триггер 7, генератор 8 линейно изменяющегося напряжения (ГЛИН), компаратор 9, триггер 10 и фильтр 11 нижних частот.

Устройство работает следующим образом.

Код требуемой выходной частоты с выходов блока 2 установки кода частоты поступает на накапливающий сумматор 3, имеющий емкость N, и на входы первого ЦАП 5. Напряжение с его выхода поступает на ГЛИН 8 в качестве напряжения питания схемы.

С частотой следования импульса выхода генератора 1 в накапливающем сумматоре 3 осуществляется сложение накопленного числа с числом M, соответствующим коду на выходе блока 2.

Через K периодов импульсов генератора 1 происходит переполнение накапливающего сумматора 3, на его выходе переполнения появляется импульс, который поступает на управляющий вход регистра 4 памяти и на

D-вход D-триггера 7. В регистре 4 памяти фиксируется код числа P, оставшегося в накапливающем сумматоре 3 после его переполнения. Второй ЦАП 6 преобразует код этого числа в напряжение, поступающее на первый вход компаратора 9. На второй вход компаратора 9 поступают импульсы пилообразной формы с выхода ГЛИН 8, длительность которых равна периоду следования импульсов опорной частоты, а положение определяется импульсами с выхода D-триггера 7, задержанными по отношению к импульсам переполнения также на период опорной частоты. При совпадении уровней напряжений на обоих входах компаратор 9 вырабатывает импульсы, длительность которых изменяется в процессе работы синтезатора. Триггер 10 работает в счетном режиме, необходимом для получения на входе фильтра 11 симметричных импульсов.

Для того, чтобы исключить зависимость результата сравнения от значений числа M, соответствующего установленной частоте выходного сигнала, напряжение на выходе ГЛИН 8 с изменением M должно изменяться по размаху, поэтому в качестве питающего напряжения ГЛИН 8 используется выходное напряжение первого ЦАП 5, величина которого пропорциональна числу M.

Предлагаемое устройство позволяет также увеличить максимальную частоту сигнала на выходе компаратора. При применении предлагаемого устройства в качестве датчика мелкой сетки частот или в качестве частотного манипулятора значение числа M в процессе работы изменяется незначительно. При этом размах пилообразного напряжения на втором входе компаратора 9 изменяется незначительно, что приводит к уменьшению уровня побочных спектральных составляющих выходного сигнала.

Формула изобретения

Цифровой синтезатор частот, содержащий последовательно соединенные генератор опорной частоты, D-триггер, генератор линейно изменяющегося напряжения, компаратор, триггер и фильтр нижних частот, а также последовательно соединенные блок установки кода частоты, накаплива-

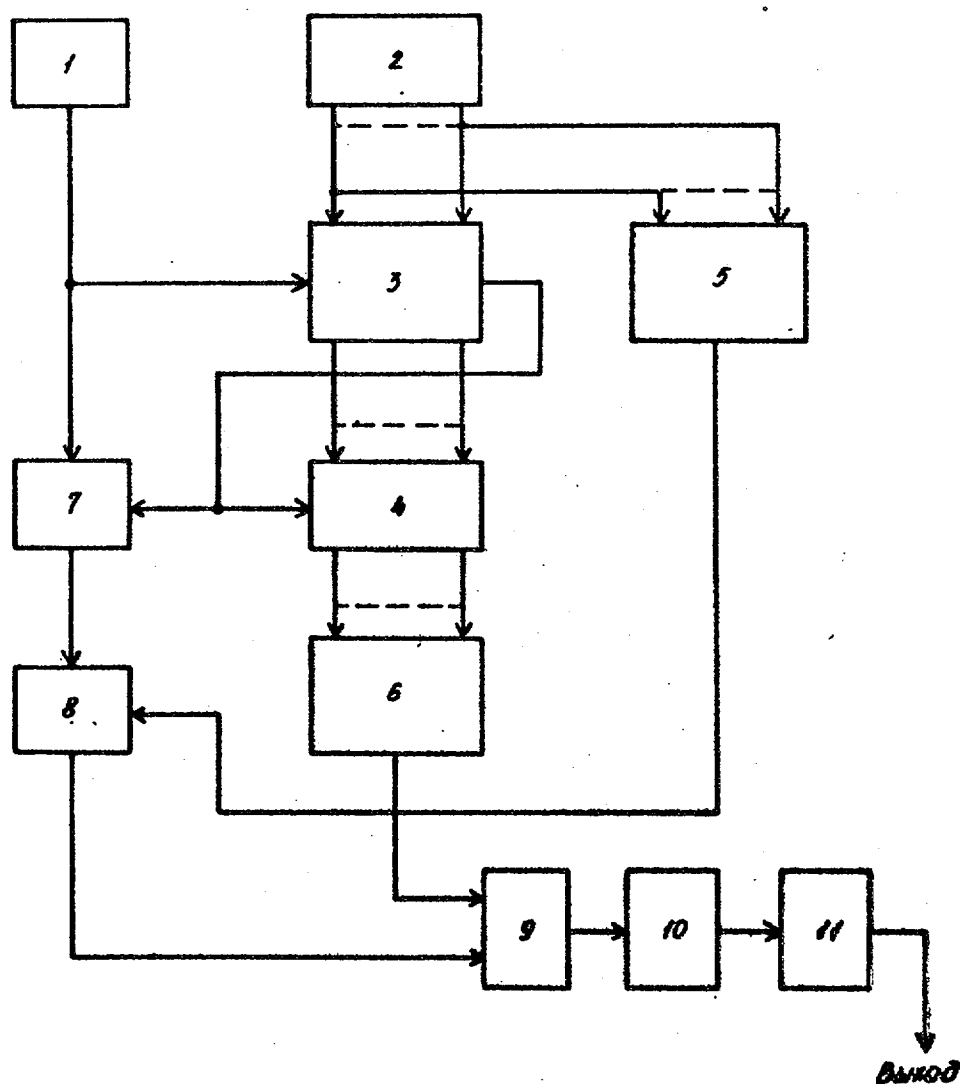
ющий сумматор и регистр памяти, а также первый цифро-аналоговый преобразователь, поразрядные входы которого соединены с соответствующими поразрядными выходами блока установки кода частоты, и второй цифро-аналоговый преобразователь, выход которого соединен с другим входом компаратора, при этом выход генератора опорной частоты соединен с сигнальным входом накапливающего сумматора, дополнительный выход которого соединен с другим входом D-триггера и управляющим входом регистра

памяти, отличающийся тем, что, с целью упрощения синтезатора, поразрядные выходы регистра памяти соединены с соответствующими поразрядными входами второго цифро-аналогового преобразователя, а выход первого цифро-аналогового преобразователя подключен к другому входу генератора линейно изменяющегося напряжения.

Источники информации, принятые во внимание при экспертизе

1. Патент США № 3882403, кл. 328-14, 06.05.75 (прототип).

15



ВНИИПИ Заказ 9239/73
Тираж 959 Подписное

Филиал ППП "Патент",
г. Ужгород, ул. Проектная, 4