

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号

特許第7145169号

(P7145169)

(45)発行日 令和4年9月30日(2022.9.30)

(24)登録日 令和4年9月21日(2022.9.21)

(51)国際特許分類

F I

H 0 1 L 21/28 (2006.01)

H 0 1 L 21/28 3 0 1 R

H 0 1 L 25/065 (2006.01)

H 0 1 L 25/08 H

H 0 1 L 25/07 (2006.01)

H 0 1 L 21/88 T

H 0 1 L 25/18 (2006.01)

H 0 1 L 21/3205(2006.01)

請求項の数 12 (全14頁) 最終頁に続く

(21)出願番号 特願2019-553500(P2019-553500)

(86)(22)出願日 平成30年3月28日(2018.3.28)

(65)公表番号 特表2020-512703(P2020-512703
A)

(43)公表日 令和2年4月23日(2020.4.23)

(86)国際出願番号 PCT/US2018/024778

(87)国際公開番号 WO2018/183453

(87)国際公開日 平成30年10月4日(2018.10.4)

審査請求日 令和3年1月7日(2021.1.7)

(31)優先権主張番号 15/473,294

(32)優先日 平成29年3月29日(2017.3.29)

(33)優先権主張国・地域又は機関
米国(US)

(73)特許権者 591025439

ザイリンクス インコーポレイテッド
X I L I N X I N C O R P O R A T E D
アメリカ合衆国 カリフォルニア州 9 5
1 2 4 - 3 4 0 0 サン ホセ ロジック
ドライブ 2 1 0 0

(74)代理人 110001195弁理士法人深見特許事務所

(72)発明者
ガンディー, ジャスプリート・シング
アメリカ合衆国、9 5 1 2 4 カリフォ
ルニア州、サン・ノゼ、ロジック・ドラ
イブ、2 1 0 0(72)発明者
ラマリンガム, スレッシュ
アメリカ合衆国、9 5 1 2 4 カリフォ
ルニア州、サン・ノゼ、ロジック・ドラ
イブ、2 1 0 0

最終頁に続く

(54)【発明の名称】 高密度 2 . 5 D および 3 D 集積のための相互接続の方法

(57)【特許請求の範囲】

【請求項 1】

半導体層と、
前記半導体層の上方に配置される、接着層と、
前記接着層の上方に配置される、アノード金属層と、
前記アノード金属層を覆い前記アノード金属層上に配置される、カソード金属層と、を
備え、

前記カソード金属層は、銅 (C u) を含み、

前記アノード金属層は、前記カソード金属層の側壁から前記アノード金属層の側壁へ
離れるように延在する表面を有し、

前記アノード金属層および前記カソード金属層は、前記アノード金属層の前記表面が
前記カソード金属層の前記側壁と同じ周囲環境に曝されるように構成され、

前記アノード金属層は、マグネシウム (M g) を含む、半導体構造。

【請求項 2】

前記アノード金属層の酸化電位は、前記カソード金属層の酸化電位よりも高い、請求項
1 に記載の半導体構造。

【請求項 3】

前記アノード金属層は、第 1 金属を含み、前記カソード金属層は、第 2 金属を含み、前
記第 1 金属は、前記第 2 金属よりも高い酸化電位を有する、請求項 1 または 2 に記載の半
導体構造。

【請求項 4】

前記第 1 金属は、前記第 2 金属よりも負の酸化物生成のギブス自由エネルギーを有する、請求項 3 に記載の半導体構造。

【請求項 5】

前記アノード金属層は、前記カソード金属層にカソード防食を提供することによって前記カソード金属層と結び付く酸化物の成長を阻害するように構成される、請求項 1 から請求項 4 のいずれか 1 項に記載の半導体構造。

【請求項 6】

前記接着層は、チタン (Ti) を含み、前記半導体層は、シリコン (Si) を含む、請求項 1 から請求項 5 のいずれか 1 項に記載の半導体構造。

10

【請求項 7】

前記カソード金属層は、前記アノード金属層上に直接配置される、請求項 1 から請求項 6 のいずれか 1 項に記載の半導体構造。

【請求項 8】

前記カソード金属層は、1 つ以上のピラーを備える、請求項 1 から請求項 7 のいずれか 1 項に記載の半導体構造。

【請求項 9】

半導体層と、

前記半導体層の上方に配置される、接着層と、

前記接着層の上方に配置される、アノード金属層と、

20

前記アノード金属層を覆い前記アノード金属層上に配置される、カソード金属層と、を備え、

前記カソード金属層は、銅 (Cu) を含み、

前記アノード金属層は、前記カソード金属層の側壁から前記アノード金属層の側壁へ離れるように延在する表面を有し、

前記アノード金属層および前記カソード金属層は、前記アノード金属層の前記表面が前記カソード金属層の前記側壁と同じ周囲環境に曝されるように構成され、

前記アノード金属層は、多孔質酸化物と関連する金属を含み、前記多孔質酸化物の酸化速度は、時間の関数として線形である、半導体構造。

【請求項 10】

30

半導体層と、

前記半導体層の上方に配置される、接着層と、

前記接着層の上方に配置される、アノード金属層と、

前記アノード金属層を覆い前記アノード金属層上に配置される、カソード金属層と、を備え、

前記カソード金属層は、銅 (Cu) を含み、

前記アノード金属層は、前記カソード金属層の側壁から前記アノード金属層の側壁へ離れるように延在する表面を有し、

前記アノード金属層および前記カソード金属層は、前記アノード金属層の前記表面が前記カソード金属層の前記側壁と同じ周囲環境に曝されるように構成され、

40

前記アノード金属層は、1.0 未満の酸化物 - 金属体積比を有する金属を含む、半導体構造。

【請求項 11】

パッケージ基板と、

各々前記パッケージ基板の上方に配置される、第 1 ダイおよび第 2 ダイと、を備え、

前記第 1 ダイの複数の銅ピラーマイクロバンプは、前記第 2 ダイに電気的および機械的に接続され、

前記第 1 ダイは、

前記銅ピラーマイクロバンプを形成する、カソード金属層と、

前記カソード金属層を覆い前記カソード金属層上に配置される、アノード金属層と

50

、を含み、前記アノード金属層の表面は、前記アノード金属層と前記カソード金属層との間の境界にあり、前記アノード金属層の前記表面は、前記境界から離れるように横方向に延在し、前記表面は、前記カソード金属層と同じ周囲環境に曝されるように構成され、前記第 1 ダイはさらに、

前記アノード金属層の上方に配置される、接着層と、

前記接着層の上方に配置される、半導体層と、を備え、

前記アノード金属層の酸化電位は、前記カソード金属層の酸化電位よりも高く、
前記アノード金属層は、マグネシウム (Mg) を含む、集積回路パッケージ。

【請求項 1 2】

前記第 1 ダイの前記複数の銅ピラーマイクロバンプは、前記第 2 ダイの複数の銅構成に直接接合される、請求項 1 1 に記載の集積回路パッケージ。

10

【発明の詳細な説明】

【技術分野】

【0001】

技術分野

本開示の例は、概して集積回路に関し、より特定のには銅 - 銅 (Cu - Cu) 接合を用いた集積回路パッケージングに関する。

【背景技術】

【0002】

背景

20

電子装置（たとえば、コンピュータ、ラップトップ、タブレット、コピー機、デジタルカメラ、スマートフォンなど）は、しばしば集積回路 (IC: integrated circuit、「チップ」としても知られる) を用いる。これらの集積回路は、典型的には、集積回路パッケージにおいてパッケージされた半導体ダイとして実装される。半導体ダイは、メモリ、ロジック、および/または様々な他の好適な回路タイプの任意のものを含み得る。

【0003】

多くの集積回路および他の半導体装置は、たとえば、プリント回路基板 (PCB: printed circuit board) のような回路基板への表面実装パッケージのために、ボールグリッドアレイ (BGA) のようなバンプの配置を利用する。(積層シリコンインターコネクト (SSI: stacked silicon interconnect) 用途において用いられるような) controlled collapse chip connection (C4) バンプまたはマイクロバンプなどの、様々な好適なパッケージピン構造の任意のものは、集積回路 (IC) ダイ (または他のパッケージ装置) 上のチャンネルとパッケージが設置される回路基板との間に電気信号を伝達するために用いられ得る。

30

【発明の概要】

【課題を解決するための手段】

【0004】

概要

本開示の 1 つの例は、半導体構造である。半導体構造は、一般的に、半導体層と、半導体層の上方に配置される接着層と、接着層の上方に配置されるアノード金属層と、アノード金属層の上方に配置されるカソード金属層とを含む。

40

【0005】

いくつかの実施形態において、アノード金属層は、マグネシウム (Mg) を含み得る。

いくつかの実施形態において、アノード金属層は、アルミニウム (Al)、亜鉛 (Zn)、およびニッケル (Ni) からなる群から選択される元素を含み得る。

【0006】

いくつかの実施形態において、カソード金属層は、銅 (Cu) を含み得る。

いくつかの実施形態において、アノード金属層の酸化電位は、カソード金属層の酸化電位よりも高いものであり得る。

【0007】

50

いくつかの実施形態において、アノード金属層は、第 1 の金属を含み得、カソード金属層は、第 2 の金属を含み得、第 1 の金属は、第 2 の金属よりも高い酸化電位を有し得る。

【 0 0 0 8 】

いくつかの実施形態において、第 1 の金属は、第 2 の金属よりも負の酸化物生成のギブス自由エネルギーを有し得る。

【 0 0 0 9 】

いくつかの実施形態において、アノード金属層は、多孔質酸化物と結び付く金属を含み得、多孔質酸化物の酸化速度は、時間の関数として線形であり得る。

【 0 0 1 0 】

いくつかの実施形態において、アノード金属層は、1 . 0 未満の酸化物 - 金属体積比を有する金属を含み得る。

10

【 0 0 1 1 】

いくつかの実施形態において、アノード金属層は、カソード金属層にカソード防食をもたらすことによってカソード金属層と結び付く酸化物の成長を阻害するように構成され得る。

【 0 0 1 2 】

いくつかの実施形態において、接着層は、チタン (T i) を含み得、半導体層は、シリコン (S i) を含み得る。

【 0 0 1 3 】

いくつかの実施形態において、カソード金属層は、アノード金属層上に直接配置され得る。

20

【 0 0 1 4 】

いくつかの実施形態において、カソード金属層は、1 つ以上のピラーを備える。

本開示の別の例は、半導体構造を製造する方法である。上記方法は、概して、半導体の上方に接着層を配置することと、接着層の上方にアノード金属層を配置することと、アノード金属層の上方にカソード金属層を配置することとを含む。

【 0 0 1 5 】

本開示の別の例は、集積回路パッケージを製造する方法である。上記方法は、概して、半導体層の上方に配置される接着層と、接着層の上方に配置されるアノード金属層と、アノード金属層の上方に配置されるカソード金属層とを有する半導体構造を提供することと、2 0 0 未満の温度で、半導体構造のカソード層を別の構造の金属層に接合することとを含む。

30

【 0 0 1 6 】

いくつかの実施形態において、上記方法は、リソグラフィおよび電気めっきを用いてカソード金属層の上方に複数のピラーを形成することをさらに含む。複数のピラーは、カソード金属層と同じ組成を有し得る。

【 0 0 1 7 】

いくつかの実施形態において、上記方法は、カソード金属層をエッチングして複数のピラー間のカソード金属層の少なくとも一部を除去することと、レジストで複数のピラーを含む半導体構造の上面を被覆することと、アノード金属層が露出されるようにリソグラフィを用いて複数のピラー間におけるレジストの少なくとも一部を除去することと、半導体層が露出しレジストが除去されるように複数のピラー間におけるアノード金属層および接着層の少なくとも一部をエッチングすることとをさらに含む得る。

40

【 0 0 1 8 】

いくつかの実施形態において、アノード金属層は、マグネシウム (M g) を含み得、カソード金属層は、銅 (C u) を含み得る。

【 0 0 1 9 】

いくつかの実施形態において、アノード金属層の酸化電位は、カソード金属層の酸化電位よりも高いものであり得る。

【 0 0 2 0 】

50

いくつかの実施形態において、上記方法は、200 未満の温度で、半導体構造のカソード金属層を別の構造の金属層に接合することをさらに含み得る。

【0021】

本開示のさらに別の例は、集積回路パッケージである。パッケージは、概して、パッケージ基板と、パッケージ基板の上方に配置される複数のダイとを含む。複数のダイの少なくとも1つは、複数の銅ピラーマイクロバンプを介して複数のダイの別の1つに電氣的に接続される。複数のダイの少なくとも1つは、銅ピラーマイクロバンプを形成するカソード金属層と、カソード金属層の上方に配置されるアノード金属層と、アノード金属層の上方に配置される接着層と、接着層の上方に配置される半導体層とを含む。アノード金属層の酸化電位は、カソード金属層の酸化電位よりも高い。

10

【0022】

これらのおよび他の局面は、以下の詳細な説明を参照して理解され得る。

本開示の上述の構成が詳細に理解されることが可能であるように、上記に要約された本開示のより特定のな説明が、実施例を参照することによってなされ得る。そのいくつかは、添付された図面に示される。しかしながら、添付された図面は、この開示の典型的な例示のみを示し、したがってその範囲の限定であると考えられるべきではなく、本開示のために他の等しく効果的な実施例が認められ得ることに留意されたい。

【図面の簡単な説明】

【0023】

【図1】本開示の実施例にしたがう、カソード金属層とのガルバニ列におけるアノード金属層を有する例示の半導体構造の断面図である。

20

【図2】本開示の実施例にしたがう、図1の半導体構造に基づく銅-銅接合のための銅ピラーを形成するための例示の動作を示す図である。

【図3】本開示の実施例にしたがう、例示の2.5D集積回路(IC)パッケージの断面図である。

【図4】本開示の実施例にしたがう、例示の3D ICパッケージの断面図である。

【図5】本開示の実施例にしたがう、例示の半導体構造を製造する動作のフロー図である。

【発明を実施するための形態】

【0024】

詳細な説明

30

本開示の実施例は、酸化物生成に対する懸念が低減されたCu-Cu接合のための技術および装置を提供し、これにより、この接合のために特別な要求なく、低減温度（たとえば、高くとも200）およびより速いサイクル時間での十分な接合を提供する。本開示の実施例は、より長いキュー(queue)(Q)またはステージング時間も可能にし得る。

【0025】

銅-銅接合のための例示のカソード防食

チップツーチップ(C2C)、チップツーウェハ(C2W)、およびウェハツーウェハ(W2W)接合技術は、チップおよび/またはウェハが様々なストレス（たとえば、温度、ひずみ、ねじれなど）に曝されるときに接続不良を回避するように実質的に堅牢である相互接続技術に頼っている。はんだ相互接続を有する銅(Cu)ピラーは、数十年もの間、低密度設計および高密度設計のための、この産業の主力商品であった。しかしながら、密度が増加し続け、ピッチが低減されるにつれて、このCuピラー技術は、低減されたはんだ体積、脆弱な金属間化合物(IMC: intermetallic compound)、ボイドニング(voiding)、低熱伝導度などの様々な問題に直面している。銅-銅(Cu-Cu)接合は、数年もの間、産業によって追求されてきた代替的な相互接続であるが、今日まで、実用的なまたは大量製造(HVM: high volume manufacturing)の解決法を提示していない。Cu-Cu接合に対する1つの重大な課題は、十分な相互接続を阻害するCu表面上での急速な酸化物生成である。

40

【0026】

現在は、接合を成功させるために、400 ほどの温度が要求される。しかしながら、

50

このような高温はある材料（たとえば、ポリマー）を融解し得る。大学、合併企業、および産業は、限られた成果しかあげられていない低温 Cu - Cu 接合を可能にするために、数年間様々な方法を試みてきた。たとえば、酸浸漬接合、挿入接合、自己組織化単分子膜（SAM：self-assembled monolayer）、および表面活性化接合（SAB：surface activation bonding）が、この長年にわたる要求に対処するためにすべて試みられてきたが、今までのところ、HVMのための条件を満たす解決法を生み出すことに失敗している。

【0027】

本開示の実施例は、Cu 酸化物生成を大幅に低減させることによって低減温度（たとえば、高くとも 200 °C）での Cu - Cu 金属接合のための技術を提供する。これらの技術は、より速いサイクル時間を可能にし、特別の手段（たとえば、フォーミングガス）を伴わない。このような技術は、より長いキュー（Q）またはステージング時間も可能にし得る。

10

【0028】

ある金属は不動態化酸化物を形成し得、あるものは多孔質酸化物を形成し、他のものは非常に脆い酸化物を形成するため、これらの技術を得ることは、異なる金属が異なる酸化物生成挙動を有することを認識することを含んでいた。ピリング - ベドワース（Pilling-Bedworth）比（ R_{PB} ）は、酸化物 - 金属体積比を表す。 $R_{PB} < 1$ のとき、酸化物被覆は破壊され、保護効果を提供しない（たとえば、マグネシウム（Mg）： $R_{PB} = 0.81$ ）。 $R_{PB} > 2$ のとき、酸化物被覆は剥がれ落ち、保護効果を提供しない（たとえば、鉄（Fe）： $R_{PB} = 2.1$ ）。 $1 < R_{PB} < 2$ のとき、酸化物被覆は不動態化する（たとえば、アルミニウム（Al）： $R_{PB} = 1.28$ または チタン（Ti）： $R_{PB} = 1.73$ ）。Mg について、酸化物は多孔質であるため、酸化速度式は線形である（たとえば、 $W = K_1 t$ 、 W は単位面積当たりの重量増加、 K_1 は定数であり、 t は時間である。）非多孔質酸化物を有する金属（たとえば、Cu）は、放物線または対数挙動のいずれかに従う。たとえば、放物線の酸化速度は、 $W = K_2 t + K_3$ で表され得、 K_2 および K_3 は所与の温度における時間依存の定数である。Al または Fe の酸化速度は、周囲温度付近で対数的であり、 $W = K_4 \log(K_5 t + K_6)$ として表され得、 K_4 、 K_5 および K_6 は定数である。

20

【0029】

上記の概念を用いて、Cu 酸化を阻害するために、Cu と他の金属との間にガルバニック対が形成されて得る。理想的な場合は、図 1 の例示の半導体構造 100 に描写されるような Cu / Mg 対である。Mg は、多孔質酸化物を形成し、その酸化物成長速度は線形である。以下の表に示されるように、Mg 酸化電位（2.37 V）は、Cu の酸化電位（-0.34 V）よりも高い。

30

【0030】

40

50

【表 1】

酸化反応	酸化電位
$K \rightarrow K^+ + e^-$	2.93
$Ca \rightarrow Ca^{2+} + 2e^-$	2.87
$Na \rightarrow Na^+ + e^-$	2.71
$Mg \rightarrow Mg^{2+} + 2e^-$	2.37
$Al \rightarrow Al^{3+} + 3e^-$	1.66
$Zn \rightarrow Zn^{2+} + 2e^-$	0.76
$Pb \rightarrow Pb^{2+} + 2e^-$	0.13
$Cu \rightarrow Cu^{2+} + 2e^-$	-0.34
$2 I^- \rightarrow I_2 + 2e^-$	-0.54
$2 Br^- \rightarrow Br_2 + 2e^-$	-1.07
$2 Cl^- \rightarrow Cl_2 + 2e^-$	-1.36
$2 F^- \rightarrow F_2 + 2e^-$	-2.87

表1

【0031】

したがって、Mgは、Cuとのガルバニ列において非常にアノード性を有する。さらに、Mgの酸化物生成のギブス自由エネルギー（ -569.43 kJ/mol ）は、Cuの酸化物生成のギブス自由エネルギー（ -127 kJ/mol ）よりも負である。Mgはそれ自体を犠牲にすることによってCuに対してカソード防食を提供するため、相互接続におけるCuおよびMgの融合は、Cu酸化物成長を阻害するまたは少なくとも低減する。Mg酸化物は線形の成長速度で多孔質であるため、Mgは、電子を失い続け、Cu酸化を起こさずに酸化物を形成し得る。

【0032】

図1は、本開示の実施例にしたがう、例示の半導体構造100の断面図である。半導体構造100は、ウェハまたは（たとえば、ウェハからの単一化の後）個々のダイを有し得る。半導体構造100は、ウェハ層102（または基板層）と、ウェハ層102の上方に配置される接着層104と、接着層104の上方に配置されるアノード金属層106と、アノード金属層106の上方にかつアノード金属層106とのガルバニ列で配置されるカソード金属層108とを備える。ウェハ層102は、シリコン（Si）などの任意の好適な半導体材料を含み得る。接着層104は、ウェハ層102に良好に接着する、様々な好適な金属材料（たとえば、チタン（Ti）、タンタル（Ta）、またはクロム（Cr））の任意のものを含み得る。カソード金属層108は、Cu-Cu接合がチップおよび/またはウェハ間に相互接続を形成可能であるように、Cuを含み得る。

【0033】

アノード金属層106は、図1に示されるように、Mgからなり得る。しかしながら、

アノード金属層 106 は、Mg に対する代替物として、様々な他の好適な金属の任意のものを含み得る。アノード金属層 106 に好適な金属は、カソード金属層 108 の酸化電位よりも高い酸化電位を有し得、この金属は Cu よりもアノード性であるため、Cu とのガルバニ列にあるときカソード防食をもたらす。たとえば、アノード金属層 106 は、Al、亜鉛 (Zn)、またはニッケル (Ni) を含み得る。しかしながら、これらの金属のいくつかは線形の成長速度に沿わないため、酸化は経時的に制御された拡散となり得、これにより酸素 (O) に供給される電子を制限する。

【0034】

図 2 は、本開示の実施例にしたがう、図 1 の半導体構造 100 に基づく Cu - Cu 接合のための銅ピラーを形成するための例示の動作 200 を示す。動作 200 から結果として生じる構造は、200 未満のまたは 200 に等しい温度での C2C、C2W、または W2W 接合のために用いられ得る。

【0035】

Si のウェハ層 102 または別の好適な半導体層から始まり、接着層 104、アノード金属層 106、およびカソード金属層 108 が、ウェハ層 102 の上方に連続して配置され得る。様々な好適な技術の任意のもの (たとえば、物理蒸着 (PVD: physical vapor deposition)) が、ウェハ層 102 の上方に層 104、106 および 108 を配置して半導体構造 100 を形成するために利用され得る。リソグラフィおよび電気めっきが、リソグラフィマスクにしたがって、設計された領域において半導体構造 100 の上方に多数のピラー 202 (たとえば、銅 (Cu) ピラー) を形成するために用いられ得る。この態様では、カソード金属層 108 が、ピラー 202 を備えると考えられ得る。次に、ピラー 202 間の領域 204 において、カソード金属層 108 の一部が (たとえば、エッチングによって) 除去される。したがって、カソード金属層 108 は、このプロセスにおいて、ピラーをめっきするためのシード層であると考えられ得る。シード層の一部は連続的に除去され、シード層の残部は各ピラーの部分形成する。領域 204 においてシード層をエッチングした後、構造の上面は、レジスト 206 で被覆され得る。ピラー 202 間の所望の領域 208 においてレジストの一部を除去するために、リソグラフィが用いられ得る。その後、アノード金属層 106 (および、ある場合においては、示されるように、接着層 104) の一部が、ピラー 202 間の領域 210 において、様々な好適な技術の任意のもの (たとえば、エッチング) を用いて除去される。レジスト 206 も除去され得る。図 2 における結果として生じる構造は、急速な銅酸化物生成を不可能にするため、200 以下の温度において十分な相互接続を形成するための別の構造 (たとえば、チップまたはウェハ) との Cu - Cu 接合に好適である。

【0036】

いくつかの実施例のために、ピラー 202 の形成の後または間に、アノード金属 (たとえば、Mg) の側壁が、ピラーの横方向表面上に形成され得るとともに、ピラーを取り囲み得る。これらのアノード側壁は、ピラー 202 と同じ高さまたはピラー 202 よりも低い高さを有し得る。これらの側壁は、図 2 に示される動作の休止を通して維持され得る。

【0037】

例示の集積回路パッケージ

集積回路 (IC) ダイ (「チップ」ともよばれる) は、典型的には、回路基板 (たとえば、プリント回路基板 (PCB)) との電気接続のためにパッケージに配置される。パッケージは、腐食の原因になり得る、起こり得る物理的ダメージおよび湿度から集積回路ダイを保護する。本開示の実施例は、このような IC パッケージを形成するためにチップツーチップ (C2C)、チップツーウェハ (C2W)、またはウェハツーウェハ (W2W) 接合のために利用され得る。Cu - Cu 接合は、本開示の実施例にしたがって、C2C、C2W、または W2W 集積を実施するために 200 未満の温度で行われ得る。

【0038】

多くの異なるタイプの IC ダイが、本開示の実施例から利益を得て、IC パッケージに含まれ得る。1 つの例示のタイプの IC ダイは、field programmable

10

20

30

40

50

gate array (FPGA) ダイなどのプログラマブルICダイである。FPGAは、典型的には、プログラマブルタイトルのアレイを含む。これらのプログラマブルタイトルは、たとえば、input/output block (IOB)、configurable logic block (CLB)、dedicated random access memory block (BRAM)、倍率器、digital signal processing block (DSP)、処理装置、時間管理部、delay lock loop (DLL) などを含み得る。別のタイプのプログラマブルICダイは、complex programmable logic device (CPLD) ダイである。CPLDは、相互接続スイッチマトリックスによって、ともにおよびinput/output (I/O) リソースに接続される2つ以上の「機能ブロック」を含む。CPLDの各機能ブロックは、programmable logic array (PLA) およびprogrammable array logic (PAL) 装置に用いられるものに類似の2レベルAND/OR構造を含む。他のプログラマブルICは、装置上の様々な要素をプログラム可能に相互接続する金属層などの処理層を適用することによってプログラムされる。これらのプログラマブルICは、マスクプログラマブル装置として知られる。「プログラマブルIC」という記載は、application-specific integrated circuit (ASIC) などの、部分的にのみプログラム可能な装置を包含し得る。

10

【0039】

機能上昇が向上したより小さい電子装置の需要として、ICパッケージ技術は、単なる伝統的な2次元(2D)構成を超えて展開されており、増加された集積をもたらす。伝統的な2D構成は、基板(たとえば、system-in-package (SiP) 基板)上および同面上に直接配置される多数のICダイを含む。しかしながら、2.5Dおよび3D集積を有するICパッケージが、さらに開発されている。2.5Dおよび3D集積の例は、以下に提供される。

20

【0040】

図3は、本開示の実施例にしたがう、積層シリコンインターコネクト(SSI)技術を利用する例示の2.5D ICパッケージ300の断面図である。2.5Dと伝統的な2D ICパッケージとの主な相違は、ICダイが配置されるthrough-silicon via (TSV) を有するインターポーザの含有である。たとえば、ICパッケージ300は、第1ダイ302₁(標識された「ダイ#1」)および第2ダイ302₂(標識された「ダイ#2」)(集合的に「ダイ302」とよばれる)を含む。ダイ302は、super logic region (SLR) ともよばれる、製造性の高いFPGAダイスライスを含む、様々な好適なダイの任意のものを含み得る。概念の図示を容易にするために図3には2つのダイ303のみが示されているが、2.5D ICパッケージは2つ以上のダイを含んでもよいことが理解されるべきである。各ダイ302は、チップ基板304と、装置層306と、金属層308とを含み得る。ダイ302は、マイクロバンプ310によってインターポーザ311に接続される、示されるようなフリップチップダイであり得る。マイクロバンプ310は、図2のピラー202に類似して形成され得る、銅ピラーマイクロバンプ(銅ピラーバンプ、銅ピラーμバンプ、または銅ピラーともよばれる)として実施され得る。マイクロバンプ310は、従来のはんだバンプよりも細かいピッチを許容する。銅ピラーマイクロバンプを用いたダイ302とインターポーザ311との間に形成される相互接続は、本開示の実施例から利益を得るであろう酸化物生成が低減されたCu-Cu接合の1つの例である。

30

40

【0041】

SSI技術は、異なるタイプのダイ302またはシリコンプロセスがインターポーザ311上で相互接続されることを可能にする。インターポーザ311は、ICダイ302が並んで設置され相互接続される、相互接続媒体として機能する。インターポーザ311は、たとえば、パッシブシリコンインターポーザであり得る。図3には1つのインターポーザ311のみが示されているが、ICパッケージにはいくつかの実施例のために多数のイ

50

インターポーザが実装されてもよい。インターポーザ 311 は、インターポーザ基板 316 と、基板 316 の上方に配置される頂面金属層 312 と、基板 316 の下方に配置される底面金属層 318 とを含み得る。いくつかの実施例のために、インターポーザ 311 は、インターポーザにわたって高帯域幅で低遅延の接続を提供し得る、複数の相互接続線（図示せず）も含み得る。インターポーザ 311 は、インターポーザ 311 とパッケージ基板 322 との間に配置される、ダイ 302 と複数の共晶バンプ 320 との間のルーティング接続（たとえば、controlled-collapse chip connection (C4) バンプ）のための TSV 314 も含み得る。TSV 314 は、並列および直列の I/O、パワー/接地、クロッキング、構成信号などのためのダイ 302 とパッケージ基板 322 との間の接続を提供し得る。複数の共晶バンプ 320 は、インターポーザ 311 をパッケージ基板 322 に、より特定的にはパッケージ基板 322 の表面またはパッケージ基板 322 におけるビア上の伝導性要素に電氣的に接続する。

10

【0042】

IC パッケージ 300 は、パッケージ基板 322 の下方に配置される複数のはんだボール 324 も有する。はんだボール 324 は、たとえば、回路基板 326（たとえば、PCB）の表面上に配置される導電性パッドのマッチング配列と電氣的に接触するための行および列のアレイに配置され得る。

【0043】

図 4 は、本開示の実施例にしたがう、例示の 3D IC パッケージ 400 の断面図である。3D IC パッケージは、（たとえば、インターポーザまたは他のパッシブダイなどの介在構成要素なく）別の IC ダイの頂部上に積層される少なくとも 1 つの IC ダイを含む。これらの活性化ダイは、互いに直接接合され得る。下方のダイは、TSV を用いて上方のダイが下方のダイおよびパッケージ基板と通信することを可能にし得る。たとえば、3D IC パッケージ 400 は、第 2 ダイ 402₂（標識された「ダイ # 2」）の上方に設置される第 1 ダイ 402₁（標識された「ダイ # 1」）（集合的に「ダイ 402」とよばれる）を含む。図 4 には 2 つのダイ 402 のみが示されているが、読者は、2 つ以上のダイが積層されてもよいことを理解するであろう。さらに、示される 2 つのダイ 402 は同じ大きさであるが、ダイは異なる寸法を有してもよいことが理解されるべきである。たとえば、ダイ # 2 は、ダイ # 1 よりも幅広くてもよく、この場合、別のダイ（図示せず）がダイ # 2 の上方、ダイ # 1 と同じ平面上に配置されてもよい。

20

30

【0044】

図 4 に示されるように、ダイ # 2 は、ダイ # 2 がダイ # 1 に電氣的に接続され得るように、マイクロバンプ 310 との接続のためにチップ基板 304 の背面上に配置される背面金属層 309 を含み得る。ダイ # 2 は、ダイ # 1 がパッケージ基板 322 に直接電氣的に接続され得るように、TSV 414 を含み得る。

【0045】

パッケージを製造するための例示の動作

図 5 は、本開示の実施例にしたがう、半導体構造および/または半導体構造を含むパッケージ（たとえば、以下に記載されるような IC パッケージ）を製造するための例示の動作 500 のフロー図である。動作 500 の少なくとも一部は、たとえば、半導体処理室を含み得る半導体構造を製造するためのシステムによって行われ得る。

40

【0046】

動作 500 は、ブロック 502 において、半導体層の上方に接着層を配置することによって開始し得る。ブロック 504 では、アノード金属層が接着層の上方に配置され得る。ブロック 506 では、カソード金属層がアノード金属層の上方に配置され得る。

【0047】

いくつかの実施例によれば、ブロック 502 で接着層を配置すること、ブロック 504 でアノード金属層を配置すること、またはカソード金属層を配置することの少なくとも 1 つは、物理蒸着（PVD）を用いることを含む。

【0048】

50

いくつかの実施例によれば、動作 500 は、リソグラフィおよび電気メッキを用いてカソード金属層の上方に複数のピラーを形成することをさらに伴う。複数のピラーは、カソード金属層と同じ組成を有し得る。いくつかの実施例のために、動作 500 は、カソード金属層をエッチングして複数のピラー間のカソード層の少なくとも一部を除去することをさらに含む。いくつかの実施例のために、動作 500 は、レジストで複数のピラーを含む半導体構造の上面を被覆することをさらに含む。いくつかの実施例のために、動作 500 は、アノード金属層が露出するように、リソグラフィを用いて複数のピラー間のレジストの少なくとも一部を除去することをさらに伴う。いくつかの実施例のために、動作 500 は、半導体層が露出するとともにレジストが除去されるように、複数のピラー間のアノード層および接着層の少なくとも一部をエッチングすることをさらに含む。

10

【0049】

いくつかの実施例によれば、アノード金属層は、マグネシウム (Mg) を含む。

いくつかの実施例によれば、アノード金属層は、アルミニウム (Al)、亜鉛 (Zn)、およびニッケル (Ni) からなる群から選択される元素を含む。

【0050】

いくつかの実施例によれば、カソード金属層は、銅 (Cu) を含む。

いくつかの実施例によれば、アノード金属層の酸化電位は、カソード金属層の酸化電位よりも高い。

【0051】

いくつかの実施例によれば、アノード金属層は、多孔質酸化物と結び付く金属を含む。この場合、多孔質酸化物の酸化速度は、時間の関数として線形であり得る。

20

【0052】

いくつかの実施例によれば、アノード金属層は、1.0 未満の酸化物 - 金属体積比を有する金属を含む。

【0053】

いくつかの実施例によれば、アノード層は、カソード金属層にカソード防食を提供することによってカソード金属層と結び付く酸化物の成長を阻害するように構成される。

【0054】

いくつかの実施例によれば、動作 500 は、任意のブロック 508 において、200 未満の温度で、半導体構造のカソード金属層を別の構造の金属層に接合することをさらに含む。

30

【0055】

本開示の実施例は、酸化物生成に対する懸念が低減された Cu - Cu 接合のための集積方法を提供し、これにより、この接合のために特別な要求なく、低減温度およびより速いサイクル時間での十分な接合を提供する。本開示の実施例は、より長いキュー (Q) またはステージング時間も可能にし得る。

【0056】

本願 (以下の請求項を含む) に用いられるように、項目の一覧「の少なくとも 1 つ」という記載は、単一の部材を含む、それらの項目の組み合わせを意味する。例として、「x、y、および z の少なくとも 1 つ」は、x、y、z、x - y、x - z、y - z、x - y - z、およびその組み合わせ (たとえば、x - y - y および x - x - y - z) をカバーすることを意図する。

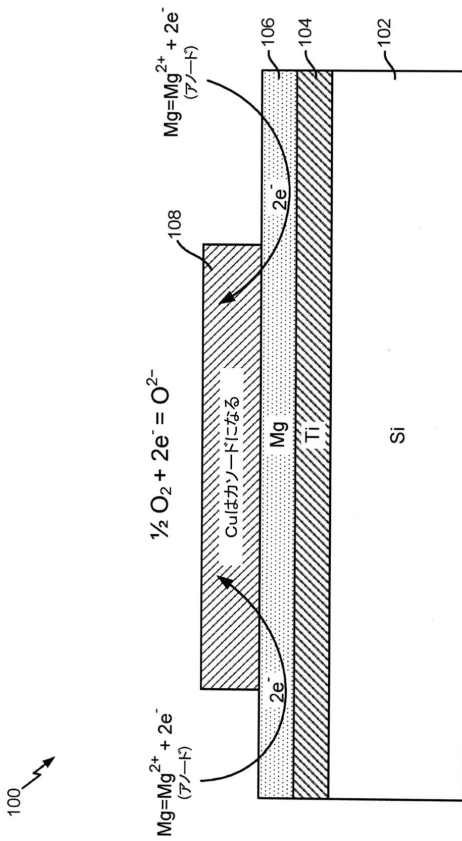
40

【0057】

前述のものは本開示の実施例に係るが、その基本的な範囲を逸脱することなく本開示の他のおよびさらに別の実施例が考えられ得、その範囲は以下の請求項によって決定される。

【 図面 】

【 図 1 】



【 図 3 】

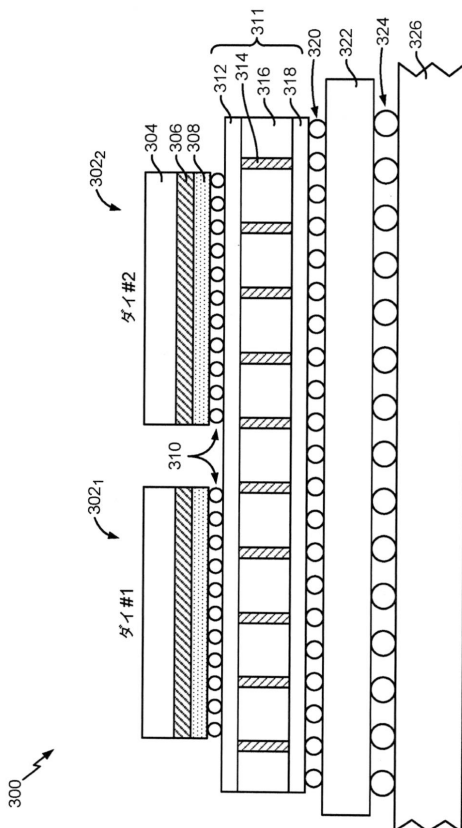
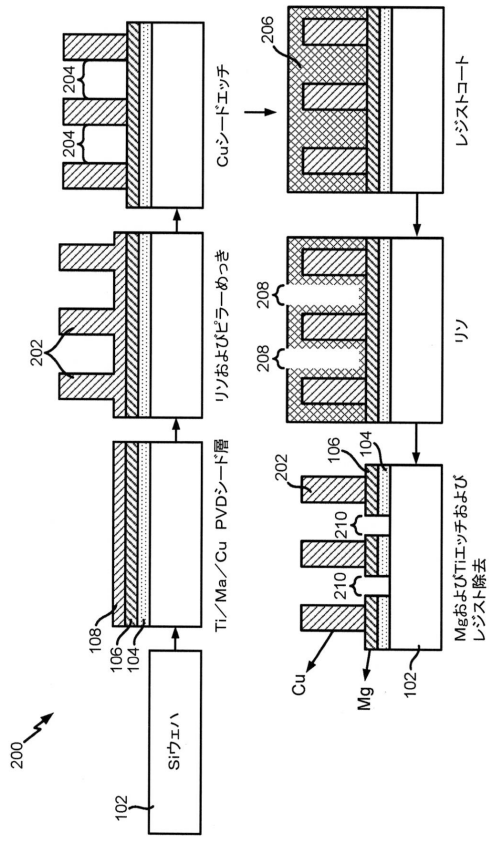


Fig. 3

【 図 2 】



【 図 4 】

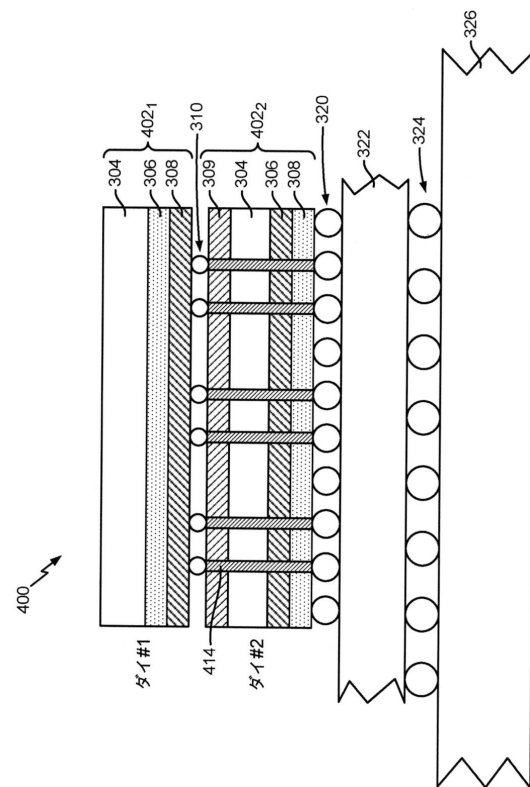


FIG. 4

【図 5】

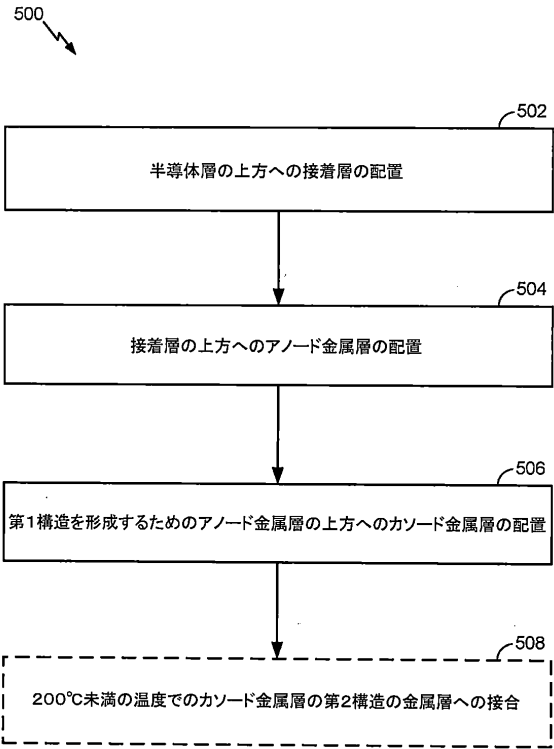


FIG. 5

フロントページの続き

(51)国際特許分類

F I

H 0 1 L 21/768(2006.01)

H 0 1 L 23/522(2006.01)

(72)発明者 リウ, ヘンリー

アメリカ合衆国、9 5 1 2 4 カリフォルニア州、サン・ノゼ、ロジック・ドライブ、2 1 0 0

審査官 宇多川 勉

(56)参考文献

特開平 1 1 - 1 9 5 6 6 5 (J P , A)

特開 2 0 0 6 - 1 7 9 5 7 0 (J P , A)

米国特許出願公開第 2 0 1 2 / 0 1 2 5 6 6 8 (U S , A 1)

米国特許出願公開第 2 0 1 4 / 0 3 4 6 6 6 3 (U S , A 1)

国際公開第 2 0 1 4 / 0 7 6 8 1 7 (W O , A 1)

(58)調査した分野 (Int.Cl., D B 名)

H 0 1 L 2 1 / 2 8

H 0 1 L 2 5 / 0 6 5

H 0 1 L 2 1 / 3 2 0 5