

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2008 年 5 月 29 日 (29.05.2008)

PCT

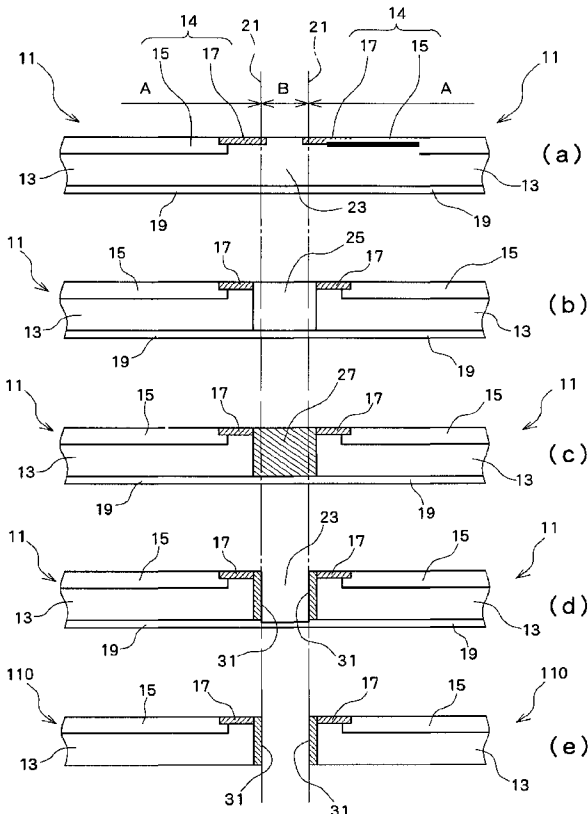
(10) I 際公開番号
WO 2008/062767 A1

- (51) 国際特許分類:
HOIL 25/065 (2006.01) HOIL 25/07 (2006.01)
HOIL 21/3205 (2006.01) HOIL 25/18 (2006.01)
HOIL 23/52 (2006.01)
- (21) 国際出願番号: PCT/JP2007/072412
- (22) 国際出願日: 2007 年 11 月 19 日 (19.11.2007)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権子ータ:
特願 2006-316159
2006 年 11 月 22 日 (22.11.2006) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社新川 (SHINKAWALTD.) [JP/JP]; 〒2088585 東京都武蔵村山市伊奈平 2 T 目 5 1 番地の 1 Tokyo (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 前田 徹 (MAEDA, Toru) [JP/JP]; 〒2088585 東京都武蔵村山市伊奈平 2 T 目 5 1 番地の 1 株式会社新川内 Tokyo (JP).
- (74) 代理人: 吉田 研二, 外 (YOSHIDA, Kenji et 他); 〒1800004 東京都武蔵野市吉祥寺木町 1 丁目 3 4 番 1 2 号 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, E., FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, R, R., RU, .C, .D, .E, .G, .K, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

[続葉有]

(54) Title: SEMICONDUCTOR CHIP PROVIDED WITH SIDE SURFACE ELECTRODE, METHOD FOR MANUFACTURING THE SEMICONDUCTOR CHIP, AND THREE-DIMENSIONAL MOUNTING MODULE WHEREIN THE SEMICONDUCTOR CHIP IS LAMINATED

(54) 発明の名称: 側面電極付半導体チップ及びその製造方法並びにその半導体チップを積層した3次元実装モジュール



(57) Abstract: A side surface electrode of a semiconductor chip having the side surface electrode is formed while ensuring qualities of the semiconductor chip by probing inspection in a wafer status. A metal filled electrode (27) is arranged over the adjacent circuit regions (14) and electrically connected to the circuit regions (14), a semiconductor wafer is cut along a cutting line (21) between the adjacent circuit regions (14) after forming the metal filled electrode (27) to form a side surface electrode (31) on a semiconductor chip. After the cutting, each semiconductor chip (11) is inspected by probing and the semiconductor chip having the side surface electrode is manufactured.

(57) 要約: 側面電極付半導体チップにおいて、ウエハの状態においてプロービング検査により品質を確保しつつ側面電極を形成することを目的とする。隣接する各回路領域 14 に跨って配置され、各回路領域 14 に電氣的に接続される金属充填電極 27 を形成し、金属充填電極 27 形成の後に隣接する各回路領域 14 の間にある切断線 21 に沿って半導体ウエハを切断して半導体チップに側面電極 31 を形成し、切断の後に各半導体チップ 11 をプロービングによって検査して側面電極付半導体チップを製造する。

WO 2008/062767 A1



(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), -x-ラシT (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, E., FT, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK,

TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

明 細 書

側面電極付半導体チップ及びその製造方法並びにその半導体チップを積層した3次元実装モジュール

技術分野

[0001] 本発明は、側面電極付半導体チップの構造及びその製造方法並びに側面電極付半導体チップを積層した3次元実装モジュールの構造に関する。

背景技術

[0002] 近年、半導体装置の分野においては、半導体装置の小型化、軽量化を目的として単一のパッケージ内に複数の半導体チップを設け、各半導体チップを3次元に積層するものが多く開発されてきた。このような半導体装置は、例えば、特開平11-135711号公報に記載されているように、マルチチップパッケージ(MCP)、またはマルチチップモジュール(MCM)と呼ばれ、インターポーザと呼ばれる配線基板に半導体チップを実装し、インターポーザ同士の相互に接続するとともに、積層して1つのモジュールとするものが用いられている。

[0003] しかし、特開平11-135711号公報に記載された従来技術では、略同一の大きさの半導体チップを積層して単一の半導体装置とすることは容易にできるが、各半導体チップをインターポーザに実装し、さらにインターポーザ間の電氣的接続を確保するために、複雑な製造工程を要することになる。

[0004] そこで、インターポーザ等の補助的手段を用いることなく半導体チップを3次元に積層して単一モジュールとするいろいろな方法が提案されている。例えば、特開2004-303884号公報に示されている方法では、次のように半導体チップの3次元実装を行うことが開示されている。

[0005] 半導体チップに切り出す前のウエハの段階で、チップ毎の端子用電極の外側となる絶縁層の位置に垂直な穴を開け、この穴に熔融メッキ法等により金属を充填した後に、半導体チップを切断、研磨して半導体チップの両面に充填した金属を露出させ、半導体チップの表面と裏面とを貫通する貫通電極を形成させる。次に、この半導体チップの表面(素子形成面)に露出している金属充填部と半導体チップの電極パッド

とを配線で接続し、裏面の金属充填部露出面にも電極を形成する。そして、これらの半導体チップ同士を重ね合わせて配線と電極を金属接合することにより、積層された半導体チップの全ての電極パッド相互を接続する。

- [0006] しかし、この特開2004-303884号公報に記載されている従来技術では、ウエハを研磨して薄くする工程やウエハを切断した後に半導体チップの電極パッドと貫通電極とを接続する配線を取り付ける等の煩雑な工程を有するため、製造工程が複雑になるという問題があった。
- [0007] また、特開2001-250906号公報には、積層する各半導体チップの表面の配線用電極パッドの端面を半導体チップ側面に露出させて接続部とし、これらのパッド端面相互の間にインクジェット方式によって導電性金属ペーストの配線パターンの描画形成を行って接続することが開示されている。この方法によれば、積層された半導体チップの接続を半導体チップの側面を用いて行うため、特開2004-303884号公報に記載された従来技術よりも短い配線で多様な接続を行うことが可能となる。また、製造工程も特開2004-303884号公報に記載された従来技術よりも簡単にできる。
- [0008] しかし、特開2001-250906号公報に記載された従来技術は、半導体チップの表面に形成されたパッドの端面を接続していることから、導電面積が少なくなり電気的な接続を確保しにれ止という問題があった。また、特開2001-250906号公報には上記の半導体チップの側面に端面を露出させて側面電極とする方法については開示がされていない。
- [0009] また、特開2004-303884号公報には、半導体チップ表面の電極パッドからチップ周縁部に向かってインクジェット法によって導電性微粒子を含む液体を連続的に滴下し、半導体チップ表面の電極パッドからチップ側面まで連続する端子を形成する方法が開示されている。そして、この方法によって、半導体チップの側面にはシリコン基板と絶縁層との境界位置あるレソマ、それより上側まで端子が形成され、側面電極が形成される。
- [0010] しかし、この特開2004-303884号公報に記載された側面電極は、ウエハから切り離して完成された半導体チップの表面のそれぞれの電極から側面電極を再配線によって形成するものであることから、半導体製造のいわゆる後工程での工数が多くな

ってしまうという問題があった。

[0011] 一方、ウエハの状態で各半導体チップに側面電極を形成する方法が特開平。—5665号公報に記載されている。これは、ウエハの半導体チップ切断用ライン上に電極形成用の穴を形成し、この穴の中に電極部を形成した後、電極部の形成された切断用ラインを切断して半導体チップを形成する方法である。ここで、電極形成用の穴はウエットエッチング等のウエットプロセス又は、ドライエッチング等のドライプロセス等により形成される、電極形成予定領域に収まる大きさの穴よりも小さな穴である。そして、この穴の内表面にスパッタ蒸着や真空蒸着、エッチング等によって電極材を付着させた後、ウエハ切断ラインに従って切断し、半導体チップの側面に電極を形成するものである。

[0012] しかし、特開平。—5665号公報に記載された側面電極の形成方法は、ウエハの状態で側面電極を形成することができるものの、ウエハ上で隣り合う各半導体チップに跨って共通の電極を形成して、その共通電極を切断し、各半導体チップに側面電極を形成していることから、ウエハの状態で各半導体チップのプロービングによる検査を行うことができず、完成した半導体チップの品質を維持することが難しいという問題があった。

[0013] 例えば、特開平。—151535号公報に記載されているように、半導体チップの製造においては、品質を確保するためにウエハから各半導体チップを切断して形成する前に、ウエハ上でプロービングによる検査を実施することが一般的に行われている。近年は、特開平。—151535号公報に記載されているように、ウエハの切断ライン上の切断領域に隣り合う半導体チップに跨った共通電極を設けて、この共通電極にプロービングピンを当ててプロービング検査を行う技術が提案されているが、隣り合う半導体チップの隣り合う電極パッドは、例えば、一方が信号電極で他方が電源電極となっている等のように、異なる端子となっている場合が多い。このため、共通電極によってプロービング検査が実施できるのは、ウエハ上の隣り合う半導体チップの電極パッドが同一の端子として形成されるようにウエハの設計が出来るような比較的簡単な回路パターンの場合に限られる。

[0014] 従って、特開平。—5665号公報に記載された半導体チップの側面電極の形成方

法では、ウエハの状態では各半導体チップのプロービングによる検査を十分に行うことができず、半導体チップの品質を確保することが難しいという問題があった。

[0015] 以上述べたように、特開平11-135711号公報に記載された従来技術では、各半導体チップをインターポーザに実装してから3次元実装するために複雑な製造工程を要し、特開2004-303884号公報に記載の従来技術では、ウエハを研磨して背くする工程やウエハを切断した後に半導体チップの電極パッドと貫通電極とを接続する配線を取り付ける等の煩雑な工程を有するため、製造工程が複雑となるという問題があり、特開2004-303884号公報に記載の他の方法でも、ウエハから切り離して完成された半導体チップの表面のそれぞれの電極から側面電極を再配線によって形成するものであることから、半導体製造のいわゆる後工程での工数が多くなってしまふという問題があり、特開平6-5665号公報に記載された半導体チップの側面電極の形成方法では、ウエハの状態では各半導体チップのプロービングによる検査を十分に行うことができず、半導体チップの品質を確保することが難しいという問題があった。

[0016] このように、従来技術では、ウエハの状態においてプロービング検査による半導体チップの品質を確保しつつ側面電極を形成することができないという問題があった。

[0017] 本発明は、ウエハの状態においてプロービング検査による品質を確保しつつ側面電極が形成された半導体チップを提供することを目的とする。

発明の開示

[0018] 本発明の側面電極付半導体チップは、複数の回路領域が形成されている半導体ウエハを切断して製造する側面電極付半導体チップであって、隣接する前記各回路領域に跨って配置され、前記各回路領域に電気的に接続される電極を形成し、前記電極形成の後に隣接する前記各回路領域の間にある切断線に沿って前記半導体ウエハを切断して前記半導体チップに側面電極を形成し、前記切断の後に各半導体チップをプロービングによって検査して製造することを特徴とする。また、本発明の側面電極付半導体チップにおいて、前記電極は貫通電極であること、としても好適であるし、前記電極は回路領域に配置されたバンプであること、としても好適である。

[0019] 本発明の3次元実装モジュールは、複数の回路領域が形成されている半導体ウエ

ハの隣接する前記各回路領域に跨って配置され、前記各回路領域に電氣的に接続される電極を形成し、前記電極形成の後に隣接する前記回路領域の間にある切断線に沿って前記半導体ウエハを切断して側面電極を形成し、前記切断の後にプロービングによって検査して製造する側面電極付半導体チップの前記各側面電極相互を電氣的に接続して積層したこと、を特徴とする。また、前記各側面電極相互をワイヤボンディング装置によって接続すること、としても好適である。

[0020] 本発明の側面電極付半導体チップの製造方法は、複数の回路領域が形成されている半導体ウエハを切断して製造する側面電極付半導体チップの製造方法であって、隣接する前記各回路領域に跨って配置され、前記各回路領域と電氣的に接続される電極を形成する電極形成工程と、前記電極形成工程の後に隣接する前記回路領域の間にある切断線に沿って前記半導体ウエハを切断して前記半導体チップに側面電極を形成する切断工程と、前記切断工程の後に各半導体チップをプロービングによって検査する検査工程と、を有することを特徴とする。また、本発明の側面電極付半導体チップの製造方法において、前記電極は貫通電極であること、としても好適であるし、前記電極は回路領域に配置されたバンプであること、としても好適である。

[0021] 本発明の3次元実装モジュールの製造方法は、複数の回路領域が形成されて半導体ウエハの隣接する前記各回路領域に跨って配置され、前記各回路領域に電氣的に接続される電極を形成し、前記電極形成の後に隣接する前記回路領域の間にある切断線に沿って前記半導体ウエハを切断して側面電極を形成し、前記切断の後にプロービングによって検査して製造する複数の側面電極付半導体チップを積層する積層工程と、前記積層工程の後、前記各側面電極相互をワイヤボンディング装置によって電氣的に接続するワイヤボンディング工程と、を有することを特徴とする。また、本発明の3次元実装モジュールの製造方法において、前記ワイヤボンディング装置は、積層された前記半導体チップを積層方向に押圧してボンディングを行うこと、としても好適であるし、積層された前記半導体チップの側面角部を前記側面電極に対するボンディングソールの接離方向に保持してボンディングを行うこと、としても好適である。

[0022] 本発明は、ウエハの状態においてプロービング検査による品質を確保しつつ側面

電極が形成された半導体チップを提供することができるという効果を奏する。

図面の簡単な説明

- [0023] [図1]本発明の実施形態における側面電極付半導体チップの製造工程を示す説明図である。
- [図2]本発明の実施形態における側面電極付半導体チップの製造工程を平面的に示した説明図である。
- [図3]本発明の実施形態における側面電極付半導体チップの斜視図である。
- [図4]本発明の他の実施形態における側面電極付半導体チップの製造工程を示す説明図である。
- [図5]本発明の他の実施形態における側面電極付半導体チップの製造工程を示す説明図である。
- [図6A]本発明の実施形態における3次元横層モジュールの構成を示す説明図である。
- [図6B]本発明の実施形態における3次元横層モジュールの構成を示す説明図である。
- [図6C]本発明の実施形態における3次元横層モジュールの構成を示す説明図である。
- [図7A]本発明の実施形態における3次元横層モジュールにワイヤボンディングを行うワイヤボンディング装置を示す図である。
- [図7B]図7Aに示す本発明の実施形態における3次元横層モジュールにワイヤボンディングを行うワイヤボンディング装置の側面を示す説明図である。
- [図8A]本発明の実施形態における3次元横層モジュールに3次元にワイヤ配線を行った3次元横層モジュールを示す説明図である。
- [図8B]図8Aに示す本発明の実施形態における3次元横層モジュールに3次元にワイヤ配線を行った3次元横層モジュールの側面を示す説明図である。
- [図9]本発明の実施形態における他の3次元横層モジュールに3次元にワイヤ配線を行った3次元横層モジュールを示す説明図である。

発明を実施するための最良の形態

- [0024] 図面を参照しながら、本発明の好適な実施形態について説明する。図1及び図2を参照しながら側面電極付半導体チップの製造工程と構造について説明する。図1は、ウエハの断面からみた半導体チップの製造工程と構造を示し、図2はウエハの平面方向から見た半導体チップの製造工程と構造を示している。
- [0025] 図1(a)、図2(a)に示すように、ウエハには複数の半導体チップ11が形成されている。各半導体チップ11のウエハの某板13表面側には、電子回路が形成された回路部15と回路部15の周縁に形成された絶縁部に、回路部15への信号の入出力あるいは電源の供給などを行う電極パッド17が形成されている。図1、図2に示すように、回路部15及びその周縁の電極パッド17を含む絶縁部は幅Aの回路領域14を形成する。また、各回路部15の間には、ウエハを切断してそれぞれの半導体チップ11を分割する切断線21が配置されている。ウエハの切断は有限の刃幅を有するダイヤモンドカッター等で行われるので、ウエハを切断する際にはダイヤモンドカッターの刃幅だけウエハは削り取られる。それぞれの半導体チップ11の外延を形成している切断線21の間の幅Bの領域は、この切断によって削り取られる切断領域23となる。上記の電極パッド17はその一部が回路領域14から切断領域23に延出して形成されている。また、ウエハの某板13の回路部15と反対側の面には絶縁性のテープ19が貼り付けられている。テープ19はウエハの某板13を各半導体チップ11に切断した際に、各半導体チップ11が分離しないようにするものである。
- [0026] 図1(b)に示すように、回路部15と電極パッド17とが形成されたウエハの切断領域23にエッチング加工、レーザ加工、プラズマ加工又はドリル等によって穴25を形成する。穴25は、各半導体チップ11の間の切断領域23の中心線と各電極パッド17の切断線21に直角方向の中心線との交点を中心とする位置に設けられ、その直径が切断領域23よりも大きな直径を有している。したがって、穴25がウエハに形成されると、穴25の内表面には回路領域14から切断領域23に延出している電極パッド17の端面が露出する。また、本実施形態では、穴25の深さは表面から某板13までの深さで、テープ19には達しない深さである。これは、穴の深さは側面に形成される電極の高さとなるため、この側面電極の高さがワイヤボンディング等の方法によって接続できる高さであればよいからである。

[0027] 図1(c)に示すように、穴開けの後、穴25の内部にメッキ、プラズマ等による化学蒸着法(CVD)や、抵抗加熱、電子ビーム、高周波誘導、レーザなどの方法で加熱求若する物理蒸着法(PVD)等によって金属を埋め込む。金属は銅や銀等導電性に優れた金属を用いる。円柱状に穴に埋め込まれた金属は穴25の内面に露出している電極パッド17の端面に密着して金属充填電極27を形成し、電極パッド17と電氣的に接続される。この際、金属充填電極27は隣り合っている半導体チップ11に設けられているそれぞれ対向する位置にある電極パッド17相互も電氣的に接続する。この状態をウエハの平面から見ると、図2(b)に示すように、金属充填電極27は、隣接する半導体チップ11に設けられた電極パッド17を含む各回路領域14に跨って設けられ、各電極パッド17と接続されている状態となっている。

[0028] 次に、図1(d)に示すように、ダイヤモンドカッター等の切断手段によって、切断線21に沿ってウエハを切断する。切断によって削り取られる切断領域23の幅Bは穴25に埋め込まれた金属充填電極27の直径よりも狭くなっていることから、切断によって、各切断線21に沿って各電極パッド17に電氣的に接続された側面電極31が露出する。この切断においては、各半導体チップ11が分離しないように、半導体チップ11の構成されている某板13の部分のみを切断し、テープ19の部分までは切断しない。このようにすることによって、ウエハ上の半導体チップ11を一体の状態に保つことができると共に、隣り合う電極パッド17相互を接続している金属充填電極27を切断領域23によって各半導体チップ11に属する部分に分けることができる。テープ19は絶縁性であることから、上記の切断によって、隣り合う半導体チップ11の電極パッド17同士は電氣的に分離されることとなる。この状態をウエハの平面から見ると、図2(c)のようになる。

[0029] この状態では、各半導体チップ11はテープ19によって一体となっており、且つ、隣り合う半導体チップ11の対向する各電極パッド17は互いに電氣的に分離された状態となっている。この状態でプロービングによって各半導体の機能検査を行う。機能検査は検査用のプローブを各半導体チップ11の電極パッド17又は側面電極31に接触させて信号を入力してその機能を確認する検査を行う(KGD)。隣り合う半導体チップ11は電氣的に分離されていることから、互いに干渉することなく各半導体チッ

チップ11の検査を良好に行うことができるれづ効果を奏する。そして、検査の結果不良となった半導体チップ11にはマーキングなどを行う。

[0030] 機能検査が終了したら、図1(e)に示すように、テープ19から各半導体チップ11が分離され、側面電極31が各半導体チップ11の側面に形成された側面電極付半導体チップ110となる。図3に示すように、この製造された側面電極付半導体チップ110はチップの各側面に部分円筒状の貫通電極が形成されており、その貫通電極の切断面が側面電極31となっている。各側面電極31は各半導体チップ11の回路部15の周縁にある絶縁部に形成されているので、それぞれ電氣的に分離された電極として機能する。

[0031] 以上述べた、本実施形態では、ウエハの状態では側面電極31を形成することができるので側面電極31を半導体製造工程のいわゆる前工程において形成することができ、半導体チップの実装工程である後工程を簡略にすることができるれづ効果を奏する。また、側面電極31はウエハの状態ではプロービング機能検査によって品質を確保してから後工程において半導体の実装をすることができることから、半導体製品の品質及び歩留まりを向上させることができるれづ効果を奏する。

[0032] 本実施形態では、穴25はウエハの某板13の厚みと同じ厚みで説明したが、半導体チップ11の側面に形成される側面電極31の高さが側面電極31相互をワイヤボンディング等によって接続することができる高さであれば某板13厚さと同様の深さではなく、例えば半分程度の深さとして、某板13の厚みの半分程度の側面電極を形成するようにしてもよい。この場合、某板13の回路部15の周縁部には絶縁領域が形成されているので、切断線21に沿った切断も某板13の厚みと同等の厚さを切断する必要はなく、穴25に形成された金属充填電極27の深さよりも深く切断すればよい。この深さまで切断すれば、隣り合う半導体チップ11は電氣的に分離されるからである。このような半分高さのカット(ハーフカット)によって側面電極31を形成して隣り合う各半導体チップ11を電氣的に分離した後、先に述べたのと同様の方法によって、各半導体チップ11の機能検査を実施する。この場合も、検査の際には隣り合う各半導体チップが電氣的に分離されているので、検査の際に各半導体チップ11が相互に干渉することがなく、良好に検査をすることができる。

- [0033] 一方、ポッティングによって半導体チップ11を積層していく場合には、半導体チップ11の電極パッド17と反対側の面に電極パッド17と接続できるように電極を貫通、突出させておく必要がある。このような場合には、穴25はテープ19まで貫通した穴として貫通した側面電極31であって、テープ19の厚み分だけ側面電極31が突出できるようにすることも好適である。このようにしても上記と同様に、検査の際には隣り合う各半導体チップが電氣的に分離されているので、検査の際に各半導体チップ11が相互に干渉することがなく、良好に検査をすることができる。
- [0034] 以上、半導体チップ11の表面に電極パッド17が形成される場合の側面電極31の形成について説明したが、回路部15への信号の入出力や電源の供給などを行う電極は、半導体チップ11の表面ではなく、内部にダミー配線として構成される場合もある。このように内部に電極が形成される場合の側面電極31の形成について図4を参照しながら説明する。図1から図3と同様の部位には同様の符号を付してその説明は省略する。
- [0035] 図4(a)に示すように、ダミー配線18は半導体チップ11の製造工程の中で、半導体チップ11の内部に形成されている。このため、表面には電極パッド17は形成されていない。ダミー配線18は表面に形成された電極パッド17と同様に、回路部15から回路部15の周縁にある絶縁部に延び、更に切断線21を越えて切断領域23まで延びている。図4(b)に示すように、先に図1で説明したと同様に、切断領域23の幅Bよりも大きな穴25を開けると、穴25の内面には、ダミー配線18の端面が露出する。図4(c)に示すように、この穴に上記の実施形態と同様に金属を充填して金属充填電極27を形成した後、図4(d)に示すように、切断線21に沿って切断する。切断によって切断領域23が削り取られて、切断線21に沿って側面電極31が露出、形成される。各側面電極31は半導体チップ11の厚さの中間位置においてダミー配線18と電氣的に接続されている。そして、テープ19に固定された状態で各半導体チップ11の機能検査を行う。先の実施形態と同様、検査の際には隣り合う各半導体チップが電氣的に分離されているので、検査の際に各半導体チップ11相互に干渉することがなく、良好に検査をすることができる。
- [0036] 上記の実施形態においては、穴25に金属を充填して金属充填電極27を形成し、

その金属充填電極27を切断によって露出させて側面電極31としているが、穴25と金属充填電極27の形成を行わずに側面電極31を形成する実施形態について説明する。

[0037] 図5(a)に示すように、ウエハ上には先に述べた実施形態と同様に半導体チップ11の回路部15が形成され、その表面には電極パッド17が形成されている。本実施形態では、このように形成されたウエハの各電極パッド17にバンプ33を形成する。各電極パッド17は回路部15から切断領域23に延出して形成されており、各バンプ33もその一端が切断線21から切断領域23に延出するような形状に構成する。隣接する電極パッド17は電氣的に分離されているが、各電極パッド17が接近している場合には形成した隣り合うバンプ33同士が接触し、この結果、隣り合う電極パッド17相互が電氣的に接続される。

[0038] 図5(b)に示すように、各切断線21に沿ってウエハを切断し、切断領域23を取り除くことによって、隣り合う電極パッド17相互の電氣的接続が分離される。切断によって切断面に電極パッド17及びバンプ33の断面が露出する。この露出した各断面は側面電極35を形成する。そして、バンプ33又は側面電極35にプロービング用のプロービングピンを接触させることによって隣り合う電極パッド17の間の干渉を引き起こさずに半導体チップ11の機能検査を実施することができる。

[0039] プロービングによる各半導体チップ11の機能検査が終了したら、半導体チップ11が分離されないように各半導体チップ11をテープ19に取り付けられたまま、次のダイボンディングなどの工程に送るように構成してもよい。

[0040] この実施形態は、簡便な工程によりウエハの状態では側面電極35を形成することができると共に、ウエハの状態ではプロービングによる機能検査を実施することができ、半導体の品質を確保することができるという効果を奏する。

[0041] 以上、側面電極付半導体チップ110の形成について説明したが、以下、図面を参照しながら上記の側面電極付半導体チップ110を積層した3次元実装モジュールについて説明する。

[0042] 図6Aから図6Cに側面電極付半導体チップ110を積層した3次元実装モジュールの断面を示す。図6Aは図1において説明した表面に電極パッド17を持つ側面電極

付半導体チップ110を積層して構成した3次元実装モジュールである。この3次元実装モジュールでは、各側面電極付半導体チップ110の間を絶縁性の接着剤41によって接着、積層する。各側面電極付半導体チップ110を上記の接着剤41によって接着した後、各側面電極31の間をワイヤ43によって接続することによって3次元実装モジュールを形成することができる。

[0043] この3次元実装モジュールは、各側面電極31の間をワイヤ43によって接続しているので、動作時に側面電極付半導体チップ110相互に相対的な熱変位が発生しても、その変位差をボンディングされているワイヤ43の変形によって吸収することができる。これによって、動作中の熱変形に対する耐力の大きな3次元実装モジュールを構成することができるという効果を奏する。

[0044] 図6Bは、図5で説明したバンプ33と電極パッド17の側面に露出した面を側面電極35としたタイプの側面電極付半導体チップ110を、図6Aと同様に絶縁性の接着剤41によって接続したものである。図6Aに示した3次元実装モジュールより、側面電極35の面積が狭い点と、バンプ33が側面電極付半導体チップ110の表面に突出している分だけ、積層モジュール全体の高さが高く、接着剤41の厚さが厚くなっている以外は、上記の図6Aに示す3次元実装モジュールと同様である。

[0045] 上記の2種類の3次元実装モジュールの実施形態は各側面電極付半導体チップ110のサイズが略同一で、側面電極31、35も平面上略同一の位置に配置されているものであるが、複数の側面電極付半導体チップ110のサイズが同一で無い場合でも、各側面電極31をワイヤ43によって接続することによって、自由に3次元実装モジュールを構成することができる。

[0046] 図6Cは、3層に積層されている3次元実装モジュールの上層と下層の側面電極付半導体チップの大きさが、中間層の側面電極付半導体チップ110の大きさよりも小さくなっている例である。このように、各側面電極付半導体チップ110の側面電極の平面的な位置にずれがある場合でも、ワイヤボンディング装置はワイヤ43を自由にボンディングすることができることから簡便に3次元実装モジュールを構成することができるという効果を奏する。特に、複数種類の機能を持ち、形状の異なる側面電極付半導体チップを3次元実装する場合に効果が大きい。図6Cに示した実施形態は、中間

層が小さくなっている3層構造の場合を示したが、更に多層構造で、大きさが多様であってもかまわない。

[0047] 以下に、図7A及び図7Bを参照しながら、側面電極付半導体チップ110を積層した積層体130の側面電極31の間にワイヤボンディングを行うワイヤボンディング装置200の構造及びボンディング方法について説明する。

[0048] 図7A及び図7Bは上記のワイヤボンディング装置200のボンディングステージ周りの構成を示している。図7Aに示すように、ボンディングステージは吸着ステージ55と押し付けステージ59とコーナー保持部67によって構成されている。そして、吸着ステージ55と押し付けステージ59との間に側面電極付半導体チップ110を積層した積層体130を挟み込み、コーナー保持部67は積層体130のボンディング面と反対側の側面の各角部を側面電極に対するボンディングツールの接離方向にサポートする。吸着ステージ55と押し付けステージ59は、積層体130の積層方向に配置されている。図7A及び図7Bに示した構成では、ボンディングツール51は上下方向に移動し、積層体130は、吸着ステージ55と押し付けステージ59によって水平方向に保持されている。

[0049] 吸着ステージ55には、通常のボンディングステージと同様に真空吸着用の吸着穴57が配設されており、積層体130をその表面に吸着固定することができるように構成されている。押し付けステージ59はワイヤボンディング装置のフレームに押し付け方向に押し付けステージ59を進退移動させる駆動部61を有している。押し付けステージ59はこの駆動部61によって所定の面圧で積層体130を積層方向に吸着ステージ55に押し付けて積層体130を押圧保持する。

[0050] 吸着ステージ55はワイヤボンディング装置に回伝駆動部63を有している。また、押し付けステージ59の駆動部61にも回伝駆動機構が細み込まれている。回伝駆動部63は、ボンディングツール51の接離方向が積層体130の側面電極31の面に対して垂直となるように積層体130を回伝させる。また、押し付けステージ59の駆動部61の回伝駆動機構は回伝駆動部63の回伝と協調して積層体130を回伝させる。この回伝動作によって、積層体130の4つの側面の各側面電極31は順次ボンディングツール51の接離方向と垂直となる。

- [0051] また、コーナー保持部67はワイヤボンディング装置200のフレームに設けられた直線駆動部69によって、ボンディングツール51の接離方向に移動する。吸着ステージ55と押し付けステージ59によって積層体130が回伝して、そのボンディング対象側面電極の面がボンディングツール51の接離方向と垂直方向になった後に、コーナー保持部67は直線駆動部69によって上昇し、積層体130のボンディング対象側面と反対側の側面の各角部を側面電極に対するボンディングツールの接離方向に保持する。この後、ボンディングツール51によって順次ワイヤ43が接続されていく。コーナー保持部67がなくともボンディングが行えるような場合には、コーナー保持部67を備えていなくても良い。
- [0052] ワイヤボンディング装置200は図示しないボンディングヘッドを水平方向に移動させることによってボンディングツール51の位置を自在に変更することができる。このため、上記の回伝動作とボンディングヘッドの水平動作とを協調させることによって、3次元に積層されている積層体130の任意の側面電極31の面をボンディングツール51の接離方向と垂直となるように移動させてワイヤ43のボンディングをおこなうことができ、各側面電極付半導体チップ110の大きさ、側面電極31の位置などにかかわらず、自由に配線を行うことができるという効果を奏する。
- [0053] 図7A及び図7Bでは、積層体130の各側面にワイヤ43によって配線を行う実施形態を示したが、図8A及び図8Bに示すようにワイヤ43を3次元的に配線して3次元実装モジュールを形成することもできる。図8A及び図8Bは一番上層の側面電極付半導体チップ110の側面の側面電極pにワイヤボンディングを \uparrow 行い、ボンディングツール51を上昇させながら積層体130を回伝させ、側面電極qの位置にボンディングツール51の先端を移動させると共にボンディングツール51の接離方向と側面電極qの面とが垂直となるようにした後、側面電極qにボンディングを \uparrow 行い、ワイヤ43を接続する。以下、順次r、s、tと積層体130を回伝させながらボンディングを \uparrow 行い、ワイヤ43によって配線していく。このように、積層モジュールに3次元のワイヤ配線を行って3次元実装モジュールを構成することができる。
- [0054] 図9は側面電極付半導体チップ110をポッティングによって複数積層して構成した積層体140を更に重ねてワイヤボンディング装置によって配線したもので、図9の(c)

は全体の側面図を示し、図9の(a)及び(b)は図9の(c)に示す積層体140の側面電極31の部分を拡大して示したものである。図9の(a)(b)に示すように、各側面電極付半導体チップ110の側面電極31は各半導体チップを上下に貫通する貫通電極として構成されており、この貫通電極相互の間に、例えば、金属フィラー入りの接着剤等を用いて、ポッティングによって各側面電極付半導体チップ110の側面電極の貫通部を電氣的に接続して積層体140を構成する。このようにして構成された複数の積層体140を、接着剤41によって接着積層し、その側面電極31の間をワイヤ43によって接続する。更に側面電極31の接続の後、3次元横層モジュールをリードフレーム47に接着して最上層の電極パッド17とリードフレーム47の電極とをワイヤ43によって接続する。

[0055] このようにワイヤボンディング装置200を用いて側面電極31にワイヤ43を接続することによって、各側面電極付半導体チップ110の大きさ、側面電極31の位置などにかかわらず、3次元横層モジュールに自由に配線を行うことができるという効果を奏する。

請求の範囲

- [1] 複数の回路領域が形成されている半導体ウエハを切断して製造する側面電極付半導体チップであって、
- 隣接する前記各回路領域に跨って配置され、前記各回路領域に電氣的に接続される電極を形成し、前記電極形成の後に隣接する前記各回路領域の間にある切断線に沿って前記半導体ウエハを切断して前記半導体チップに側面電極を形成し、前記切断の後に各半導体チップをプロービングによって検査して製造することを特徴とする側面電極付半導体チップ。
- [2] 請求項1に記載の側面電極付半導体チップであって、前記電極は貫通電極であること
- を特徴とする側面電極付半導体チップ。
- [3] 請求項1に記載の側面電極付半導体チップであって、前記電極は回路領域に配置されたバンプであること
- を特徴とする側面電極付半導体チップ。
- [4] 複数の回路領域が形成されている半導体ウエハの隣接する前記各回路領域に跨って配置され、前記各回路領域に電氣的に接続される電極を形成し、前記電極形成の後に隣接する前記回路領域の間にある切断線に沿って前記半導体ウエハを切断して側面電極を形成し、前記切断の後にプロービングによって検査して製造する側面電極付半導体チップの前記各側面電極相互を電氣的に接続して積層したことを特徴とする3次元実装モジュール。
- [5] 請求項4に記載の3次元実装モジュールであって、
- 前記各側面電極相互をワイヤボンディング装置によって接続することを特徴とする3次元実装モジュール。
- [6] 複数の回路領域が形成されている半導体ウエハを切断して製造する側面電極付半導体チップの製造方法であって、
- 隣接する前記各回路領域に跨って配置され、前記各回路領域と電氣的に接続される電極を形成する電極形成工程と、
- 前記電極形成工程の後に隣接する前記回路領域の間にある切断線に沿って前記

半導体ウエハを切断して前記半導体チップに側面電極を形成する切断工程と、
前記切断工程の後に各半導体チップをプロービングによって検査する検査工程と

、
を有することを特徴とする側面電極付半導体チップの製造方法。

[7] 請求項6に記載の側面電極付半導体チップの製造方法であって、前記電極は貫通電極であること

を特徴とする側面電極付半導体チップの製造方法。

[8] 請求項6に記載の側面電極付半導体チップの製造方法であって、前記電極は回路領域に配置されたバンプであること

を特徴とする側面電極付半導体チップの製造方法。

[9] 複数の回路領域が形成されている半導体ウエハの隣接する前記各回路領域に跨って配置され、前記各回路領域に電氣的に接続される電極を形成し、前記電極形成の後に隣接する前記回路領域の間にある切断線に沿って前記半導体ウエハを切断して側面電極を形成し、前記切断の後にプロービングによって検査して製造する複数の側面電極付半導体チップを積層する積層工程と、

前記積層工程の後、前記各側面電極相互をワイヤボンディング装置によって電氣的に接続するワイヤボンディング工程と、

を有することを特徴とする3次元実装モジュールの製造方法。

[10] 請求項9に記載の3次元実装モジュールの製造方法において、
前記ワイヤボンディング装置は、積層された前記半導体チップを積層方向に押圧してボンディングを行うこと、

を特徴とする3次元実装モジュールの製造方法。

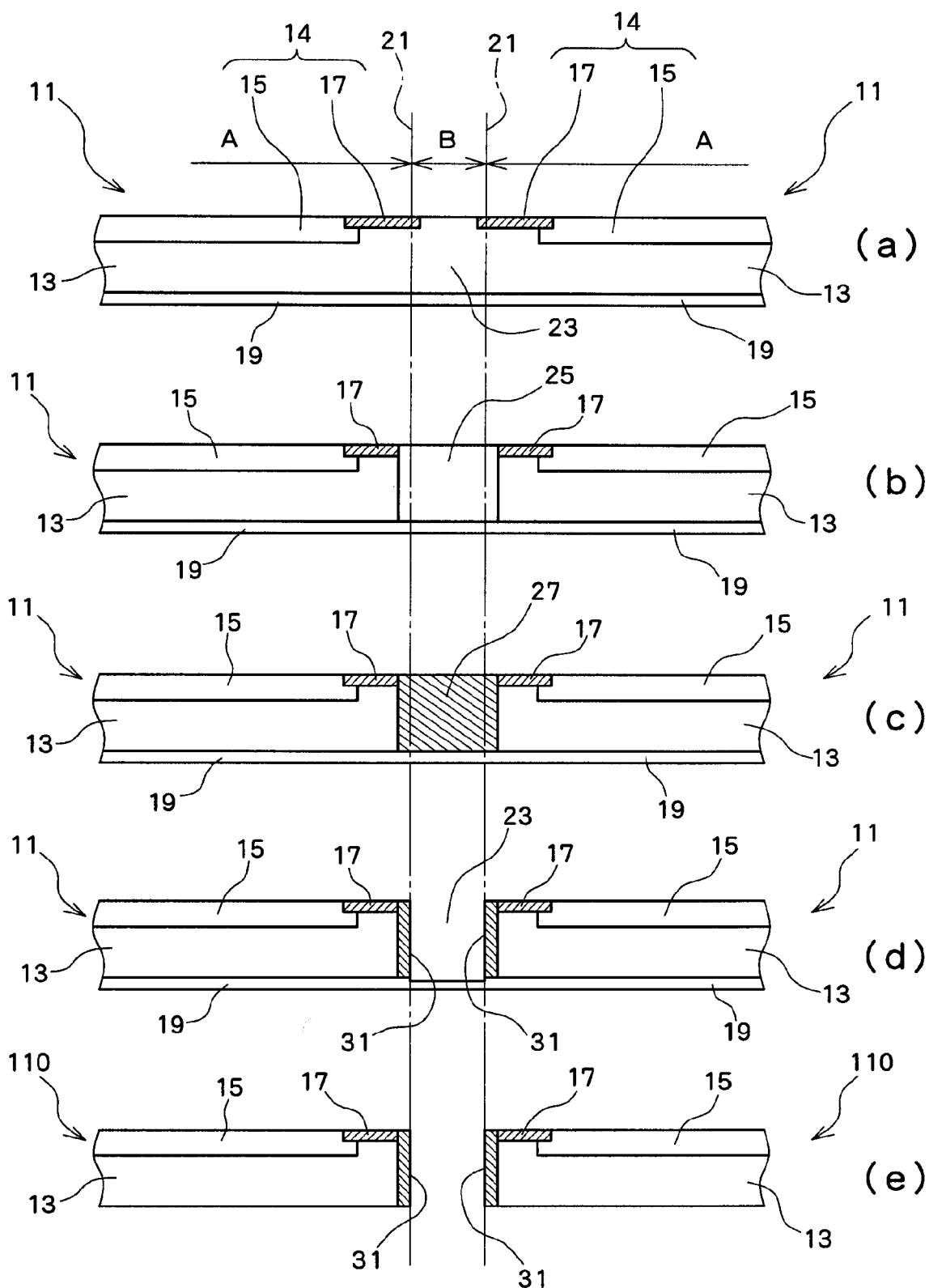
[11] 請求項9に記載の3次元実装モジュールの製造方法において、
前記ワイヤボンディング装置は、積層された前記半導体チップの側面角部を前記側面電極に対するボンディングソールの接離方向に保持してボンディングを行うこと

、
を特徴とする3次元実装モジュールの製造方法。

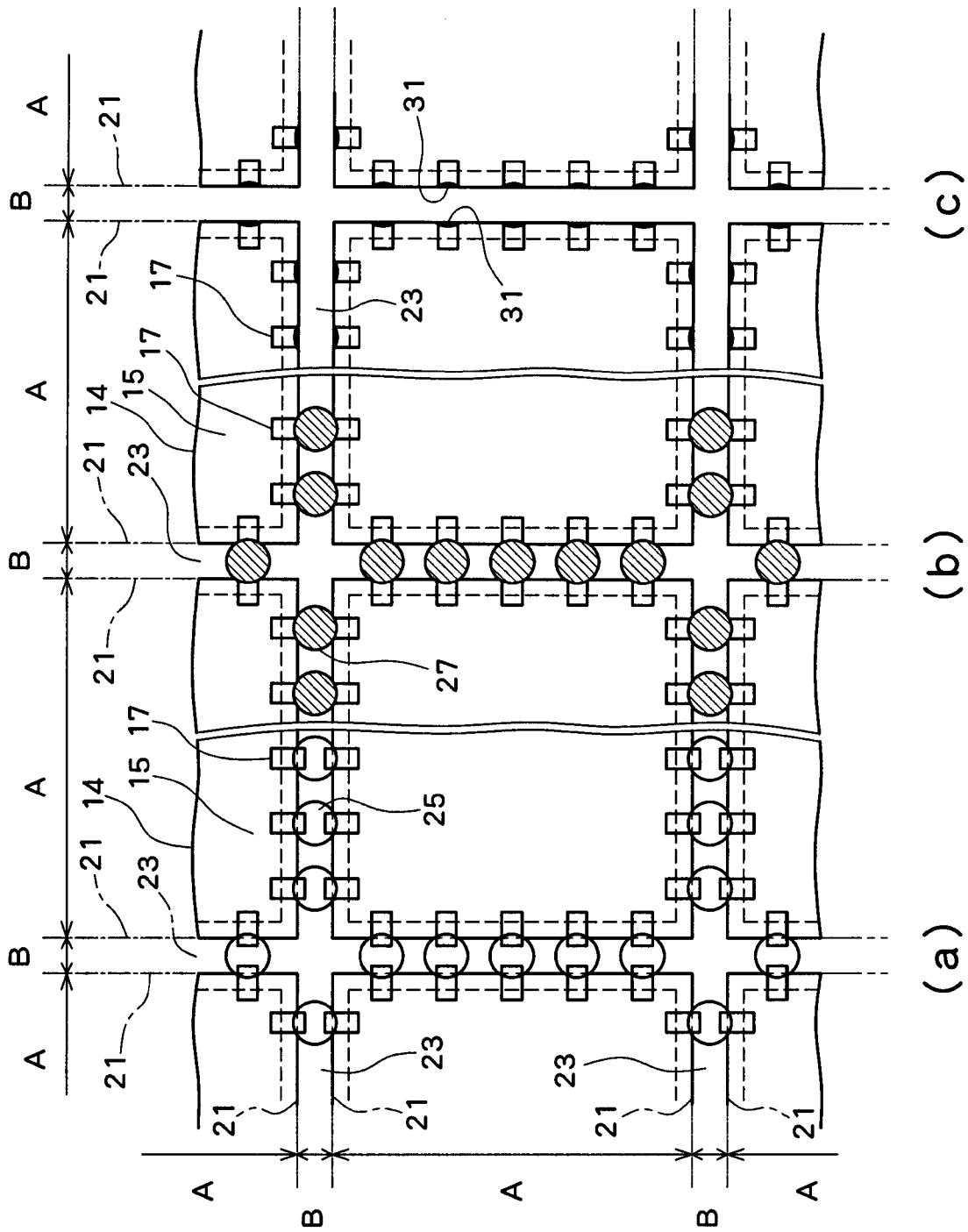
[12] 請求項10に記載の3次元実装モジュールの製造方法において、

前記ワイヤボンディング装置は、積層された前記半導体チップの側面角部を前記側面電極に対するボンディングソールの接離方向に保持してボンディングを行うこと、
、
を特徴とする3次元実装モジュールの製造方法。

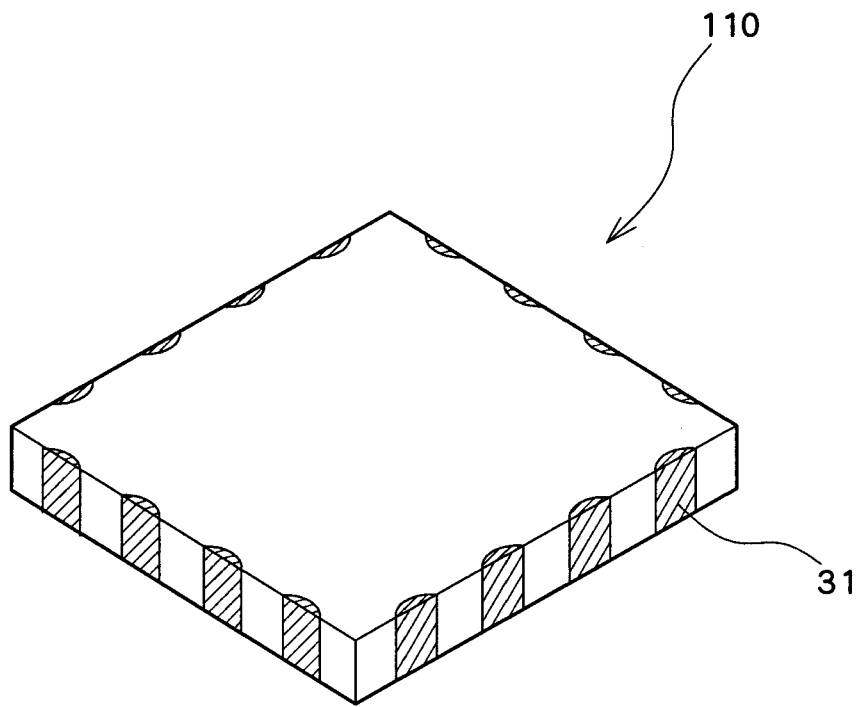
[図1]



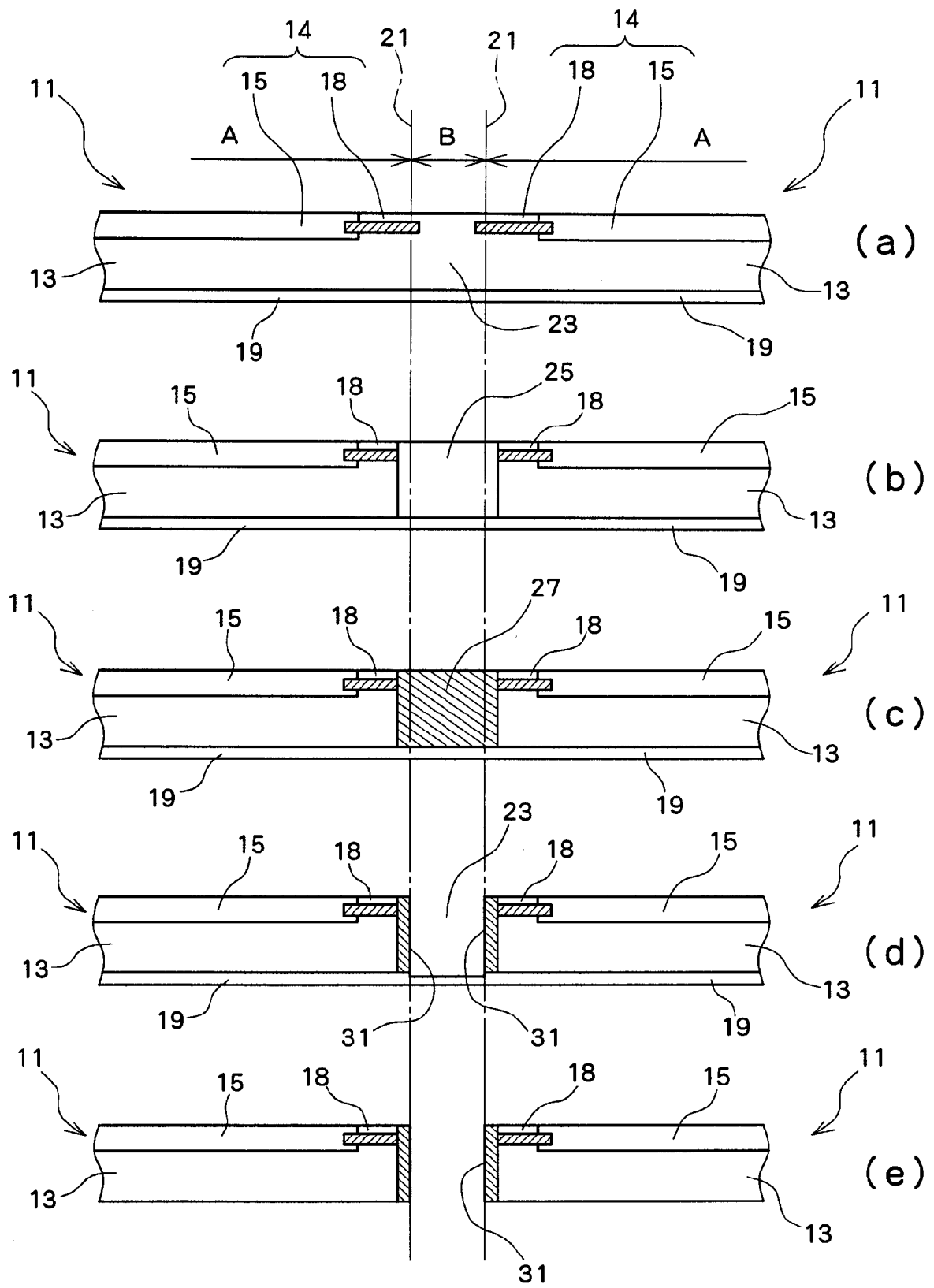
[図2]



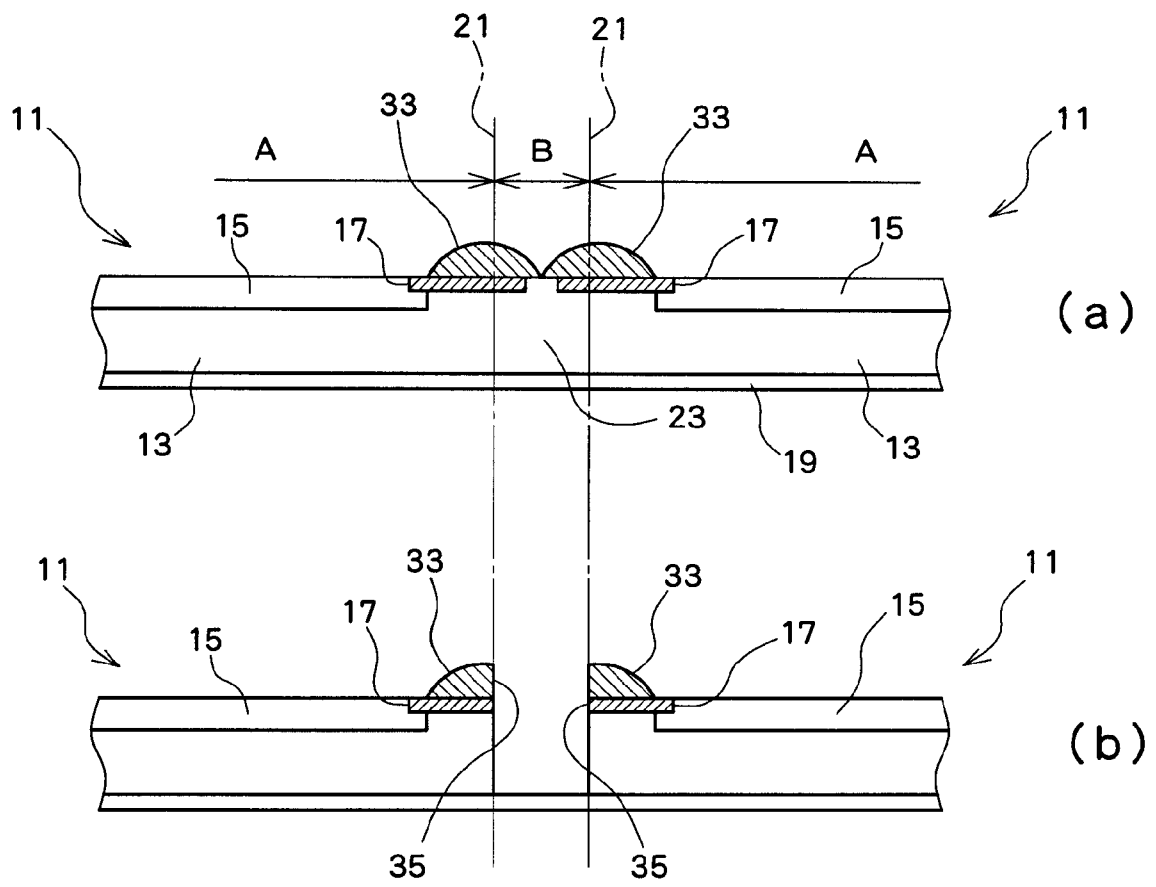
[図3]



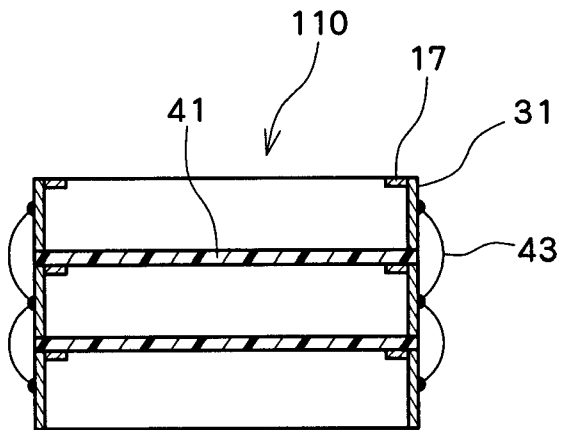
[図4]



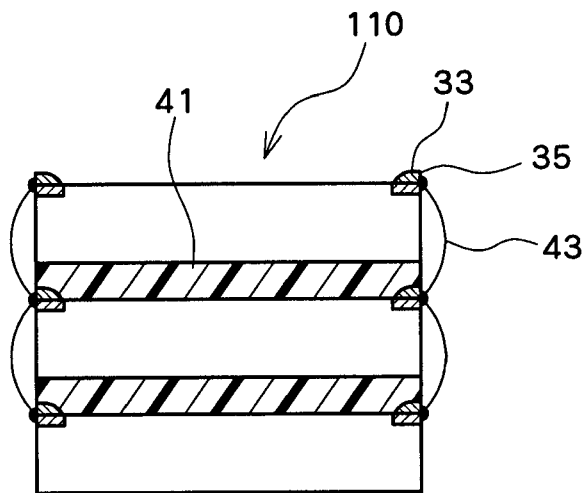
[図5]



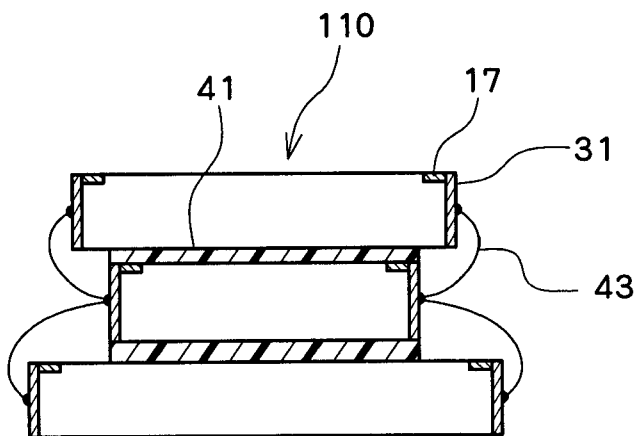
[図6A]



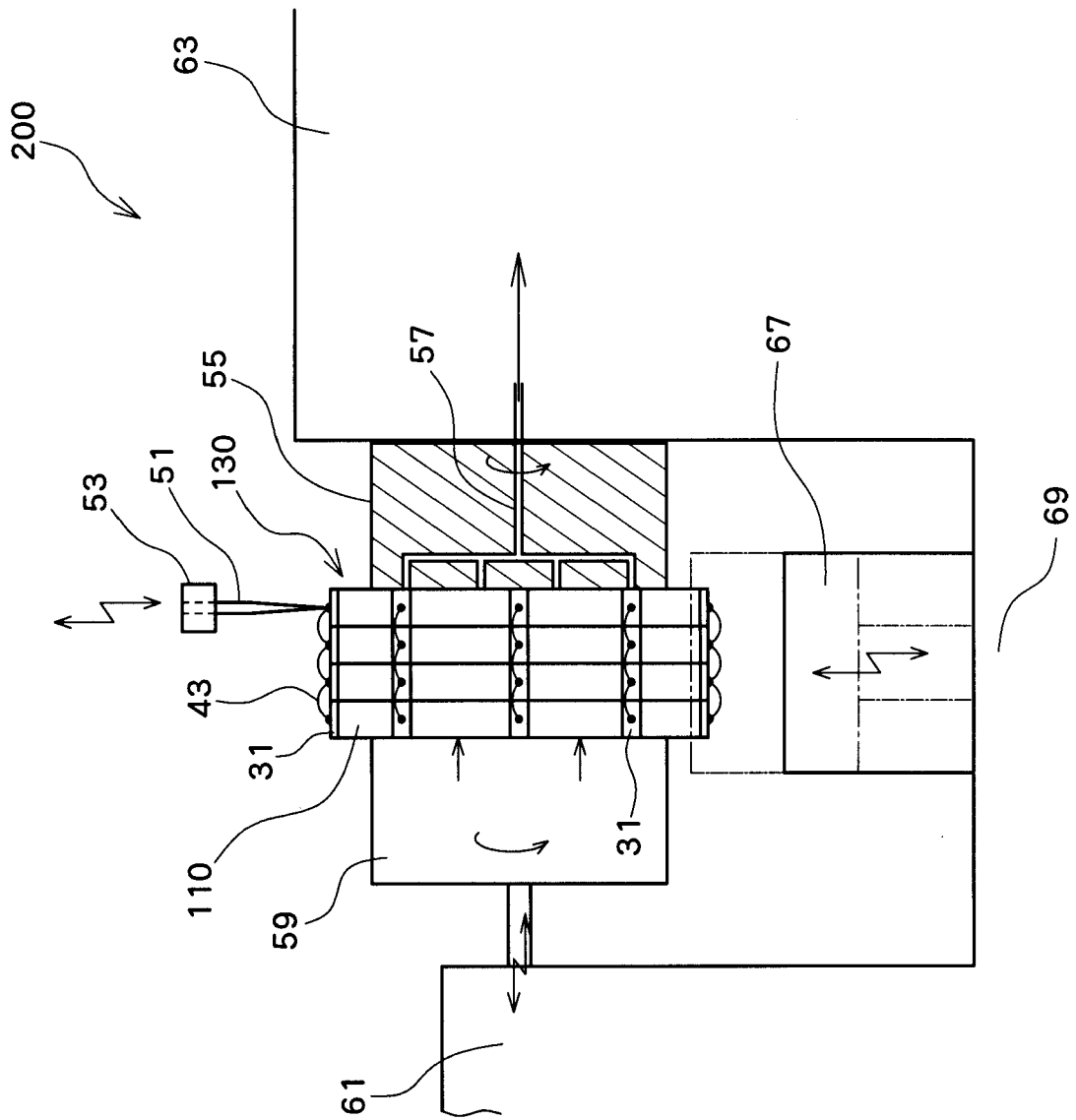
[図6B]



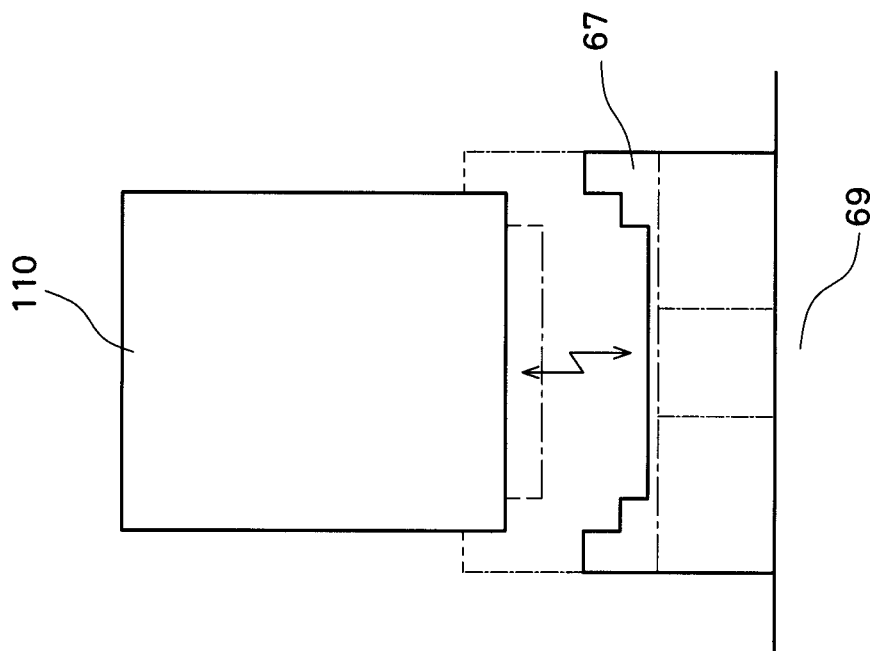
[図6C]



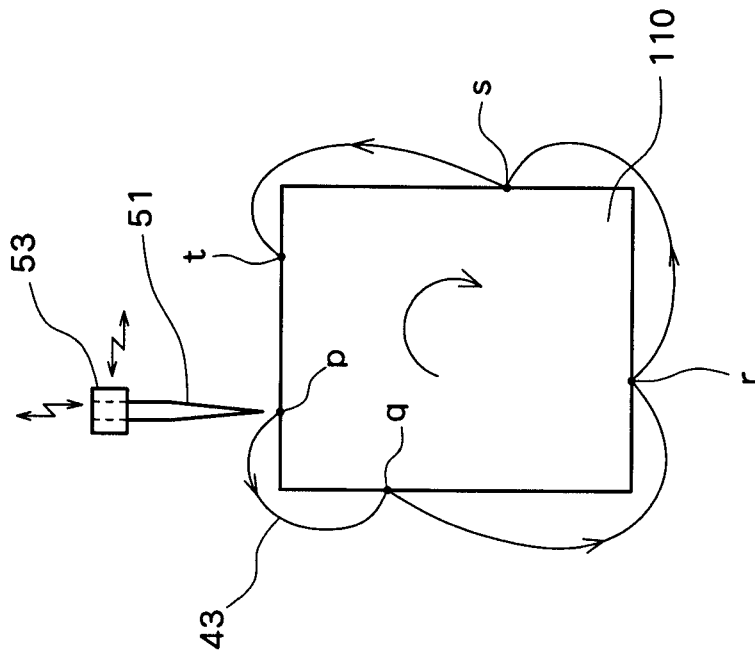
[図7A]



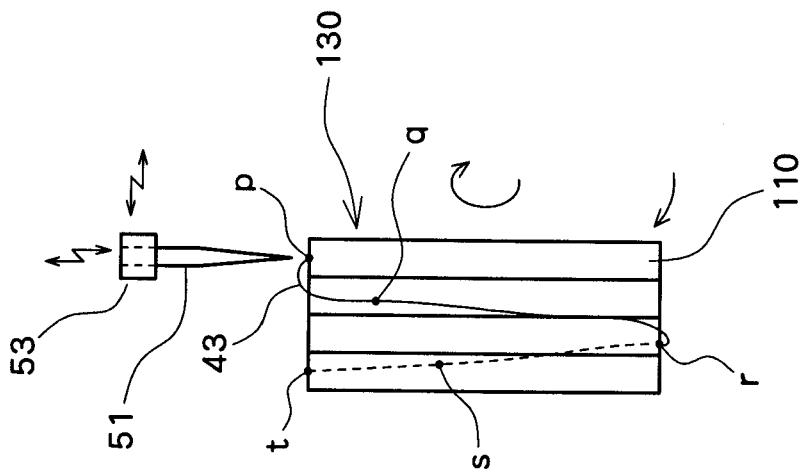
[図7B]



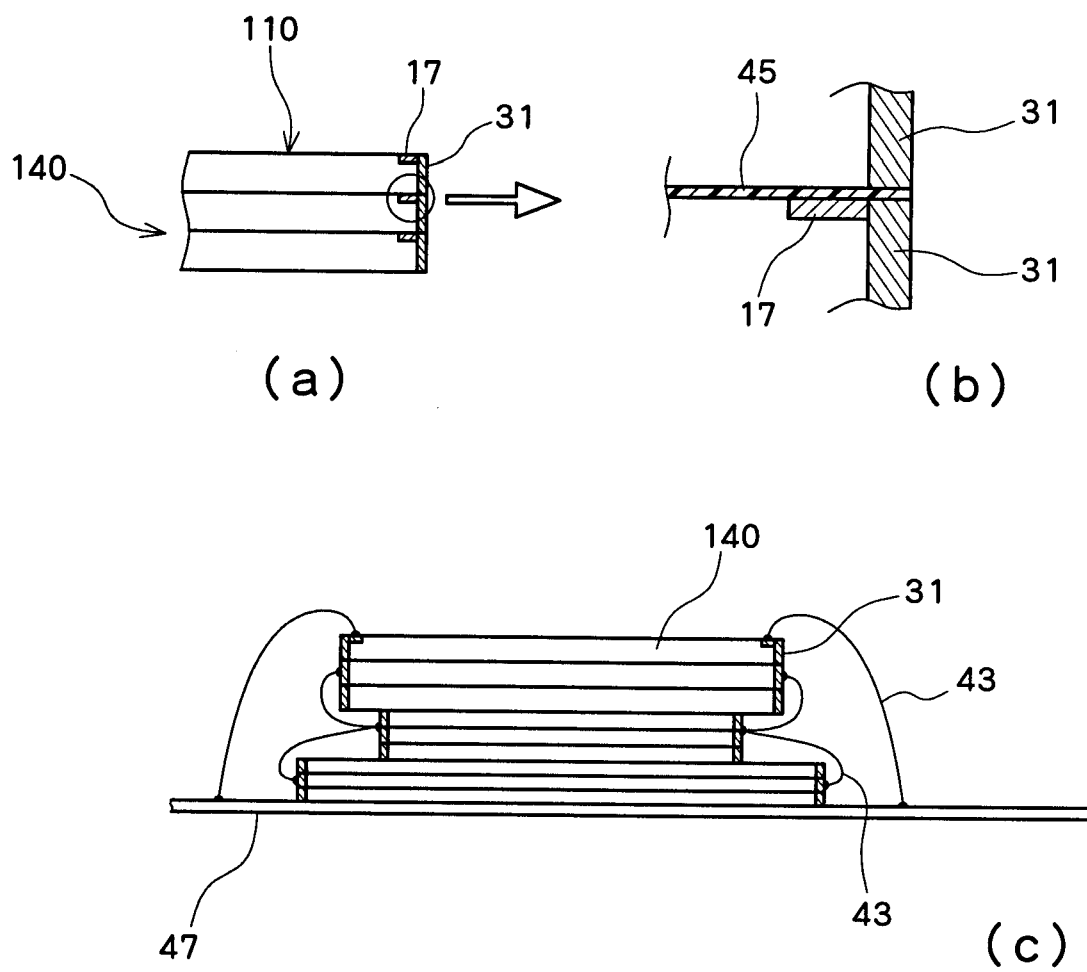
[図8A]



[図8B]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/072412

A. CLASSIFICATION OF SUBJECT MATTER

H01L25/065 (2 006. 01) i , H01L21/3205 (2 006 .01) i , H01L23/52 (2 006 .01) i ,
H01L25/07 (2 006. 01) i , H01L25/18 (2 006 .01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L2 5/065 , H01L2 1/3205 , H01L2 3/52 , H01L2 5/07 , H01L2 5/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2008
Kokai Jitsuyo Shinan Koho	1971-2008	Toroku Jitsuyo Shinan Koho	1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2001-210782 A (Seiko Epson Corp.), 03 August, 2001 (03.08.01), Par. Nos. [0022] to [0031]; Figs. 1 to 7 (Family: none)	1, 3-5 6, 8-12
X Y	JP 2004-221372 A (Seiko Epson Corp.), 05 August, 2004 (05.08.04), Par. Nos. [0054] to [0059]; Figs. 1 to 4 & US 2004/0157410 A1	1-2 ,4 6-7 ,9-12
Y	JP 2002-270721 A (Fujitsu Ltd.), 20 September, 2002 (20.09.02), Par. Nos. [0078] to [0083]; Figs. 12 to 13 & US 2002/0127776 A1	6-12

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
07 February , 2008 (07.02.08)

Date of mailing of the international search report
19 February, 2008 (19.02.08)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/072412

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2000- 100882 A (Hitachi , Ltd .) , 07 April , 2000 (07 . 04 . 00) , Par . Nos . [0052] to [0101] ; Fig . 1 & US 2002/0064893 A1	6 - 12

A. 発明の属する分野の分類 (国際特許分類 (IPC))

IntCl H01L25/065 (2006.01)i, H01L21/3205 (2006.01)i, H01L23/52 (2006.01)i, H01L25/07 (2006.01)i, H01L25/18 (2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

IntCl H01L25/065, H01L21/3205, H01L23/52, H01L25/07, H01L25/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2008年
日本国実用新案登録公報	1996-2008年
日本国登録実用新案公報	1994-2008年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP 2001-210782 A (セイコーエプソン株式会社) 2001.08.03, 段落 0022-0031、図 1-7 {7アミリーなし}	1, 3-5 6, 8-12
X Y	JP 2004-221372 A (セイコーエプソン株式会社) 2004.08.05, 段落 0054-0059、図 1-4 & US 2004/0157410 A1	1-2, 4 6-7, 9-12
Y	JP 2002-270721 A (富上通株式会社) 2002.09.20, 段落 0078-0083、図 12-13 & US 2002/0127776 A1	6-12

江 C欄の続きにも文献が列挙されている。

【 パテントファミリーに関する別紙を参照。

ホ 引用文献のカテゴリー

IA」特に関連のある文献ではなく、一般的技術水準を示すもの
IE」国際出願日前の出願または特許であるか、国際出願日以後に公表されたもの
IL」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
IO」口頭による開示、使用、展示等に言及する文献
rp」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の役に公表された文献

IT」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
IX」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
IY」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
I&J 同一パテントファミリー文献

国際調査を完了した日

07.02.2008

国際調査報告の発送日

19.02.2008

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関3丁目4番3号

特許庁審査官 (権限のある職員)

石野 忠志

4R

3547

電話番号 03-3581-1101 内線 3471

C (続き) . 関連すると認められる文献		
引用文献の テコリ一*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2000-100882 A (株式会社日立製作所) 2000.04.07, 段落 0052-0101、図 1 & US 2002/0064893 A1	6-12