

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 01139500.1

[51] Int. Cl.

H01J 1/30 (2006.01)

H01J 3/02 (2006.01)

G11B 9/10 (2006.01)

H01L 27/10 (2006.01)

[45] 授权公告日 2006 年 3 月 1 日

[11] 授权公告号 CN 1244121C

[22] 申请日 2001.11.27 [21] 申请号 01139500.1

[30] 优先权

[32] 2001. 2. 27 [33] US [31] 09/795240

[71] 专利权人 惠普公司

地址 美国加利福尼亚州

[72] 发明人 H·-P·顾 H·比雷基

S·-T·林 S·L·纳伯惠斯

审查员 刘秀艳

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 罗 朋 王忠忠

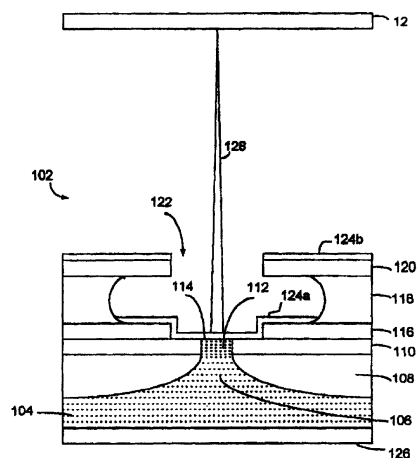
权利要求书 1 页 说明书 9 页 附图 13 页

[54] 发明名称

具有平面发射区和聚焦结构的电子源

[57] 摘要

电子源(102)包括: 活性衬底(104); 在该衬底上的一层, 这一层包括平面的多孔硅电子发射区(114); 在该层表面上的形成图案的掩膜, 在该形成图案的掩膜中的开孔限定了该发射区; 以及用于该发射区的聚焦结构(118, 120)。



1. 一种电子源 (102), 包括:

活性衬底 (104);

在该衬底上的一层, 这一层包括平面的多孔硅电子发射区 (114);

5 在该层表面上的形成图案的掩膜, 在该形成图案的掩膜中的开孔限定了该发射区; 以及

用于该发射区的聚焦结构 (118, 120)。

2. 权利要求 1 的电子源, 其中的衬底 (104) 具有与多孔区 (114) 对齐的活性区 (106)。

10 3. 权利要求 1 的电子源, 其中的聚焦结构 (118, 120) 包括光阑 (122), 电子束通过该光阑被聚焦; 以及其中该发射区 (114) 比聚焦结构的光阑 (122) 有更小的尺寸。

4. 权利要求 3 的电子源, 其中发射区 (114) 不大于聚焦结构的光阑 (122) 尺寸的 95%。

15 5. 权利要求 1 的电子源, 还包括在发射区 (114) 上的导电层 (124)。

6. 权利要求 1 的电子源, 其中的发射区 (114) 被局限于比可用于发射的总面积的 1% 还要小的面积。

7. 权利要求 1 的电子源, 其中的聚焦结构包括半导体层上的第一电极 (116)、第一电极 (116) 上的绝缘层 (118), 以及绝缘层 (118)
20 上的第二电极 (120); 延伸贯穿电极 (116, 120) 和绝缘层 (120) 的光阑 (122), 该光阑暴露出发射区 (114)。

8. 权利要求 7 的电子源, 其中的聚焦结构还包括在第二电极 (120) 上的第二绝缘层 (304) 以及在第二绝缘层 (304) 上的第三电极 (306), 开孔 (308) 同样延伸贯穿第二绝缘层 (304) 和第三电极 (306)。

具有平面发射区和聚焦结构的电子源

技术领域

- 5 本发明总体说来涉及电子源。更具体而言，本发明涉及基于半导体的电子源。

背景技术

- 基于半导体的产生聚焦电子束的电子源可以用于信息存储器件、光刻应用。以及其它采用这种聚焦电子束的装置。请考虑存储器件的实例。几十年来，研究人员一直在不断努力提高存储密度和降低信息存储器件，例如磁硬盘驱动器、光驱动器、和半导体随机存取存储器的存储成本。但是，由于常规技术显示出正在接近基础存储密度的极限，存储密度的提高正在变得越来越困难。例如，基于常规磁记录的信息存储正在迅速接近基础物理极限例如超顺磁极限，在此极限下室温时的磁位不稳定。

- 不会面临这些基础极限的存储器件正在得到研究。在美国专利 5,557,596 中对这种信息存储器件的实例进行了描述。该器件包括多个具有电子发射表面的电子源，该表面紧贴存储介质。在进行写操作时，电子源以相对高的密度的电子束轰击存储介质。在进行读操作期间，电子源以相对低的密度的电子束轰击存储介质。

可以通过降低电子束的直径减小该器件中的存储位的尺寸。减小存储位的尺寸也就提高了存储密度和容量并且降低了存储成本。

- 一种在显示器中采用的电子源包括许多“Spindt”发射器。Spindt 发射器可用来产生聚焦电子束，该电子束可用于数据存储器件、光刻应用、和其它采用这种聚焦电子束的应用。Spindt 发射器具有圆锥形状，它在其圆锥顶端发射电子束。该圆锥顶被加工成尽可能地尖以减小工作电压并且获得小的束流直径。

- 但是，Spindt 发射器存在问题。制造尖的发射器顶是困难的并且费用昂贵。从 Spindt 发射器顶对电子束以时间和空间上稳定的方式进行聚焦是困难的。提供这种聚焦的光学系统会变得复杂。另外，在真空不好的条件下，Spindt 发射器不能良好地工作。当电子束直径降低到 100 纳米以下时，这些问题变得尤其显著。

不论单发射器还是多发射器，人们期望降低制造成本并且改进稳定性和对电子源的可操作性。人们还期望减小电子束直径。

发明内容

- 5 根据本发明的一个方面，电子源包括一个平面发射区；和一个用于发射区的聚焦结构。根据本发明，提供了一种电子源，包括：活性衬底；在该衬底上的一层，这一层包括平面的多孔硅电子发射区；在该层表面上的形成图案的掩膜，在该形成图案的掩膜中的开孔限定了该发射区；以及用于该发射区的聚焦结构。通过下面的以实例方式说明
- 10 明本发明原理的详细描述，并结合附图使得本发明的其它方面和优点将会变得明显。

附图说明

- 图 1 是根据本发明的电子源的示意图。
- 15 图 2 是图 1 所示电子源的制造方法的流程图。
- 图 3 是在衬底的上表面沉积掩膜堆垛后的结构示意图。
- 图 4a 是在掩膜堆垛形成图案并且被刻蚀暴露出台面结构之后的结构示意图。
- 图 4b 是掩膜堆垛的图案排列的俯视图。
- 20 图 4c 是掩膜堆垛的另一种图案排列的俯视图。
- 图 5 是生长氧化物区之后的结构示意图。
- 图 6 是平整化后的结构示意图。
- 图 7 是在平整化结构上沉积半导体层之后的结构示意图。
- 图 8 是在半导体层上沉积发射极后的结构示意图。
- 25 图 9 是在发射极上沉积氧化物层之后的结构示意图。
- 图 10 是在氧化物层上沉积透镜电极后的结构示意图。
- 图 11 是在透镜电极上刻蚀光阑(aperture)后的结构示意图。
- 图 12 是在氧化物层中形成暗挖槽之后的结构示意图。
- 图 13 是在发射极中刻蚀光阑之后的结构示意图。
- 30 图 14 是在曝露的半导体层中形成多孔区之后的结构示意图
- 图 15 是根据本发明的另一种电子源示意图。
- 图 16 是根据本发明的再另外一种电子源示意图。

图 17 是根据本发明的电子源的另一种聚焦结构的示意图。

图 18 和 19 是根据本发明的其它电子源示意图。

具体实施方式

5 参照图 1, 电子源 102 包括可以用硅制成的衬底 104。将衬底 104 的一部分刻蚀掉, 留下一个“活性”区 106。活性区 106 呈火山形状、漏斗形状或喷嘴几何形状: 底部宽并且迅速变窄成为颈部。

10 该活性区 106 由一个隔离区 108 环绕。隔离区 108 对活性区 106 给出特定的几何形状。隔离区 108 也可以将活性区 106 与近邻的活性区隔离开。但是, 相互邻近的电子源 102 的活性区的底部可能会连在一起。

在衬底 104 的顶部形成半导体层 110。半导体层 110 可以由材料如多晶硅或碳化硅 (SiC) 制成。半导体层 110 的上表面为平面状。

15 半导体层 110 的 112 区是多孔的区域。多孔区 112 与火山形状的活性区 106 的颈部对齐并且终止在半导体层 110 的平面表面以便在平面表面限定一个发射区 114。所以, 发射区 114 也是平面状。将发射区 114 制成平面状允许对电子束进行更好地聚焦。通过如下所述的对发射区 114 面积的限制由于增加了热能耗散, 所以允许更高的电流密度。可以将发射区的面积限制为小于可获得的发射总面积的 1%。

20 电子源 102 还包括在半导体层 110 上的发射极 116、在发射极 116 上的绝缘层 118 以及在绝缘层 118 上的透镜电极 120。绝缘层 118 将发射极 116 与透镜电极 120 隔离开。光阑 122 延伸贯穿透镜电极 120、绝缘层 118 和发射极 116 并将发射区 114 暴露。发射区 114 不超过光阑 122 尺寸的 95%。并且, 光阑 122 可以采用宽范围尺寸。

25 可以用导电层 124 覆盖发射区 114 的部分区域、发射电极 114, 以及透镜电极 120。导电层 124 的第一部分 124a 覆盖发射区 114 和发射极 116 的部分区域, 并且导电层 124 的第二部分 124b 覆盖透镜电极 120。因为多孔硅区 112 的导电性不强, 所以第一部分 124a 提供对整个发射区 114 的连接并且允许在发射区 114 上施加电场。可以采用第一部分 124a 与透镜电极 120 之间的大范围的间隙。

导电层 124 可以是在表面不能形成绝缘的氧化物或氮化物的合金。导电层 124 可以是由薄金属或导电材料如金、碳 (例如石墨或导

电金刚石或其组合)、铂、铍、铯、氮化硼或者其它导体或半导体制成。原子序数充分地低于金的原子序数的材料也可以用作导电层

124。作为低原子序数的元素，碳显示出非常低的电子散射几率，此性质可以提高电子发射效率并且减小发射电子的能量发散。

- 5 导电层 124 可以是多孔或半致密使得所有的导电区域为电连接。例如，导电层 124 可以包括相互电连接的导电岛，相互连接的灯丝构成的网，或者二者的组合。

- 10 在衬底 104 的另一边可以形成后触点 126。后触点 126 为半导体衬底 104 和多孔硅区 112 中的内场建立了一个等势表面。如果衬底 104 是高掺杂的，可以省略后触点 126，在该情况下衬底 104 通过前触点进行连接。

- 15 在运行时，在衬底 104、发射极 116、透镜电极 120 和后触点 126 上施加不同的电位势。由此产生的发射极电压引起电子从衬底 104 注入到多孔区 112 并且从发射区 114 及经过导电层 124 的第一部分 124a 被发射。由位于光阑 122 处的电子透镜电压产生的电场使得该发射电子被聚焦成电子束 128。通过改变施加在透镜电极 120 上的电位势可以调整对电子束 128 的聚焦。电子束 128 可以在靶 12（例如，存储介质）上聚焦成非常小的点（例如，直径小于一个纳米）。

- 20 在衬底 104 以及电极 116 和 102 上施加电位势的驱动电源可以是在芯片上(on-chip)的和离开芯片的(off-chip)。

图 2 总结了一种制造电子源 102 的可能的方法。通过在衬底 104 表面沉积一层衬垫氧化物层以及在该衬垫氧化物层上沉积铬层使得在衬底 104 表面顶部形成掩膜堆垛（步骤 162）。

- 25 将该铬层图案化并且对该衬底进行刻蚀形成活性区 106（步骤 164）。生长绝缘层以便对活性区 106 进行隔离（步骤 166）并且对由此产生的结构进行平面化（步骤 168）。

在平整化表面沉积半导体层（170）。所以半导体层也呈平面状。

在半导体层 110 顶部形成发射电极 116（步骤 172）。例如，可以通过将铬（Cr）层沉积在半导体 110 上形成发射电极 116。

- 30 在发射电极 116 的顶部形成绝缘层 118（步骤 174）。绝缘层 118 可以是氧化物层。

在绝缘层 118 的顶部形成透镜电极 120（步骤 176）。例如，可以

通过在绝缘层 118 上沉积铬 (Cr) 层来形成透镜电极 120。

在透镜电极 120、绝缘层 118 和发射电极 116 中形成光阑 122 (步骤 178)。可以将绝缘层 118 凹进以避免干扰电子束。光阑 122 延伸到半导体层 110。所以, 光阑将发射区 114 暴露。

- 5 可以通过某种工艺, 例如阳极氧化工艺将半导体层 110 的 112 区制成多孔的 (步骤 180)。那么在发射区 114 以及电极 116 和 120 上形成了导电层 124 (步骤 182)。

可以对多孔区 12 图案化以形成多个独立的发射区。在运行期间, 可以同时或者有选择地对这些发射区进行寻址。

- 10 图 3 至图 14 展示出在示例的制造工艺的各阶段的电子源 102。图 3 展示了硅衬底 104 和在衬底 104 表面顶部形成掩膜堆垛 202。衬底 104 可以是 n++ 型的硅衬底其电阻率范围小于 0.01 欧姆-厘米。掩膜堆垛 202 可以包括衬垫氧化物层 204 和掩膜材料层 206。可以通过采用湿法或者干法氧化技术在衬底表面上生长硅氧化物层来形成衬垫氧化物层 204。
- 15

- 参照图 4a, 可以采用常规的光刻技术对掩膜堆垛 202 图案化, 并且可以根据图案化的掩膜堆垛 202 所限定的尺寸和位置在衬底 104 上刻蚀出具有台面形状的活性器件区 208。可以采用干法刻蚀技术形成活性器件区 208。活性区 208 可以是如图 4b 所示的圆柱形状。这样的
- 20 活性区 208 的直径可以是几微米或者优选地一至二微米。

活性区 208 不限于圆柱形状。例如, 该活性区可以具有如图 4c 所示的中空的圆形。图 4b 和图 4c 也展示出可以在单一衬底上同时制造的多个电子源 (每一个电子源可以被单独寻址)。

- 参照图 5, 可以通过将衬底 104 暴露于湿法氧化 (例如, 水蒸汽) 或干法氧化 (例如, 氧气) 中来进行二氧化硅隔离区 108 的热生长。在完成氧化物的生长时, 产生的隔离区 108 填充到衬底 104 的被刻蚀掉的部分。作为各种影响氧化物生长率的因素的结果, 衬底没有被掩膜覆盖的部分被刻蚀掉, 导致表面 210 和侧壁 212 在某种程度上变圆。
- 25

- 另外参照图 6, 在隔离区 108 生长完成后, 对隔离区 108 和活性区 106 进行平面化。可以采用化学机械抛光工艺 (CMP) 清除活性区 106 和隔离区 108 的一些部分 214。CMP 工艺产生一个基本平整的表面 216。在该工艺阶段, 活性区 106 具有火山形状的几何形状。所以, 活
- 30

性器件区具有宽的底部并在平表面 216 处迅速变窄形成颈部。

参照图 7, 在平整化的结构顶部采用化学汽相沉积 (CVD) 工艺形成多晶硅层 110。多晶硅层 110 的厚度可以是约 0.01 到 2 微米。

参照图 8, 通过沉积, 例如, 厚度范围约为 0.1 到 1 微米的铬层,
5 可以在半导体层 110 上形成发射电极 116。

参照图 9, 通过例如, CVD TEOS (四乙氧基硅烷) 氧化物沉积, 在发射电极 116 上形成硅氧化物 (SiO_x) 绝缘层 118。在沉积上绝缘层 118 之后, 可以通过 CMP 将绝缘层 118 进行平整化到约 0.01 到 2 微米的厚度。

10 参照图 10, 通过沉积, 例如, 厚度范围约为 0.01 到 1 微米, 并且优选地 0.1 微米的铬层, 在绝缘层 118 上形成透镜电极 120。

参照图 11 至图 13, 通过刻蚀贯穿透镜电极 120、绝缘层 118 以及发射电极 116 形成光阑 122, 首先可以在透镜电极 120 上图案化并将其刻蚀形成第一光阑 122A (图 11)。干法刻蚀工艺如离子束铣削可以
15 用来刻蚀透镜电极 120。第一光阑 122A 的直径可以是几个微米并且优选地 2 微米。

可以采用二步刻蚀工艺在绝缘层 118 (图 12) 中形成第二光阑 122B。二步刻蚀工艺可以包括干法刻蚀步骤以及紧跟的湿法刻蚀步骤。例如, 在干法刻蚀步骤中通过采用 CHF_3 刻蚀剂的 RIE 刻蚀来形
20 成侧壁 218 (以虚线示出) 该侧壁与第一光阑 122A 对齐并且基本上与发射电极 118 垂直。对侧壁 218 采用湿法刻蚀工艺进行刻蚀并且将绝缘层 118 横向凹进。结果形成绝缘层 118 的潜挖的侧壁 220。可以采用基于氢氟酸的缓冲氧化物刻蚀剂进行湿法刻蚀。

然后对发射电极 116 进行刻蚀形成第三光阑 122C 并且因而暴露了
25 半导体层 110 的 222 区 (图 13)。第三光阑 122C 的直径可以大到几微米并且它基本上与第一光阑 122A 对齐。可以采用干法刻蚀工艺对发射电极 116 进行刻蚀。可以对半导体层 110 的暴露区 222 进行轻微地刻蚀以确保完全暴露出半导体层 110。

图 12 和图 13 所示的步骤可以颠倒, 由此在潜挖壁 220 之前形成
30 光阑 122C。

现在参照图 14, 在半导体层 110 中形成多孔区 112。可以采用阳极处理工艺在半导体层 110 中生成多孔, 该工艺在 Xia Sheng、Hideki

Koyama、和 Nobuyoshi Koshida 的“基于电致发光多孔硅二极管的冷阴极的有效表面发射”，真空科技杂志 B 卷 15(2) 期，1998 年，3/4 月，793 页至 795 页(“Efficient surface-emitting cold cathodes based on electro luminescent porous silicon diode”, J. Vacuum Science Technology B15(2)) 一文中进行了描述。通过控制电流密度和阳极氧化时间，可以控制多孔区 112 中的多孔率。

形成多孔区 112 之后，可以增加导电层 124。导电层 124 可以相似地覆盖发射区 114 和发射电极 116 以及透镜电极 120。采用碳制成的导电层的厚度可以为约 10 纳米。与图 1 相一致，导电层 124 的第一部分 124a 覆盖发射区 114 和发射电极 116 的一部分，并且导电层 124 的第二部分 124b 覆盖透镜电极 120。

图 15 展示了第二种(另一种)电子源 302。第二种电子源 302 也包括衬底 104、活性区 106、绝缘区 108、半导体层 110、多孔区 112、发射区 114 和发射电极 116。第二种电子源 302 还包括第一绝缘层 118、第一透镜电极 120、在第一透镜电极 120 上的第二绝缘层 304 以及在第二绝缘层 304 上的第二透镜电极 306。

开孔 308 将发射区 114 暴露出来。将第一和第二绝缘层 118 和 304 凹进以避免与从电子源 302 发射出的电子束 309 发生接触。可以用导电涂层将发射区 114 和电极 116、120、和 306 覆盖。对于图 15 所示的结构，导电涂层的第一部分 310a 覆盖了发射区 114 和发射电极 116 的一部分、导电涂层的第二部分 310b 覆盖了第一透镜电极 120 并且导电涂层的第三部分 310c 覆盖了第二透镜电极 306。

通过对电极 120 和 306 施加不同的工作电位势可以有利地对电子束 309 进行控制或聚焦。

所以与 Spindt 发射器相比，所公开的电子源 102 和 302 制造起来更容易和更便宜。电子源 102 和 302 能够以在时间和空间上的稳定方式聚焦，并且它们可以在真空不好的条件下运行。该薄导电层还可以减少散射由此减小了能量发散并提高了效率。

该电子源的衬底并不局限于硅。也可以采用其它半导体材料。甚至可以采用金属材料，由此在金属衬底上形成半导体层。

该电子源的外形尺寸依具体器件而定。对电极所施加的电压也是依具体器件而定。

该电子源的制造并不局限于图 3 至 14 所描述的步骤。可以采用其它技术进行沉积、平整化等等。电极、导电体、绝缘体等也可以采用其它材料。

5 发射区可以采用除了形成宽的底部活性区并变窄形成颈部，并在颈部处形成多孔区的方法之外的其它方法来图案化。然而，这种图案化方法提供了某些优点。宽的底部耗散热量以进行较好的热管理。

图 16 展示了另一种图案。在活性 n^{++} 衬底 404 的顶部形成了多晶硅层 402，绝缘层 406 生长在衬底 404 上，并且图案化的掩膜 408 在多晶硅层 402 和绝缘层 406 的表面顶部形成。多孔区 410 位于多晶硅层 412，在图案化的掩膜 408 中的光阑限定了发射区 412 并且发射电极（未示出）覆盖形成图案掩膜 408。图案化的掩膜 408 可以由金属或介电材料制成。

该聚焦结构不局限于由绝缘层隔离开的堆垛电极。例如，图 17 展示了一种聚焦结构 502 包括多晶硅层 504 上的发射电极 506 和透镜电极 508。透镜电极 508 环绕发射电极 506，并且发射电极 506 中的光阑将发射区 510 暴露出来。

电子源不局限与上述的电子发射结构。通过许多技术可以从平表面获得发射电子。该电子源可以包括通过加热表面来发射热电子的发射结构。另一种方法，可以在室温或低于室温条件下，电子从金属 - 绝缘体 - 金属（MIM）以及金属 - 绝缘体 - 氧化物（MIS）结构的表面发射出来。这种电子发射类型在以下文献中进行了描述：

Wande&J Briggs “隧道阴极的低噪音束流”，应用物理杂志 33 卷 3 期，836 页至 840 页，1962 年（“Low noise Beams from Tunnel Cathodes”，Journal of Applied Physics 33, No3, pp836-840, 1962）；
25 Julius Cohen “至真空的隧道发射”，应用物理快报 1 卷，3 期，61 页 - 62 页，1962 年（“Tunnel Emission into Vacuum” Applied Physics Letters 1, No3, pp61-62, 1962）；和 Yokoo 等 “金属 - 氧化物 - 半导体电子隧道阴极的发射特性”，真空科技杂志，429 页至 432 页，1993 年（“Emission characteristics of metal-oxide-semiconductor electron
30 tunneling cathode”，Journal of Vacuum Science and Technology, pp.429-432, 1993）。电子从 MIM 和 MIS 结构以小发散角发射到真空中，如在 R.Hrach, 薄固体膜 15 卷 15 页，1973 年的文献（Thin Solid Film

15,p.15,1973) 中进行了描述的。小的发散角允许发射的电子被聚焦成小直径的电子束。

图 18 展示出的电子源 602 包括基于金属 - 绝缘体 - 金属 (MIM) 的电子发射结构。在绝缘体 610 与活性区 606 之间是薄金属层 612。

5 所以, 该金属 - 绝缘体 - 金属对应于电极 124a、绝缘体 610 和薄金属层 612。

图 19 展示出的电子源 702 包括基于金属 - 绝缘体 - 半导体 (MIS) 的电子发射结构。该活性区延伸到绝缘体 710。所以, 该金属 - 绝缘体 - 半导体对应于电极 124a、绝缘体 710 和活性区 706。

10 上述段落对单个电子源的结构和制造进行了描述。但是。需要理解的是在单个芯片上可以同时制造多个电子源并且在单个晶片上可以同时制造多个芯片。

电子源 102 和 302 可以有很多应用。应用实例包括数据信息存储器件、电子束检验工具 (例如扫描电子显微镜), 光刻和成像显示。
15 这些电子源可以在信息存储器件中产生超小的存储位、产生超细的光刻线、在阴极射线管或光栅显示器中产生超小像素。

尽管对本发明具体的实施例进行了描述和展示, 本发明不局限于所述和所展示的部件的形式与布置安排。而是, 本发明根据以下权利要求进行解释。

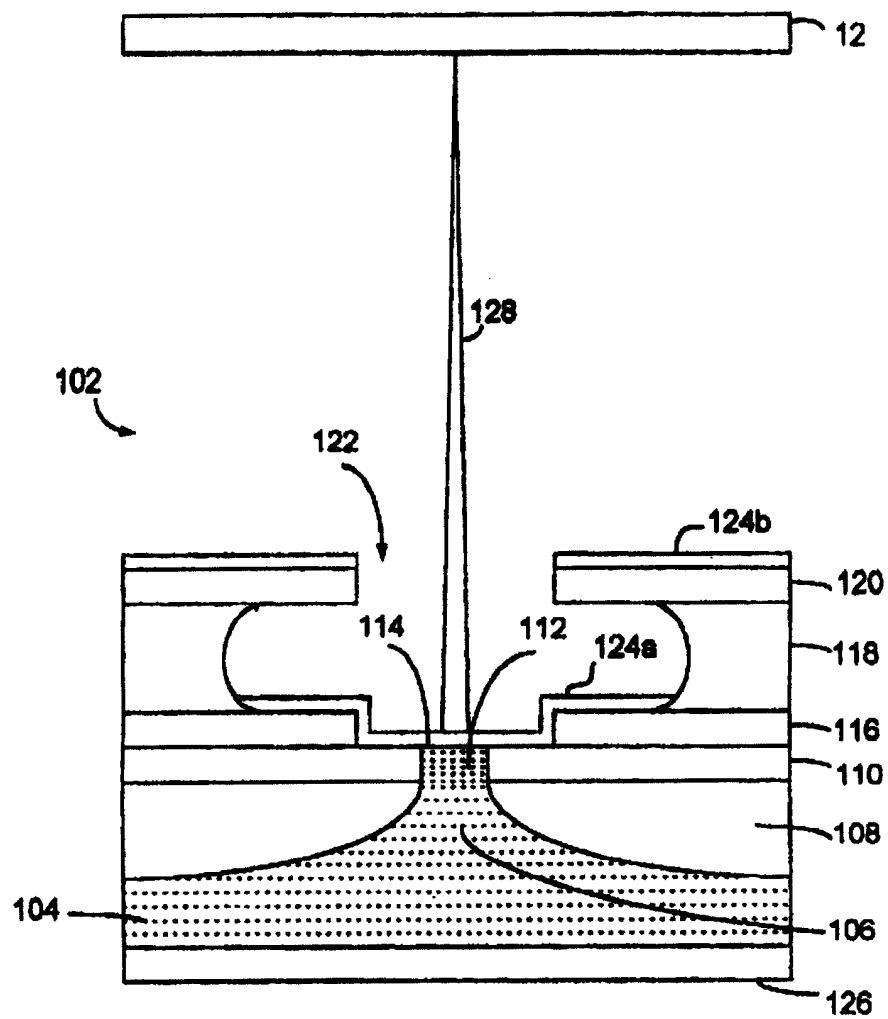


图 1

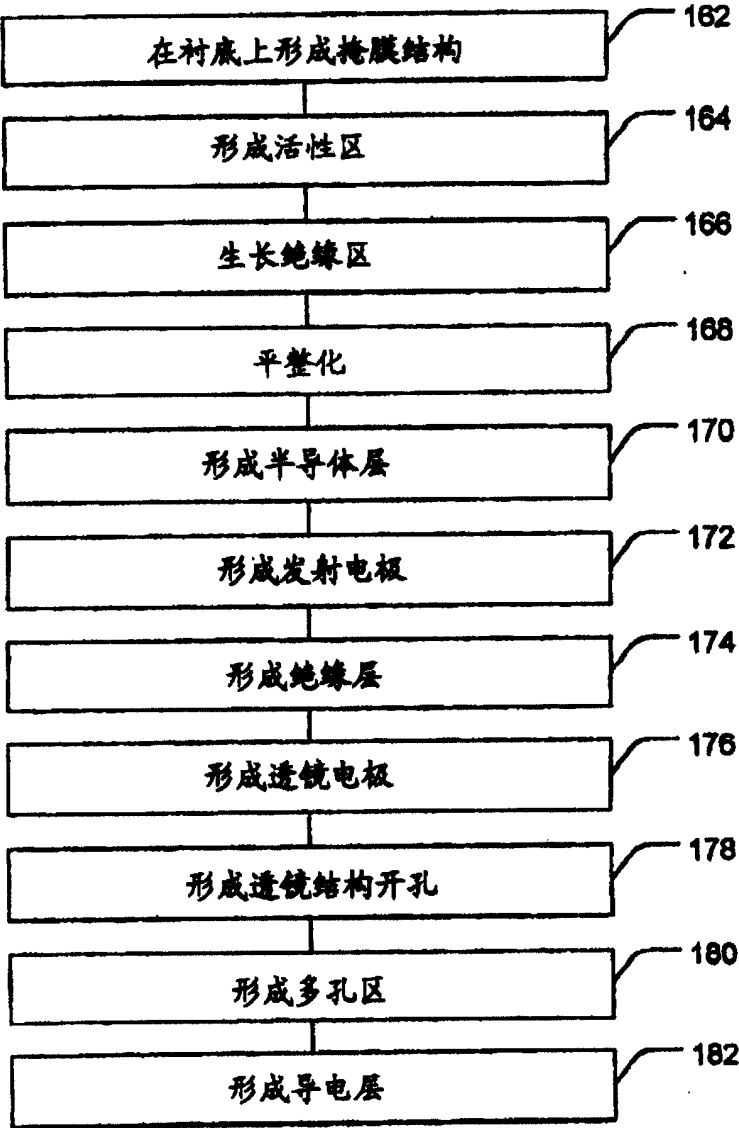


图 2

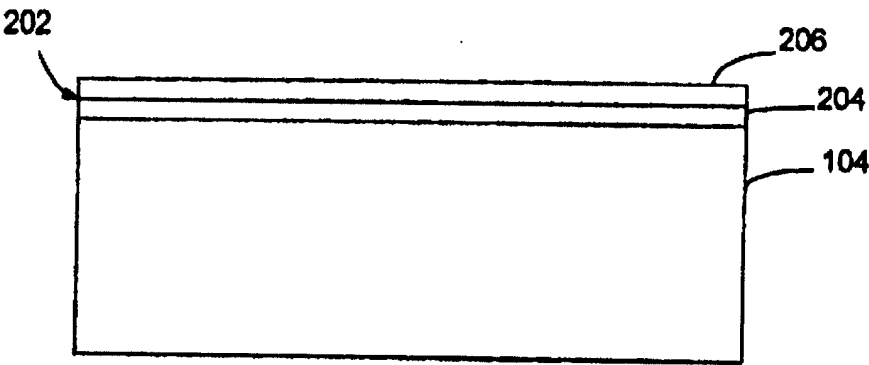


图 3

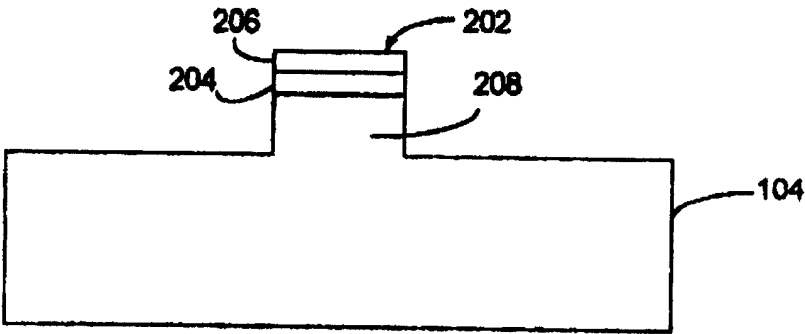


图 4a

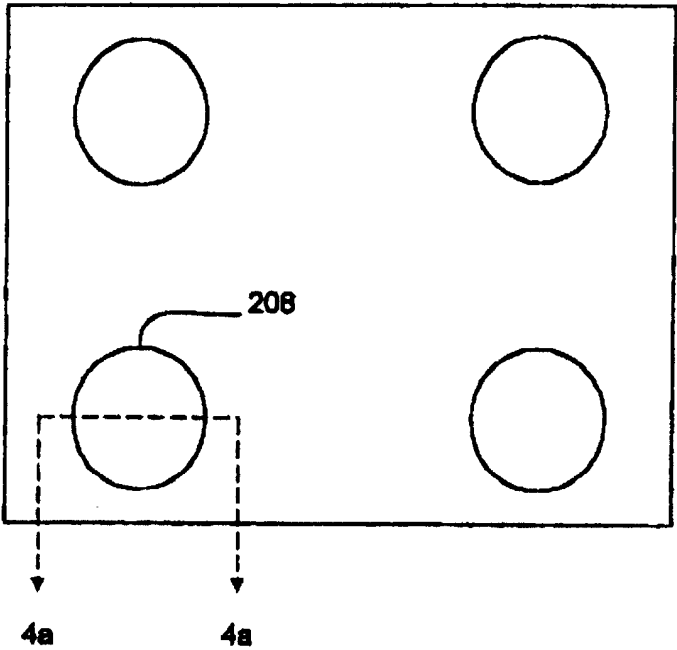


图 4b

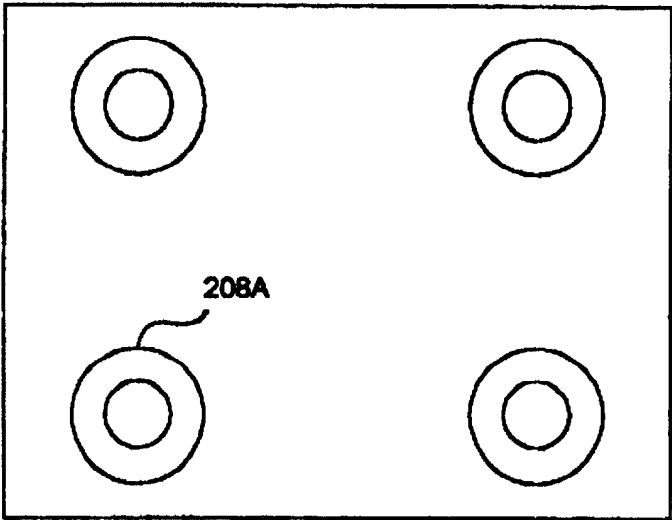


图 4c

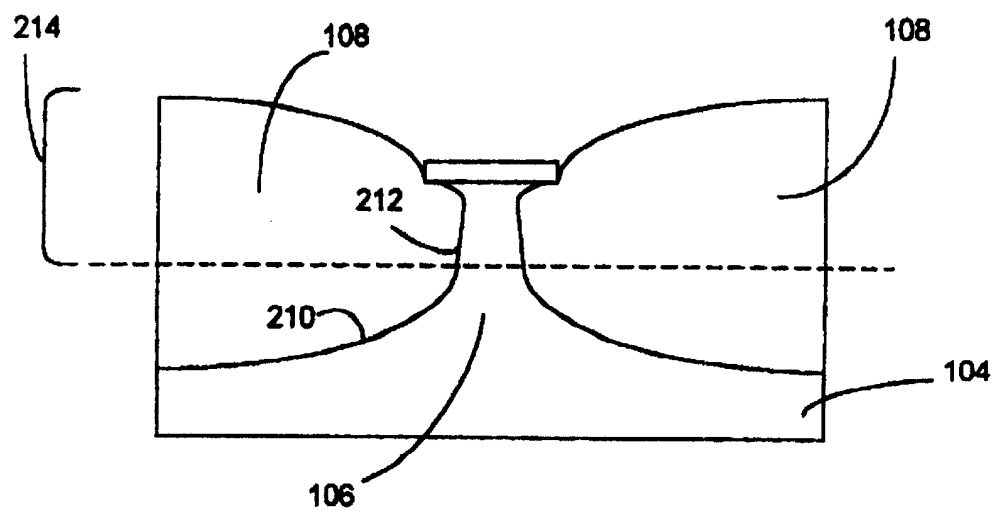


图 5

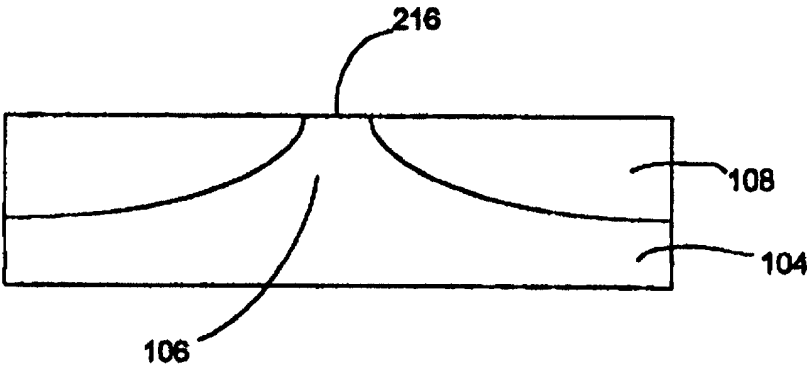


图 6

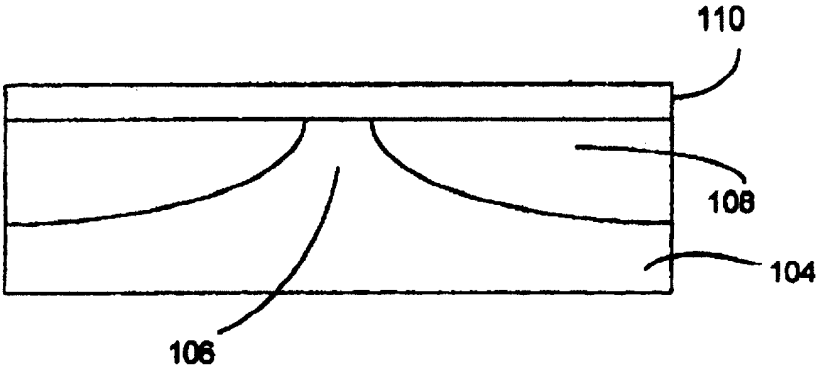


图 7

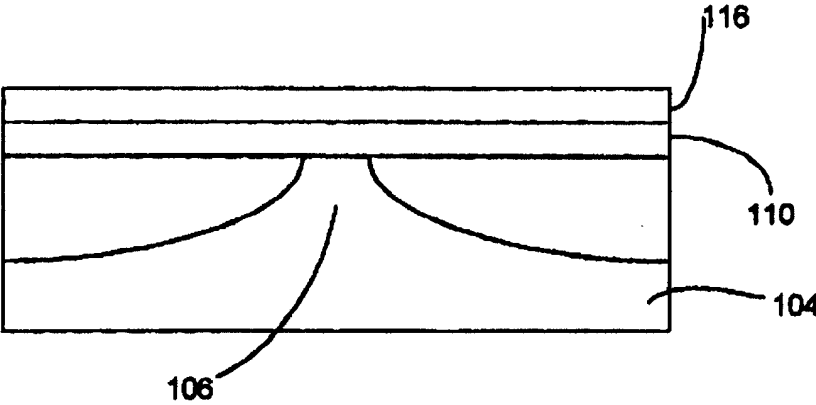


图 8

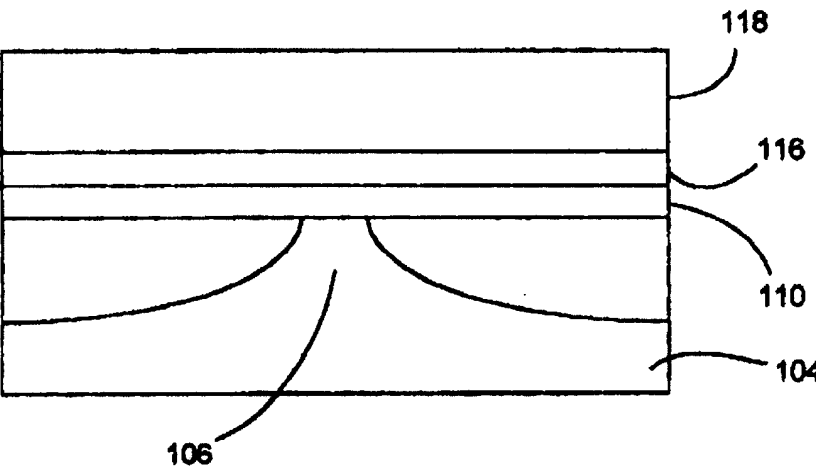


图 9

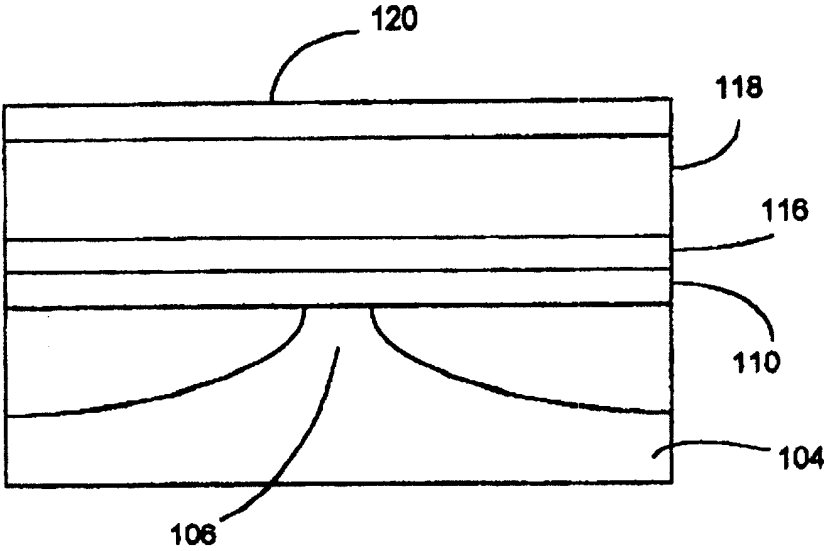


图 10

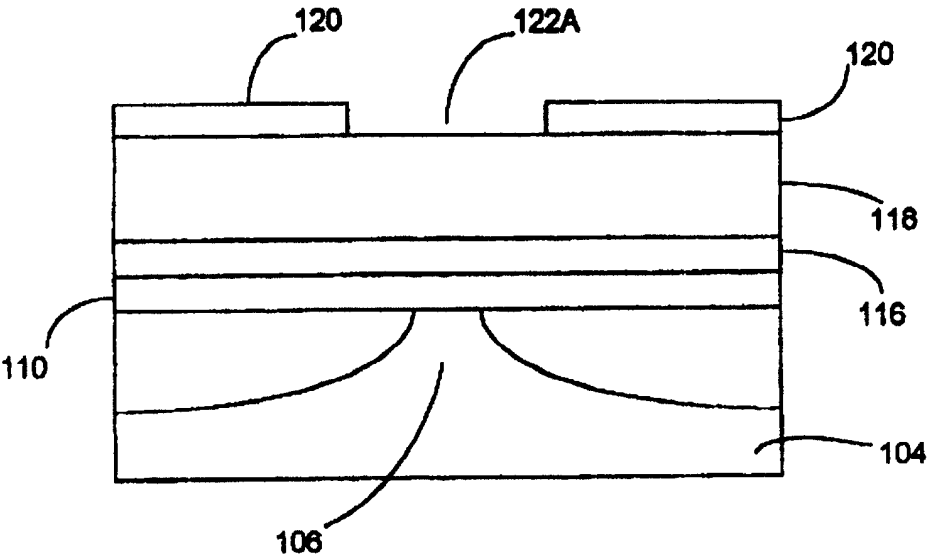


图 11

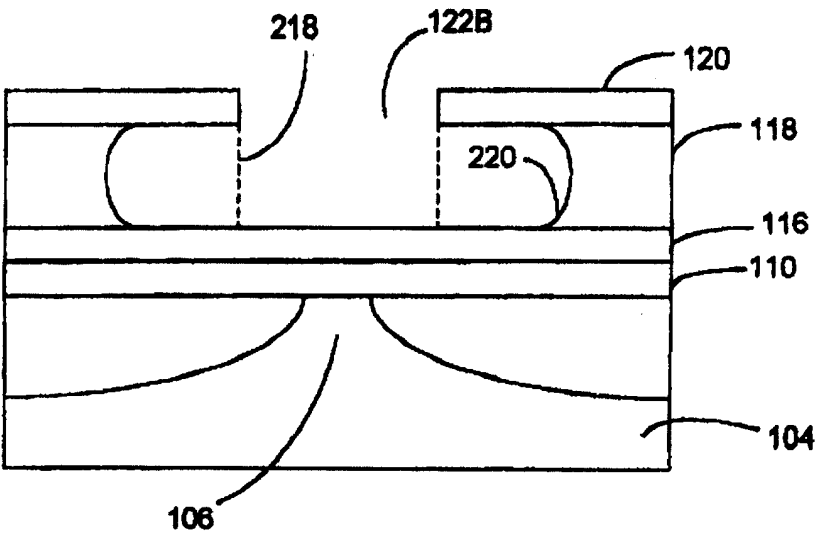


图 12

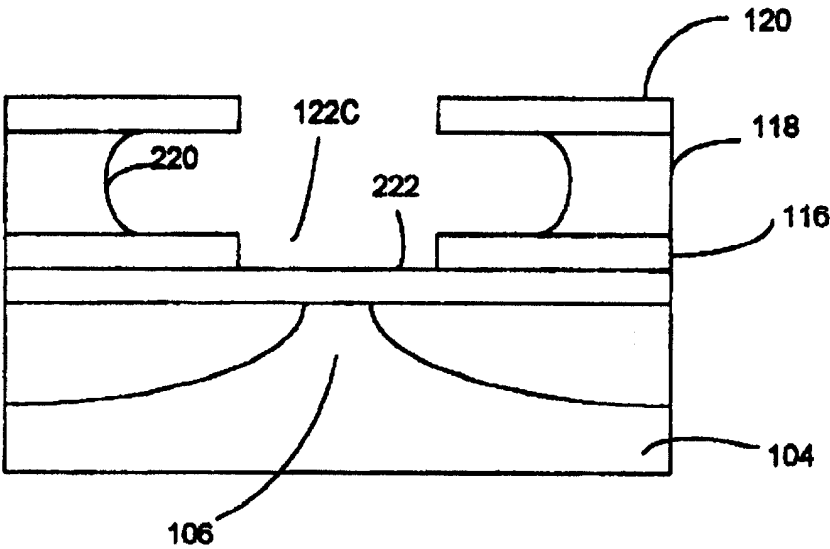


图 13

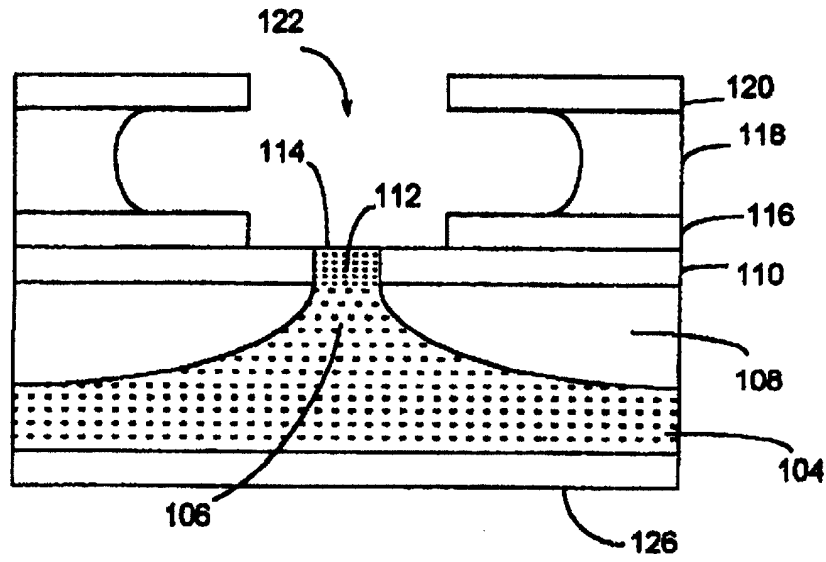


图 14

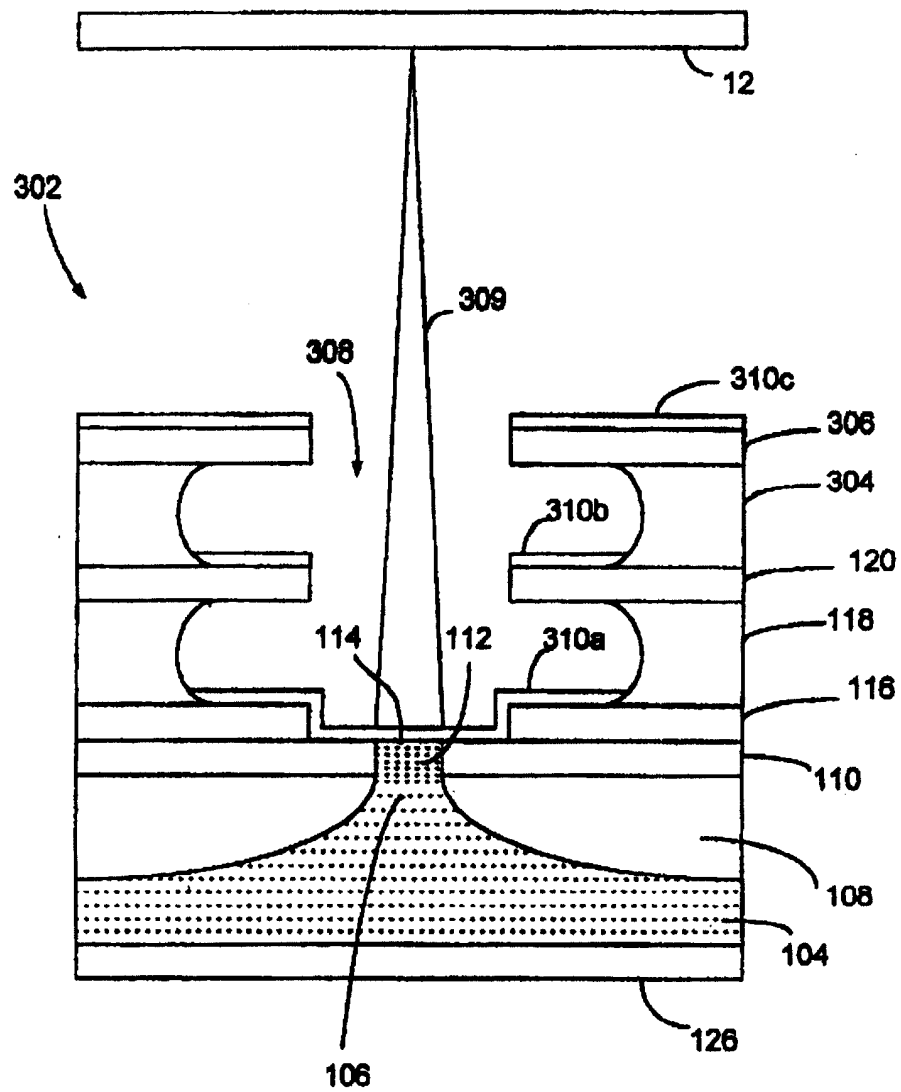


图 15

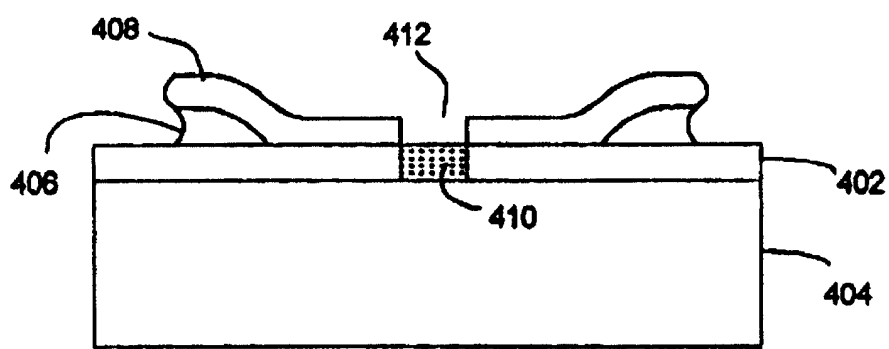


图 16

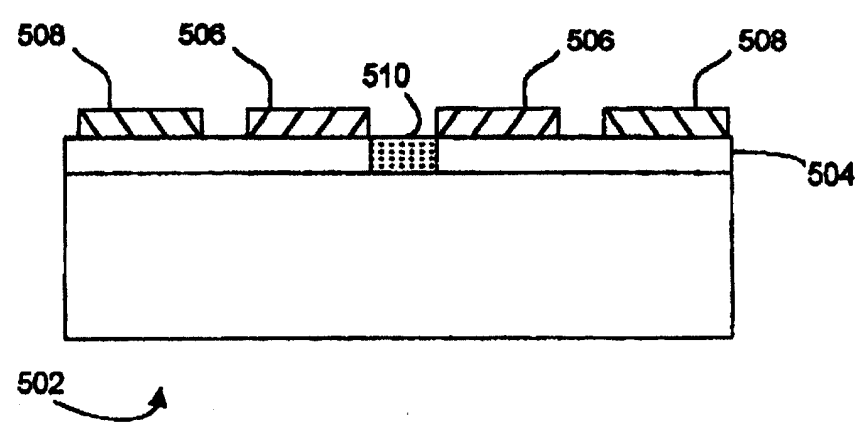


图 17

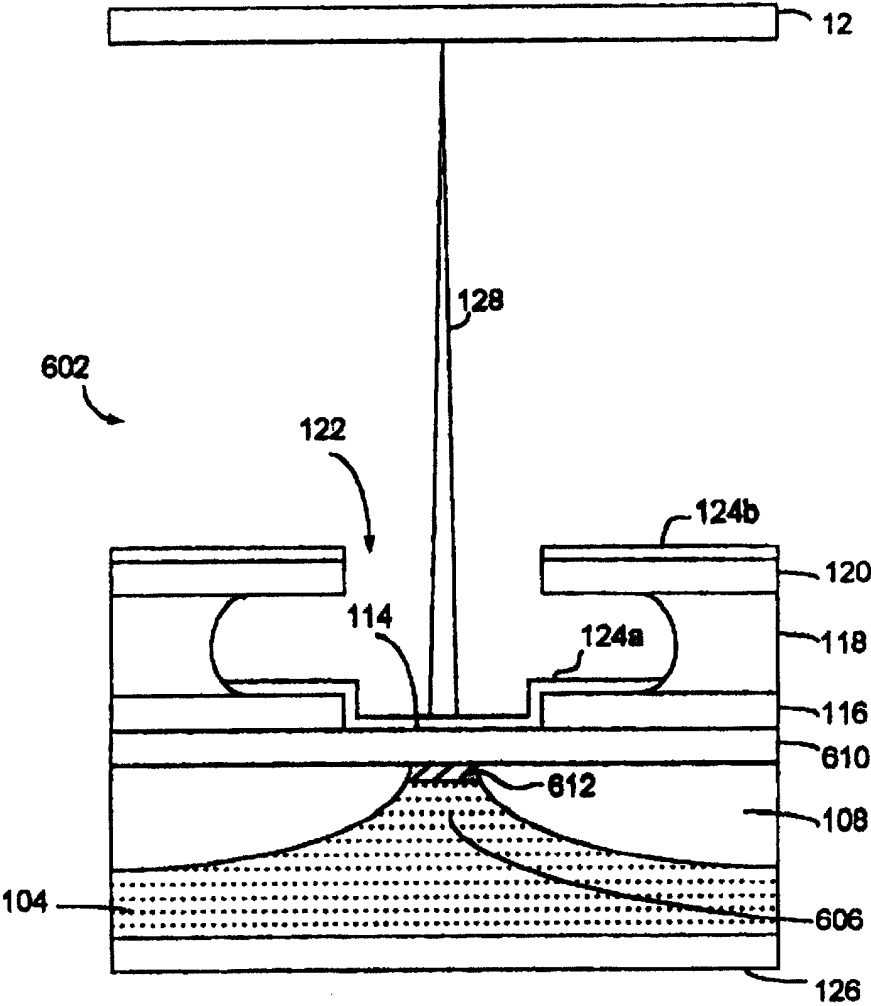


图 18

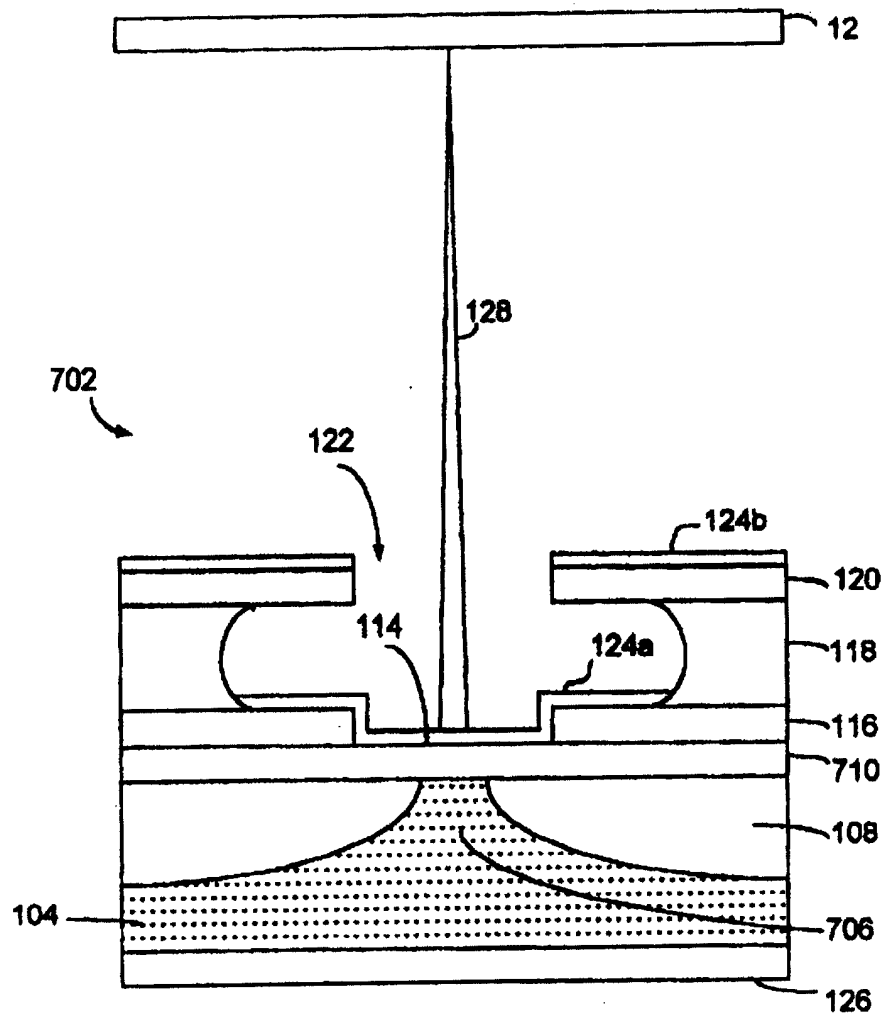


图 19