(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3545420号
(P3545420)
(45)発行日　平成16年7月21日(2004.7.21)　(24)登録日　平成16年4月16日(2004.4.16)

(51)Int.Cl.[7]　F I
G11C 27/00　G11C 27/00　101A

請求項の数 19　(全 16 頁)

(21)出願番号　特願平9-507740
(86)(22)出願日　平成8年7月24日(1996.7.24)
(65)公表番号　特表平10-510658
(43)公表日　平成10年10月13日(1998.10.13)
(86)国際出願番号　PCT/US1996/012237
(87)国際公開番号　WO1997/005620
(87)国際公開日　平成9年2月13日(1997.2.13)
審査請求日　平成12年4月7日(2000.4.7)
(31)優先権主張番号　08/509,348
(32)優先日　平成7年7月31日(1995.7.31)
(33)優先権主張国　米国(US)

(73)特許権者
ウィンボンド・エレクトロニクス・コーポレーション
台湾・シンチュ・サイエンス-ベースド インダストリアル　パーク・クリエーション　ロード　サード・ナンバー　4
(74)代理人
弁理士　山川　政樹
(74)代理人
弁理士　黒川　弘朗
(74)代理人
弁理士　紺野　正幸
(74)代理人
弁理士　西山　修

最終頁に続く

(54)【発明の名称】アナログおよびデジタル記憶用の電気的に書換え可能な不揮発性半導体メモリ

(57)【特許請求の範囲】
【請求項１】
フローティング・ゲート記憶セルのそれぞれが制御ゲート、フローティング・ゲート、および間にチャネルを形成しているソースおよびドレインを含み、フローティング・ゲートは、ソース上に位置することなく、チャネルの一部とドレインの一部の上にのみ位置して、プログラミング中にチャネルに沿って急激な電圧の変化をもたらし、フローティング・ゲート記憶セルのそれぞれは、可聴周波波形のそれぞれのサンプルを代表する、それぞれのアナログ電圧を記憶する、フローティング・ゲート記憶セルのアレイと、
電子のファウラー－ノルドハイム・トンネル効果を使用してアレイの記憶セルを消去する回路と、
可聴周波波形を再構成するために記憶セル内に記憶されたアナログ電圧を順次的に読み出す回路と、
読み出し動作がそれぞれのアナログ電圧に実質上等しい電圧を読み出すまで各記憶セルを漸増的にプログラミングする複数のプログラム／読出し／比較サイクルを実行するとともに、フローティング・ゲートに熱電子注入を与えるために、それぞれの記憶セルの制御ゲートとドレインに所定の電圧を印加している間に該記憶セルのソースにプログラミング電流パルスを印加することによって各記憶セルに対するプログラムサイクルを実行する回路と、
前記選択された記憶セルのドレインに接続するノードと、
選択されていない記憶セルに対するプログラミング電流パルスを前記ノードに加える回路

と
を含むアナログ記録およびそれに続くプレイバック用のアナログ電圧記憶装置。
【請求項２】
プログラム・サイクルを実行する回路が、各プログラム・サイクルの間にそれぞれの記憶セルに対して所定数のプログラミング電流パルスを与えることが可能な回路を備え、さらにその所定数のプログラミング電流パルスの内のどれだけが、各プログラム・サイクル中に使われるかを決定する回路を含む請求項１に記載のアナログ電圧記憶装置。
【請求項３】
フローティング・ゲート記憶セルのアレイが、記憶セルの行の隣接する対内の全ての記憶セルのドレインが共通のドレイン線に結合された複数の記憶セルの行と列を含む請求項１、２のいずれか一項に記載のアナログ電圧記憶装置。
【請求項４】
アレイ内の異なる位置において複数の共通のドレイン線を互いに接続する複数の金属導体をさらに含む請求項３に記載のアナログ電圧記憶装置。
【請求項５】
デジタル・アナログ変換器に与えられるマルチビット・デジタル信号に応答して、離散的アナログ電圧を、各記憶セルに対するプログラム・サイクルを実行する回路に与えるデジタル・アナログ変換器と、各記憶セル内に記憶されたアナログ電圧を順次的に読み出す回路に結合され、各記憶セルから読み出されたアナログ信号レベルをそれぞれのマルチビット・デジタル信号に変換するアナログ・デジタル変換器とを更に含む請求項１、２のいずれか一項に記載のアナログ電圧記憶装置。
【請求項６】
フローティング・ゲート記憶セルのアレイが、記憶セルの行の隣接する対内の全ての記憶セルのドレインが共通のドレイン線に結合された複数の記憶セルの行と列を含み、各セルが、１つまたは複数の一連のプログラミング電流パルスによって漸増的にプログラムされ、前記各プログラミング電流パルスが所定の電流および接続時間の電流パルスを含む請求項２、３のいずれか一項に記載のアナログ電圧記憶装置。
【請求項７】
記憶セルの行内の複数のフローティング・ゲート記憶セルが、各記憶セルに対する複数のプログラム／読出し／比較サイクルを同時に実行することによって並列的にプログラミングされ、各フローティング・ゲート記憶セルごとのプログラミング電流パルスが、そのセルの読出し動作がそれぞれのアナログ電圧に実質上等しい電圧を読み出した後で共通のドレイン線に加えられ、それにより、プログラミングされた複数のフローティング・ゲート記憶セルの数と無関係に、共通のドレイン線中の電流が実質上一定のままである請求項２、３に記載のアナログ電圧記憶装置。
【請求項８】
アレイ内の異なる位置において複数の共通のドレイン線を互いに接続する複数の金属導体をさらに含む請求項７に記載のアナログ電圧記憶装置。
【請求項９】
制御ゲート、フローティング・ゲート、および間にチャネルを形成しているソースおよびドレインを含み、フローティング・ゲートは、ソース上に位置することなく、チャネルの一部とドレインの一部の上にのみ位置して、プログラミング中にチャネルに沿って急激な電圧の変化をもたらし、フローティング・ゲート記憶セルのそれぞれは、可聴周波波形のそれぞれのサンプルを代表する、それぞれのアナログ電圧を記憶するフローティング・ゲート記憶セルのアレイと、
電子のファウラー－ノルドハイム・トンネル効果を使用してアレイの記憶セルを消去する回路と、
読み出し動作がそれぞれのアナログ電圧に実質上等しい電圧を読み出すまで各記憶セルを漸増的にプログラミングする複数のプログラム／読出し／比較サイクルを実行するとともに、フローティング・ゲートに熱電子注入を与えるために、それぞれの記憶セルの制御ゲ

ートとドレインに所定の電圧を印加している間に該記憶セルのソースにプログラミング電流パルスを印加することによって各記憶セルに対するプログラムサイクルを実行する回路と、
前記選択された記憶セルのドレインに接続するノードと、
選択されていない記憶セルに対するプログラミング電流パルスを前記ノードに加える回路と、
可聴周波波形を再構成するため記憶セル内に記憶されたアナログ電圧を順次的に読み出すソース・フォロワとして各記憶セルを接続する回路と
を含み、プログラミング中のフローティング・ゲートの電圧の変化が読み出し中の記憶セルのソース変化として直接現れるアナログ記録およびそれに続くプレイバック用のアナログ電圧記憶装置。

【請求項１０】
プログラム・サイクルを実行する回路が、各プログラム・サイクルの間にそれぞれの記憶セルに対して所定数のプログラミング電流パルスを与えることが可能な回路を備え、さらにその所定数のプログラミング電流パルスの内のどれだけが、各プログラム・サイクル中に使われるかを決定する回路を含む請求項９に記載のアナログ電圧記憶装置。

【請求項１１】
フローティング・ゲート記憶セルのアレイが、記憶セルの行の隣接する対内の全ての記憶セルのドレインが共通のドレイン線に結合された複数の記憶セルの行と列を含む請求項９、10のいずれか一項に記載のアナログ電圧記憶装置。

【請求項１２】
アレイ内の異なる位置において複数の共通のドレイン線を互いに接続する複数の金属導体をさらに含む請求項11記載のアナログ電圧記憶装置。

【請求項１３】
フローティング・ゲート記憶セルのアレイが、記憶セルの行の隣接する対内の、全ての記憶セルのドレインが共通のドレイン線に結合された複数の記憶セルの行と列を含み、各セルが１つまたは複数の一連のプログラミング電流パルスによって漸増的にプログラムされ、各プログラミング電流パルスが所定の電流および接続時間の電流パルスを含む請求項９、10のいずれか一項に記載のアナログ電圧記憶装置。

【請求項１４】
記憶セルの行内の複数のフローティング・ゲート記憶セルが、各記憶セルに対する複数のプログラム／読出し／比較サイクルを同時に実行することによって並列的にプログラミングされ、各フローティング・ゲート記憶セルごとのプログラミング電流パルスが、そのセルの読出し動作がそれぞれのアナログ電圧に実質上等しい電圧を読み出した後で共通のドレイン線に加えられ、それにより、プログラミングされた複数のフローティング・ゲート記憶セルの数と無関係に、共通のドレイン線中の電流が実質上一定のままである請求項13に記載のアナログ電圧記憶装置。

【請求項１５】
アレイ内の異なる位置において複数の共通のドレイン線を互いに接続する複数の金属導体をさらに含む請求項14に記載のアナログ電圧記憶装置。

【請求項１６】
デジタル・アナログ変換器に与えられるマルチビット・デジタル信号に応答して、離散的アナログ電圧を、各記憶セルに対するプログラム・サイクルを実行する回路に与えるデジタル・アナログ変換器と、各記憶セル内に記憶されたアナログ電圧を順次的に読み出す回路に結合され、各記憶セルから読み出されたアナログ信号レベルをそれぞれのマルチビット・デジタル信号に変換するアナログ・デジタル変換器とを更に含む請求項９、10のいずれか一項に記載のアナログ電圧記憶装置。

【請求項１７】
可聴周波波形のそれぞれのサンプルを代表するアナログ電圧を記憶するフローティング・ゲート記憶セルであって、フローティング・ゲートは、ソース上に位置することなく、チ

ャネルの一部とドレインの一部の上にのみ位置して、プログラミング中にチャネルに沿って急激な電圧の変化をもたらし、制御ゲート、フローティング・ゲート、および間にチャネルを形成しているソースおよびドレインを含むフローティング・ゲート記憶セルと、
電子のファウラー－ノルドハイム・トンネル効果を使用して記憶セルを消去する回路と、
可聴周波波形を再構成するために記憶セル内に記憶されたアナログ電圧を読み出す回路と、
読み出し動作がそれぞれのアナログ電圧に実質上等しい電圧を読み出すまで各記憶セルを漸増的にプログラミングする複数のプログラム／読出し／比較サイクルを実行するとともに、フローティング・ゲートに熱電子注入を与えるために、それぞれの記憶セルの制御ゲートとドレインに所定の電圧を印加している間に該記憶セルのソースにプログラミング電流パルスを印加することによって各記憶セルに対するプログラムサイクルを実行する回路と、
前記選択された記憶セルのドレインに接続するノードと、
選択されていない記憶セルに対するプログラミング電流パルスを前記ノードに加える回路と
を含むアナログ記録およびそれに続くプレイバック用のアナログ電圧記憶装置。

【請求項１８】
プログラム・サイクルを実行する回路が、各プログラム・サイクルの間にそれぞれの記憶セルに対して所定数のプログラミング電流パルスを与えることが可能な回路を備え、さらにその所定数のプログラミング電流パルスの内のどれだけが、各プログラム・サイクル中に使われるかを決定する回路を含む請求項17に記載のアナログ電圧記憶装置。

【請求項１９】
デジタル・アナログ変換器に与えられるマルチビット・デジタル信号に応答して、離散的アナログ電圧を、記憶セルに対するプログラム・サイクルを実行する回路に与えるデジタル・アナログ変換器と、記憶セル内に記憶されたアナログ電圧を読み出す回路に結合され、記憶セルから読み出されたアナログ信号レベルをそれぞれのマルチビット・デジタル信号に変換するアナログ・デジタル変換器とを更に含む請求項17、18のいずれか一項に記載のアナログ電圧記憶装置。

【発明の詳細な説明】

1.発明の分野

本発明は、メモリ・アレイ内のアナログ信号サンプルおよびマルチレベル・デジタル信号の集積回路記憶の分野に関する。

2.従来の技術

現在まで、集積回路における不揮発性アナログ記憶は、主として消去モードならびにプログラム・モードにファウラー－ノルドハイム電子トンネル効果を利用するEEPROMメモリ・セルで実施されていた。これらのセルは、通常、チャネルと上部ポリシリコン制御ゲートの間に配置された中間ポリシリコン・ゲートを有するMOSトランジスタから構成される。中間ポリシリコン・ゲートは、オーム性電気接続を有せず、絶縁物によって完全に囲まれ、一般にフローティング・ゲートと呼ばれる。一般にトンネル酸化物と呼ばれるフローティング・ゲートを囲む誘電体の特定の領域に電界が加わるように、トランジスタの４つの使用可能な端子（ソース、ドレイン、ゲートおよび基板）に電圧を印加することによって、フローティング・ゲートに電荷を加えたり、フローティング・ゲートから電荷を引いたりする。セルを正確に立体設計し、かつ印加電圧を正確に選択すれば、トンネル酸化物の両端間の電界は、誘電体中に電子トンネル効果を引き起こすのに十分高くなる。フローティング・ゲートに電子を付加したり、フローティング・ゲートから電子を除去したりすると、上部制御ゲートに電圧を印加することによって測定されるトランジスタのしきい値が変化する。NMOSトランジスタを使用すると仮定すると、高電界の方向が、電子がトンネルによってフローティング・ゲートに入るのかまたはフローティング・ゲートから出るのかを決定し、したがって生じたしきい値電圧の変化がそれぞれ増加であるかまたは減少であるかを決定する。

フローティング・ゲート・トランジスタのしきい値電圧を数ボルト程度のかなりの量だけ変化させるフローティング・ゲート・デジタル・メモリの例は多数ある。ある論理状態は広い範囲のしきい値によって表され、他の論理状態は異なる範囲のしきい値によって表される。一般に、トランジスタを所定の読出し状態にバイアスしたときにトランジスタが導通するかまたは導通しないかを決定することによって情報をセルから読み出す。他方、アナログ記憶では、フローティング・ゲート・トランジスタのしきい値をわずかにまたは連続的に変化させる必要があり、またトランジスタの読みが、トランジスタからの実際の電圧を決定し、またはトランジスタがどのくらい導通するかを示す必要がある。アナログ記憶の例は、米国特許第4627027号（Rai）、第4890259号（Simko）、第4989179号（Simko）、第5220531号（Blyth）、第5241494号（Blyth）、および第5294819号（Simko）に記載されている。

米国特許第4627027号において使用されている技法は、フローティング・ゲートがソースに印加されたアナログ・レベルに対して十分高く充電されたときにトランジスタが導通し始めるように、高抵抗を介してフローティング・ゲート・トランジスタのドレインに印加されるプログラミング電圧を利用するものである。導通が始まると、ドレイン電流により抵抗の両端間に増大する電圧降下が生じ、したがってドレインに印加されたプログラミング電圧が低下する。したがって、トンネル電流は減少し、フローティング・ゲートはソース上の入力電圧と密接な関係のあるレベルに達する。

米国特許第4890259号および米国特許第4989179号には、信号を連続的にサンプリングし、サンプルを順次一組のサンプル・ホールド回路内に一時的に記憶することによって、アナログ信号またはマルチレベル信号を記憶するセルの不揮発性メモリ・アレイが記載されている。その場合、サンプル・ホールド回路からの並列出力を使用して、等しい数のメモリ・セルについて反復書込みシーケンスを制御する。反復書込みシーケンスは、それぞれのサンプル・ホールド回路によって制御される各セルごとに独立している。反復書込みシーケンスは、それぞれ後で書込み動作を行う一連の書込みプログラミング電圧パルスである。プログラミング電圧パルスは、セルから読み出された電圧レベルが対応するサンプル・ホールド回路からの所望のアナログ・レベルに一致するまで振幅が増大する。セルから読み出された電圧レベルが対応するサンプル・ホールド回路からの所望のアナログ・レベルに一致したとき、そのセルの一連のプログラミング・パルスは終了する。米国特許第5220531号および米国特許第5241494号は、性能および製造性の改善が可能な反復アナログ記憶の改善された方法および装置である。米国特許第5294819号は、単一のトランジスタを含むEEPROMセル内のアナログ記憶の方法である。前記の例の共通の特徴は、消去動作モードならびにプログラム動作モードにファウラー－ノルドハイム・トンネル効果を利用するEEPROMメモリ・セルを使用することである。

他の種類の不揮発性メモリは、プログラム動作のための熱電子注入を利用するものである。消去は、集積回路の表面を紫外光に曝すことによって実施されるか、あるいはファウラー－ノルドハイム・トンネル効果によって電気的に実施される。いずれにせよ、プログラム機能は、熱電子注入によって、ソース・ドレイン間チャネル内の電子が高電界を受けるように、選択したセルのフローティング・ゲート・トランジスタをバイアスすることによって実施される。電子に与えられるエネルギーは、電子が酸化物層のギャップを飛び越え、フローティング・ゲート上で終止するのに十分大きい。フローティング・ゲート上で終止する電子の割合は、特定のバイアス条件によって決まる。バイアス条件の１つは、フローティング・ゲート電圧、したがってフローティング・ゲートの下の酸化物の両端間の電界である。一般的に言えば、妥当な時間内で十分なしきい値変化をプログラミングする、すなわち数十μ秒または数百μ秒内で数ボルトをプログラミングするのに十分な電荷輸送を供給するためには、大きいソース電流が必要である。したがって、移動効率は非常に低い。10^6個ないし10^7個のチャネル電子に対して、フローティング・ゲート上で終止する電子は１個程度である。プログラミングには大きい電流および高い電圧が必要であるので、EEPROMデバイスで使用されるものなど単一の電源によるオンチップ電圧乗算に使用される技法は実際的ではなく、外部電源を使用してプログラム電流を供給することが必要になる

。比較的大きい給電が可能な特殊な電源は大きな不利益になる。しかしながら、最近の改良物の中には、これらの難点のいくつかを克服したものもある。１つの例が米国特許第5029130号、第5067108号および第5289411号に開示されている。これは熱電子注入の改善された技法であり、プログラミング転送効率が大幅に改善され、オンチップ電圧乗算が実際的になっている。上記特許は、改善されたデバイスの製造およびその動作およびデジタル・データへの使用を開示しているが、本明細書は、好ましい実施形態では、アナログ・データの記憶に関し、またセルへの書込みおよびセルからの読出しの様々な技法を紹介する。本発明は、熱電子注入を使用する他のタイプの不揮発性セルにも適用することができる。さらに、本発明は、米国特許第4890259号、第4989179号および第5241494号に記載されているものと同じサンプル・ホールド回路および反復プログラミング技法を使用するが、これらの特許と著しく異なる点がある。簡単に言えば、電圧の代わりに電流をスイッチングすることによってプログラム制御を実施すること、ならびに書込み回路のアーキテクチャが著しく異なることである。

発明の簡単な概要

本発明は、不揮発性メモリ・アレイ内でアナログ記憶を達成する方法および装置を開示する。アレイは、消去にはファウラーノルドハイム・トンネル効果を利用し、プログラミングには熱電子注入を利用するメモリ・セルから構成される。

記憶すべき入力レベルは、プログラミング期間中に連続的に印加される電圧であり、あるいは本発明の代表的な用途では、アナログ信号を連続的にサンプリングし、かつプログラミング期間中に書込み回路が使用するための一定の電圧を供給する複数のサンプル・ホールド回路の１つからの出力である。セルへの書込みは、初期消去の後、セルが小さい増分でプログラミングされているプログラム動作の制御されたシーケンスによって実施される。記憶された電圧は、各プログラム・ステップの後で読み出され、セルから読み出された電圧が所望のアナログ・レベルに等しくなるかまたはちょうど越えたとき、プログラム・ステップのシーケンスは終了する。プログラム・ステップの数は、各セルごとに異なり、または様々な所望の電圧に対して異なる。プログラム構成および状態は、使用するセルのタイプによって異なるが、いずれにせよ、各プログラム・ステップ中のフローティング・ゲート・トランジスタしきい値の変化は小さくなければならない。これは、印加電圧、ソース・ドレイン間チャネル、またソース電流が流れる時間を制御することによって達成される。特定のタイプのセルでは、上記の制御変数すべてを組み合わせる必要がある。

セルの読出し状態は、従来のデジタル構成において使用されるものとは異なる。NMOSデバイスを仮定すると、通常、従来技術では、セルのソースすなわち共通線は負の（接地）電源に接続され、制御ゲートおよびドレインに印加される電圧はソースに対して正である。生じたドレイン電流を検地することによってセルの記憶状態を決定する。あるいは、負荷デバイスをドレインと正の電源の間に接続し、ドレイン電圧が基準電圧または電圧の組よりも大きいかまたは小さいかによってデータ状態または複数のデータ状態を決定する。反対に、本発明では、ドレインまたは共通線に正の電圧を印加し、制御ゲートに正の電圧を印加する。ソースは、負荷デバイスを介して負の（接地）電源に接続する。セルからの出力は、ソース・ノードのところに発生する実際の電圧である。出力状態を決定するための電流の検知または基準電圧との比較は行わない。

上述のように、本発明の代表的な用途は、アナログ波形のサンプリングおよび記憶である。特に、本発明は、音声波形の記録および再生に特に有効である。十分な音声再生品質を達成するためには、6KHz以上のサンプル速度が必要である。得られた170マイクロ秒以下の時間期間は短すぎて、特に高解像度、したがって多数のステップが必要な場合、反復プログラミング・ステップのシーケンスを長くできない。従来技術の米国特許第4890259号では、サンプル・ホールド回路および並列書込み回路を使用して、十分なプログラミング時間を得ている。一方、米国特許第5220531号では、並列書込み回路の数をより実際的な数に減らしている。米国特許第5220531号の改善された書込み技法は、セルごとにプログラミング電圧を一時的に記憶する方法を利用するが、これは熱電子プログラミングにはあまり向かない。しかしながら、本発明は、熱電子プログラミングに適しており、したがっ

て回路の複雑さを低減し、ダイ・サイズを縮小し、かつ製造コストを下げる並列書込み回路の数を減らす方法およびアーキテクチャを紹介する。
デジタル情報記憶は、本発明の他の用途である。デジタル数は、特定のアナログ・レベルをデジタル数に割り当てることによって表示できる。表示できるデジタル数の範囲は、アナログ電圧レンジを、電圧を記憶しかつ確実に検索できる精度で割ることによって決定される。デジタル数をデバイスに入力するには、デジタル・ワードをアナログ・デジタル（A/D）変換器に入力し、変換器の出力をアナログ・メモリ内に記憶する。デバイスの出力において、アナログ・レベルをメモリから検索し、デジタル・アナログ（D/A）変換器に入力する。D/Aの出力は、初めにデバイスに入力された数に対応するデジタル数である。
本発明の一実施態様は、アナログ・メモリ・セルのアレイである。アナログ・メモリ・アレイとデジタル情報の記憶の組合せにより、デジタル情報の非常に密な記憶が可能になる。

【図面の簡単な説明】
第1A図は、本発明の好ましい実施形態の読出し動作、消去動作およびプログラム動作を図示し説明するトランジスタの配置の回路図である。
第1B図は、第1A図の回路を複製することによって達成できる本発明による代表的なメモリ・アレイの一部の回路図である。
第２図は、第１図の回路内で使用できるタイプの従来技術の電気的にプログラミング可能かつ消去可能な単一トランジスタ・メモリ・セルの断面図である。
第３図は、本発明の好ましい実施形態のメモリ・アレイ・アーキテクチャを示すブロック図である。
第４図は、本発明の好ましい実施形態のプログラム制御回路の詳細を示す回路図である。
第５図は、第４図のプログラム制御回路のタイミング図である。
第６図は、本発明の好ましい実施形態の全体的なアナログ・メモリ編成、特にドレイン・ストラップおよびISUMz線を示す概略図である。
第７図は、ISUMz線を対応するトランジスタ・スイッチを介してドレイン線に結合する方法を示す本発明による代表的なメモリ・アレイの一部の回路図である。
第８図は、マルチビット・デジタル値を単一のアナログ電圧として記憶し、再生するために、データ変換器をアナログ・メモリに接続する方法を示す図である。
発明の詳細な説明
第1A図は、本発明の好ましい実施形態の様々な動作モードを説明するようになされたトランジスタ配置の回路図であり、２つの行と２つの列の配置内に接続された４つの単一トランジスタ・セルを示す。この特定の配置は、実際的な用途はごく限られているが、最小サイズながらも代表的なメモリ・アレイ内で読出し、消去およびプログラミングを行う方法を説明するのに役立ち、また第1B図に示すように第1A図の配置を複製することによって所望のサイズのより大きいアレイが達成されることを示す。特に、第1B図では、第1A図のアレイを水平方向に２回、垂直方向に２回複製して、隣接する行の各対のドレイン接続がそれぞれのドレイン・ドライバ線に共通に結合された４列×４行のセルのアレイを得ている。これは、もちろん、第1A図の基本アレイを繰り返し複製すれば、所望のサイズおよび構成のアレイが得られることを示す。
説明を簡単にするために、以下の議論では、フローティング・ゲート・トランジスタは、すべてPMOSトランジスタではなく、NMOSトランジスタであると仮定する。さらに、以下の議論では、例として、米国特許第5029130号に記載されているセル構造を使用する。このセル構造を第２図の断面図に示す。図示のように、Ｐ基板10は、それぞれＮ＋ソース領域12およびドレイン領域14を有する。ソース領域およびドレイン領域ならびにその間のチャネル領域16は、厚さ約70～200オングストロームのシリコン酸化物など第１の絶縁層18によって覆われる。絶縁層18上には、チャネル領域16の一部およびドレイン領域14の一部の上に位置するフローティング・ゲート20が配置される。フローティング・ゲート20に隣接して、またフローティング・ゲート20の上に、他の絶縁層22が配置される。絶縁層22上には、制御ゲート24がフローティング・ゲート20の制御ゲート24に隣接する部分の上および

チャネル領域16の一部の上およびソース領域12の一部の上に延びるように配置される。この特定のセルおよびその構成の詳細は、上記の特許に記載されている。
しかしながら、本発明で紹介する技法は、高いプログラム電流効率を有する他の熱電子セル構造によって使用されることが好ましいが、必ずしもその必要はない。異なるタイプのセルを使用する場合、消去動作、プログラム動作および読出し動作のバイアス条件を変更しなければならない。効率の低いセルは、余分の外部電源、より複雑な波形調整回路およびより大きいスイッチング・トランジスタを必要とし、また実際に並列にプログラムできるセルの数が制限され、したがってサンプル速度およびデバイス・アーキテクチャに影響を及ぼす。したがって、転送効率の高いタイプのセルが好ましい。
第1a図のトランジスタT1が消去、プログラムおよび読出し動作のために選択したセルであると仮定する。表１は、代表的な印加できるノード電圧のリストである。消去は、制御ゲートWL1に約15Vの高い電圧を印加し、他の全ての端子に0Vを印加することによって実施される。このタイプのセルでは、制御ゲートとフローティング・ゲートとの容量性結合は、フローティング・ゲートと他の端子との結合の和よりもはるかに弱く、したがって制御ゲートとフローティング・ゲートの間の誘電体の両端間に高電界が生成される。電子がフローティング・ゲートから制御ゲートにトンネル動作し、その結果、制御ゲートが低レベルに戻った後で、フローティング・ゲート上に正味の正の電荷が生じる。15Vの消去パルスを１マイクロ秒間印加した場合、T1のしきい値は約－1Vに低下する。制御ゲートは行上のすべてのトランジスタに共通であるので、トランジスタT1もT3も消去される。T2およびT4には電圧が印加されないので、それぞれのフローティング・ゲート上の電荷は変化せず、したがってT2およびT4のしきい値は変化しない。
米国特許第4698787号に記載のものなど他のタイプのセルでは、制御ゲートを低レベルに維持しながら、ドレイン電圧を高レベルに上げることによって同じ結果を達成する。この場合も、消去動作によりフローティング・ゲートからの電子のトンネル動作が起こる。ただし、今度はトンネル方向はドレインに向かう方向である。
セルT1は、約5Vの電圧をWL1に接続し、約１μＡの負荷電流を0VからCol1に接続し、2.5Vをドレイン線に接続することによって読み出される。この構成では、消去中およびプログラミング中に生じるフローティング・ゲートの電圧の変化が、読出し時のソース電圧の変化として直接現れるソース・フォロワ作用が生じる。フローティング・ゲート電圧の所与の変化に対してソースの電圧レンジを最大にするために、およびフローティング・ゲート・トランジスタと使用可能なアレイを実施するために必要なスイッチング・トランジスタの電流負荷によって生じるひずみの影響を小さくするために、負荷電流は低く保持される。

動作	ＷＬ１	ＷＬ２	Ｃｏｌ１	Ｃｏｌ２	ドレイン
消去	１５Ｖ	０Ｖ	０Ｖ	０Ｖ	０Ｖ
読出し	５Ｖ	０Ｖ	１μＡ～０Ｖ	開	２．５Ｖ
プログラム	２Ｖ	０Ｖ	１μＡ～０Ｖ	３Ｖ～５Ｖ	６Ｖ～１２Ｖ
プログラム禁止	２Ｖ	０Ｖ	３Ｖ～５Ｖ	３Ｖ～５Ｖ	６Ｖ～１２Ｖ

セルＷＬ１を選択し、他のすべてのセルは選択しない。

基板電位はすべての動作に対して０Ｖである。

表１：動作状態

プログラミングは、ソース／ドレイン・チャネル内を流れる電子が高電界を受け、それらがエネルギー・ギャップを通過するのに十分なエネルギーを得るようにフローティング・

ゲート・トランジスタをバイアスすることによって実施される。これらの「熱電子」の一部は、セル効率に応じて、フローティング・ゲートに収集される。この例におけるセルでは、チャネルの短い領域内の、制御ゲートとフローティング・ゲートとの境界の真下に高電界を集中することによって高効率を達成する。制御ゲートは、下のチャネルがごく弱く反転するように、約１または２ボルトにとる。同時に6V～12Vの高い電圧をドレインに印加する。

フローティング・ゲートは消去動作によって正に帯電し、さらに、ドレインは追加の正電荷をフローティング・ゲート上に結合させるので、フローティング・ゲート・トランジスタの下のチャネルは強く反転する。米国特許第5029130号に記載されているように、ソースとドレインの間の電位降下は、側壁酸化物の下の短い距離内に集中し、制御ゲートとフローティング・ゲートを分離させ、その結果高電界、したがって高い転送効率が得られる。約１μＡの電流制御されたシンクをソースに接続し、数マイクロ秒程度の短い期間適用する。本発明では、ソース電流を最小にし、低いドレイン電流から始め、またソース電流が流れる時間の長さを最小にすることによって、酸化物を通過するプログラミング電荷の量を減らし、それにより数ミリボルト程度のしきい値電圧の変化を小さい値に減らす。それぞれしきい値を少量だけ変化させる反復プログラム動作を実行する。プログラム事象間で、プログラミングを継続すべきかまたは終了すべきかを決定するために、セルを一定の間隔を置いて読み出す。

プログラミングを継続するについて、フローティング・ゲートは、徐々に負に帯電するようになり、注入効率を低下させる傾向がある。効率の低下の補償は、プログラム・ステップ間のドレイン電圧を大きくすることによって達成される。プログラム・ステップ当たりのドレイン電圧の量は、フローティング・ゲートの低下と同じ程度であり、したがってプログラム・ステップ当たりのフローティング・ゲート電圧の変化は、電圧レンジ全体にわたって実質上一定である。この例では、ドレイン電圧は、約6Vから約12Vまで小さいステップで増大する。T1のしきい値電圧は、プログラミング・シーケンスの終わりに、しきい値がその－1Vの開始点から約5Vまで増大するまで、それに応じて小さいステップで増大する。読出しモードの電圧出力は2.5Vから0Vまで変化する。したがって、アナログ電圧がT1内に記憶される。プログラムの終了は、ドレインから高い電圧を除去することによって、またCol1を3V～5Vにとり、それによりT1が十分に消去された状態においても、T1のソース電圧を制御ゲートを越えて有効なゲート駆動よりも高い量だけ上げることによって達成できる。T1チャネル内の電流の導通はオフになり、プログラミングは停止する。

T1のプログラミング中に生じる可能な妨害状態は、第1A図のT2、T3およびT4を検討することによって分析できる。これらの３つのトランジスタはT1のプログラミング中プログラミングのために選択されず、またしきい値が変化することは望ましくない。WL2は0Vであり、したがってT2およびT4のチャネル導通がオフになる。Col2はWL1に対して高い電圧になっており、またプログラム禁止状態と同様に、チャネル電流は発生せず、したがってトランジスタT3では注入またはしきい値の変化は起こらない。

プログラム反復の数は、電圧レンジまたは記憶すべき電圧のダイナミック信号レンジとともに、所望の解像度またはプログラム・ステップ当たりの電圧出力の変化によって決定される。良好な雑音性能および良好な音声再生のためには、小さい解像度増分と大きいダイナミック・レンジの組合せが望ましい。残念ながら、これには多数のプログラム・ステップが必要である。例えば、信号レンジ2.5Vおよび解像度10mVでは、250個のプログラム・パルスが必要である。さらに、厳密なセル特性は、単一の集積回路ダイまたはウエハ上だけでなく、ウエハごとに、特に異なる製造ロット上でもセルごとに異なる。したがって、異なるセル特性を考慮に入れるために、高電圧ドレイン電圧の拡大されたレンジを使用する。ドレイン・ノード上の開始電圧は、最大記憶電圧をプログラミングするのに必要な最小公称値と考えられる値よりも小さい値になるように選択する。このようにして、第１のプログラム・ステップによりフローティング・ゲート電荷に所望のステップ・サイズよりも大きい変化がもたらされないように、マージンを付加する。同様に、プログラミングすることがより困難なセルがさらに最小記憶電圧までプログラムできるように、プログラミ

ング中に達した最大ドレイン電圧を大きくする。セル特性が±30%だけ変化すると仮定すると、合計400プログラム・パルスが必要になる。
他の考慮事項は、入力波形をサンプリングする速度である。再生品質のためには、サンプル速度は速いほうが好ましい。しかしながら、所与の数のサンプル・ホールド回路についてサンプル速度が速くなるにつれて、サンプリングされた電圧を記憶するのに使用できる時間期間が短くなる。（音声記録以外の用途では、等価なパラメータは書込み程度または書込みアクセス時間である）。記憶を行うには、セルをプログラム構成と読出し構成の間で交互に接続する必要があるので、セルを構成ごとに再構成することができる実際的な最小時間制限がある。特に、大きいメモリ・アレイは、周辺回路がある有限の時間期間中に所要のバイアス電圧までしか充電および放電ができない重要な負荷特性を有する。また、セル読出し動作は、読み戻し電圧が安定する一定の安定時間期間を必要とする。単一のプログラム・ステップに必要な時間とプログラム・ステップの合計数との積は、サンプル期間とサンプル・ホールド回路または列ドライバの数との積に等しいかまたはそれ以下でなければならない。
この概念は、米国特許第4890259号と同様な形で、Ｎ個の行、Ｍ個の列、およびＸ個のサンプル・ホールド回路を有するメモリ・アレイ・アーキテクチャを示す第３図を検討すればよりよく理解できる。音声信号がデュアル・サンプル・ホールド回路内のコンデンサの１つのバンク内に連続的にサンプリングされるとき、他のバンクは、アレイ内に並列に書き込まれている。バンクの書込みが終了するたびに、列マルチプレクサ回路は、次のグループの列線を列ドライバ内に接続する。行内のすべてのセルが書き込まれたら、行デコーダは次の行を選択する。したがって、サンプル・ホールド回路のバンクをロードするのに要する時間は、前のバンクをアレイ内に書き込むのに使用できる最大時間になる。
プログラム・ステップの数が増えるにつれて、またプログラム／読出し／比較シーケンスの時間の長さが長くなるにつれて、列ドライバの数Ｘも所与のサンプル速度に対して増える必要がある。望ましくない結果は２つある。第一に、余分の列ドライバを保持するのに必要なシリコン面積が大きくなり、第２に、サンプル・ホールド回路内の保持時間の増大により、コンデンサ面積が大きくなり、回路が複雑になり、または信号漏れおよびひずみのために性能が低下する。
本発明の他の属性は、プログラム・ステップを実施する平均時間を短縮することによってこれらの問題を低減する方法を含む。基本概念は、セルを読み出し、次いで再びセルを読み出す前に複数のプログラム・パルスのグループをセルに印加することである。現在セル内に記憶されている電圧を読み出すときに、プログラム・ステップの最大数のうち、どのくらいの数を次のグループ中に印加すべきかを決定する。このようにして、セル構成を読出しからプログラムへ、プログラムから読出しへ変化する回数がほぼグループ内のプログラム・パルスの最大数だけ減る。ノードの充電および放電にかかる時間、ならびに電圧を安定させるのにかかる合計時間が短縮され、したがって書込み手順の全効率が向上する。
これを行う回路を第４図に示すとともに、対応するタイミング図を第５図に示す。この特定の実施形態では、プログラム・グループは４つのパルスから構成される。アクティブ・ワールド線およびアクティブ列マルチプレクサによってアドレス指定されたセルはすでにクリアされていると仮定する。パルスはCLRESに印加されており、したがって、すべてのラッチ30の出力Q1～Q4は論理「０」になっている。入力アナログ電圧はサンプリングされ、C1上に保持される。バッファされた電圧が、減衰したランプ電圧に加算され、次いでコンパレータ32に入力される。ランプ電圧および減衰器34は、減衰後に加算ノードに入力されたピークが、３つのプログラム・パルスによって達成されるセル読出し電圧の変化に等しくなるように設計される。コンパレータへの他の入力は、アナログ出力信号、すなわちアドレス指定されたセルから読み出された電圧である。ランプ電圧が増大すると、信号L1、L2、L3およびL4（これらはまた、ANDゲート36への信号L1'、L2'、L3'およびL4'を構成する）は、逐次ラッチをイネーブルにし、セル電圧が保持電圧と減衰したランプ電圧の和よりも小さければ、対応するラッチ30の出力Q1、Q2、Q3またはQ4がセットされる。したがって、さらに実施すべきアナログ・プログラミングの量は、コンパレータ32とプログラム

電流ステアリング・スイッチの間にあるデジタル論理回路の出力によって表される。アドレス指定されたセルが十分にプログラミングされていない場合がそうであるように、比較が行われず、またすべてのラッチ32がリセットされたままである場合、次のドレイン高電圧パルスの間、INHIBIT信号は低のままである。論理信号CIENによって制御されるスイッチング・トランジスタM2は、４つのCIENパルスそれぞれの間、１μＡ電流源としてバイアスされたトランジスタM1からの１μＡ固定電流を、M3を介して選択した列上に接続する。セルは、４つのプログラム電流パルスすべてを受け、それに応じてそのしきい値が増大する。ドレイン電圧は、各連続するCIENパルスの間、ドレイン電圧がプログラム解像度に対応する量だけ高くなるように増大することに留意されたい。ドレイン・ノードは、第５図に示されるように徐々に増大するか、または４つの連続するCIENパルスそれぞれの間、ランプの形で一様に増大する。

反復プログラム／読出し手順は、後続の読出し動作において、セルが最後の所望の電圧に達したことが分かり、かつパルスL1～L4の１つの間に比較が得られるまで、特定のパルスは、保持された電圧に等しいセル電圧を達成するのにどのくらいの追加のプログラミングが必要であるかに依存する。例えば、ランプ電圧はL1の間０であり、したがってこのとき比較が達成された場合、セル電圧は目標値に達したことになる。すべてのラッチ30はセットされ、したがって次のプログラム・サイクルの間、INHIBIT信号は他のすべてのプログラム電流パルスをディスエーブルにする。第５図のタイミング図に示される例は、L3の間の比較、すなわちランプが２つのプログラム・ステップに等しいレベルに達したときの比較を示す。次のプログラム・サイクルでは、セルは、２つの電流パルスを受け取り、記憶された電圧を所望のレベルまでもっていく。所望のレベルに達した後、他のすべてのプログラム・パルスは、次のセルが選択されるまで禁止される。第４図に示される特定の回路実施形態では、次のラッチの入力へのラッチ出力のクロス結合は、ラッチがセットされた後、後続のすべてのストローブ期間も対応するラッチをセットすることを保証する。ラッチは、次のセルがアドレス指定されるまでセットされたままであり、次のセルがアドレス指定されたとき、ラッチはCLRESによってリセットされる。

ラッチングおよびクロス結合は様々な形で実施することができる。全体的な目的は、比較が行われ、プログラム・パルスが禁止された後、次のセルが選択されるまでパルスが禁止されたままであるように、ある形態のヒステリシスを加えることである。このヒステリシスをデジタル形式かまたはアナログ形式で実施する方法は多数ある。実際、雑音レベルが十分に低ければ、第１の比較が行われた後、回路が他のすべてのラッチがセットされたことを確認するためにコンパレータ出力を利用するように、ラッチ間の結合を完全に除去することもできる。他の別形態も可能である。例えば、グループ内のパルスの数を変更することができる。パルスの数が多ければ、所与の解像度について全体的なプログラム時間が短縮されるのでより大きな利点がもたらされるが、プログラミング中のドレイン上の電圧増分と、次のプログラミング・サイクル中に使用すべきグループ内のプログラム・パルスの数をセットする読出し中のランプとがより正確に対応している必要がある。この正確さを達成する助けとして、プログラミング時のドレイン上の電圧増分と読出し時のランプとの正確な対応が得られるように製造時に適切なパラメータの調節を可能にするため、回路にプログラマビリティを付加することができる。プログラム／読出し／比較シーケンスの読出し段階時に使用されるランプの傾斜、またはプログラミング中のドレインに印加されるプログラム・パルス電圧の増加の割合を製造時にプログラミングできるように、１つまたは複数のデジタル・フローティング・ゲート記憶セルがチップ上に追加される。そのようなセルは、所望の結果を達成するために回路コンタクトを直接作成する場合、ダイまたはウエハ段階においてプログラミングすることができる。あるいは、そのようなセルは、別のピンをその通常の動作範囲外の電圧に駆動して、ピン機能を決定するオンチップ・スイッチをリセットすることによって、集積回路上の既存のピンを介して電気的にアクセスできるようにすることもできる。回路パラメータをトリミングするそのようなトリム・ビットの一般的な使用は、従来技術において周知であり、本明細書で詳細に説明する必要はない。

他の別形態として、第1B図から、各ドレイン線に対して、ドレイン線の上にセルの行があり、ドレイン線の下に別のセルの行があることに留意されたい。必然的に不完全なマスク・アライメントが「上側」セルに及ぼす影響は、それが「下側」セルに及ぼす影響と異なる。これを補償するために、ランプは実際、「上側」セルに使用されるランプと、「下側」セルに使用されるランプの２つのランプから構成される。したがって、マスク・アライメントに関連する奇数行と偶数行のセル特徴の差異が許容できる。各ランプは別々に調節することができる。または、一方の調節を平均ランプ傾斜にし、他方の調節を差動ランプ傾斜にすることもできる。

実際のMOS実施形態ではいくつかの明白な信号反転が必要になるので、第４図の概略図には、詳細な回路ではなく、論理機能のみが示されている。また、次のパルス・グループ内で実施すべきプログラム・パルスの数を表すラッチおよび論理回路は、カウンタを用いて効果的に実施することができる。第４図は例示の実施形態を示すが、そのすべてが実質上同じ結果を達成できる他のいくつかの別形態も可能であることが当業者なら理解できよう。

電流スイッチング回路内では、プログラミングを禁止すべき場合でも、プログラム電流をメモリ・アレイ内に導く準備がなされる。トランジスタM3がオフになると、トランジスタM4はオンになり、電流は、列線内に導かれず、代わりにノードISUMz上に導かれる。ノードISUMzは、そのゲートがワード・ラインWLnによって駆動されるトランジスタを介して、選択した行のドレイン・ノードに接続される（第６図および第７図参照）。いくつかの列ドライバ回路は、並列に接続されたそれらのM4トランジスタのソースを有し、禁止状態にある列ドライバは、そのプログラム電流をISUMz内に加える。目的は、プログラム動作の最中に抵抗性ドレイン線に沿った電圧プロファイルの変化を最小限に抑えることである。電圧の変化は、セルが所望の電圧に達し、プログラム電流が終了したときにドレイン線中を流れる電流が変化するために生じる。そのような電圧の変化は、アレイの他の部分のセルがそれらの所望のレベルに達し、それらのプログラム電流が終了したときに、特定のセルにおいて意外に大量のプログラミングを引き起こす。電流をISUMz内に向け直すことによって、ドレイン・ノード中を流れる全体的な電流が一定になる。したがって、ISUMzを使用しないアーキテクチャと比較して、M3トランジスタのスイッチングによる局所的な電圧プロファイルの変化が最小限に抑えられる。第３図および第６図にメモリ編成を示す。列ドライバ当たりＹ個の列とともに編成された合計Ｍ個の列がある。ノードISUMzのインスタンスがＺ個あるとすると、各ISUMzノードごとに、M/Z個の列およびM/（Ｚ×Ｙ）個の列ドライバがあることになる。例えば、列ドライバ当たり16個の列として編成された合計2048個の列、および合計128個の列ドライバがある場合、８個の列ドライバを16個のISUMzノードそれぞれに割り当てることができる。また、この効果は、様々なセルまたはセルのグループについて得られるプログラミング増分の均一さに関係することに留意されたい。例として、プログラムされているグループ内のすべてのセル対プログラムされている最後の（単一の）セルの場合、また行内のセルの第１のバンク対プログラムされているセルの最後のバンクの場合がある。残りの不均一さは、最大プログラミング増分が所望の増分以下に制限される限り、許容できる。

本発明の追加の利点は、任意の時刻に充電されるドレイン容量が低下したことである。低下は、セル行の各対ごとに、ドレイン・ノードを別々のノードに分割することによって達成される。プログラム／読出し／比較のアナログ記憶シーケンス内でプログラム・モードと読出しモードの間で前後にスイッチングする場合、容量が低下すれば、充電がより速くなり、またプログラム時間がより短くなる。しかしながら、アナログ記憶にとっての重要な欠点は、ドレイン線の抵抗が低下することである。これは、上述のように、ドレイン線に沿った電圧プロファイルに望ましくない影響を及ぼし、またプログラミング増分の不要な増大をもたらす。

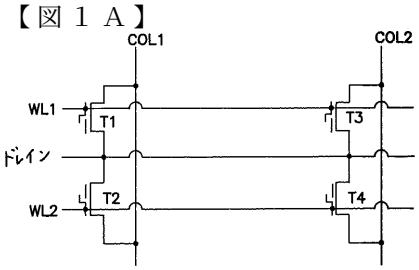
この影響を補償するために、ドレイン接続の実効抵抗の低下をもたらす他の改善点を本発明に導入する。特に、列方向に平行に走り、かつ列に垂直に走るいくつかのドレイン線と接触する金属接続によって、いくつかのドレイン線を互いに接続する。これらのドレイン

・ストラップを第６図および第７図に概略的に示す。より多くの行を互いに接続すると、平行な接続が増加するので、アレイの両端間の実効ドレイン抵抗が低下する。これにより、ドレイン線に沿った電圧の変化が小さくなるので、より正確なアナログ・プログラミングが可能になる。もちろん、より多くのドレイン線を互いに接続すると、ドレイン容量が増大し、プログラムの妨害も増大する。アナログ・プログラミングの確度、妨害および充電時間の間で兼ね合いをはかる必要がある。互いに接続するドレイン線の適切な数は32行である。例えば、1600行のアレイでは、容量低下および妨害低減の利点は、単一のドレイン線と比較して大きい（すべての行を接続した場合よりも小さい約50倍）が、抵抗の低下も大きい（約32倍）。

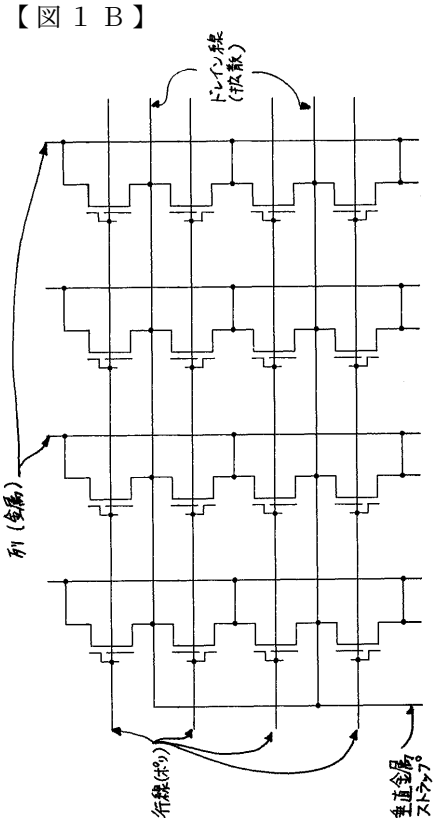
デジタル数の表示は、入力にA/D変換器を追加し、出力にD/A変換器を追加することによって達成される。第８図に、データ変換器をアナログ・メモリに接続する方法を示す。数の大きさまたはデジタル・ワード内のビットの数は、記憶されたアナログ・レベルの電圧レンジを保証された記憶の確度で割ったものによって与えられる。記憶の確度は、プログラミング・シーケンス中の増分だけでなく、雑音、最悪の場合のプログラミング増分、セルの長期電圧保持特性および周囲温度の影響および動作電圧などのファクタも考慮に入れる。本発明に記載のタイプのアナログ・メモリは、2.5Vの範囲にわたって約10ミリボルトまで電圧を分解できる。これにより、約250の離散的レベルおよび二進情報の８ビットの表示が可能になるが、ビットの数は、例えば、４ビットに減少する（約150ミリボルトの間隔で離隔した16のレベル）。とは言え、単一のセルに対する４ビットは、セル当たり１ビットしか見込めない従来のデジタル記憶と比較して、メモリ・アレイ内で達成できる情報記憶密度の著しい改善をもたらす。

以上、本発明の好ましい実施形態を開示し、説明したが、本発明の精神および範囲から逸脱することなく、本発明において形態および細部の様々な変更が行えることが当業者には明らかであろう。

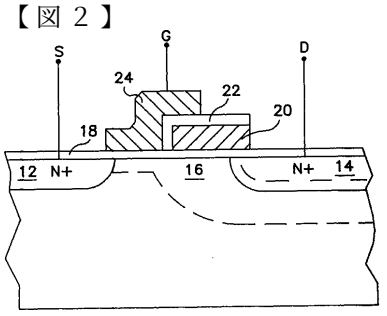
【図１Ａ】



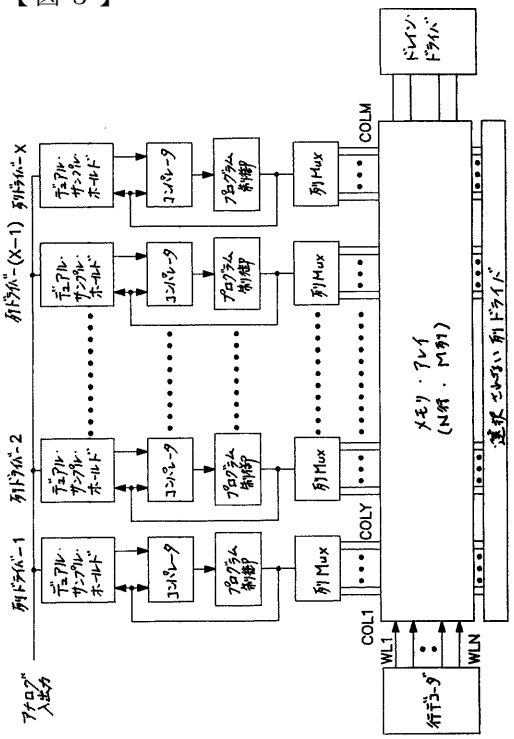
【図１Ｂ】



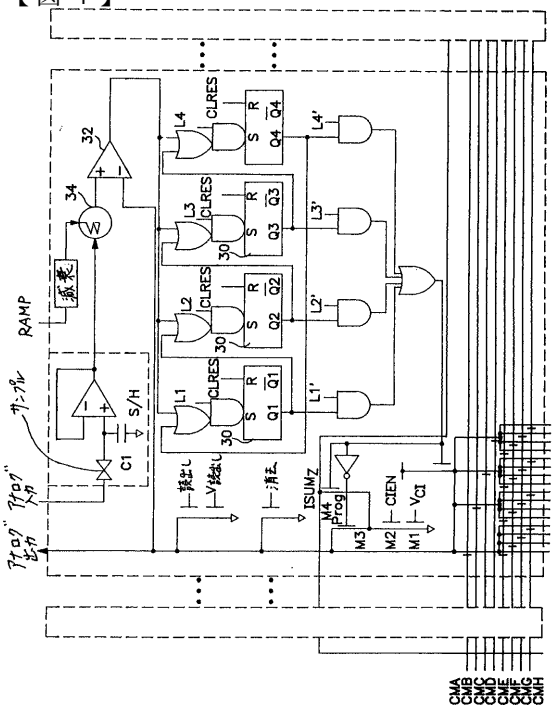
【図２】



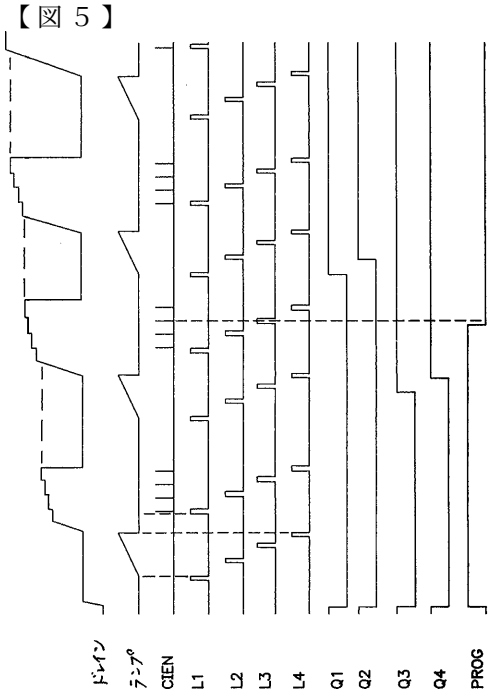
【図３】


アナログ入出力
列ドライバー1
列ドライバー2
列ドライバー(X−1)
列ドライバーX
デュアル・サンプル・ホールド
コンパレータ
プログラム制御
列Mux
COLM
COLY
COL1
WL1
WLN
メモリ・アレイ
(N行・M列)
選択されない列ドライバ
ドレイン・ドライバ
行デコーダ

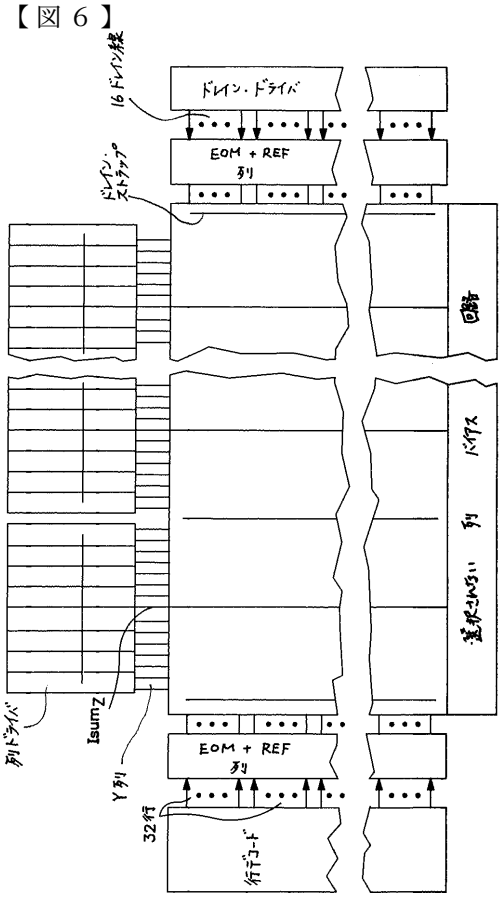
【図４】


アナログ出力
アナログ入力
サンプル
RAMP
減衰
S/H
C1
32
34
30
L1
L2
L3
L4
L1'
L2'
L3'
L4'
CLRES
S
R
Q1
Q2
Q3
Q4
ISUMZ
M4
Prog
M3
M2
M1
CIEN
VCI
CMA
CMB
CMC
CMD
CME
CMF
CMG
CMH

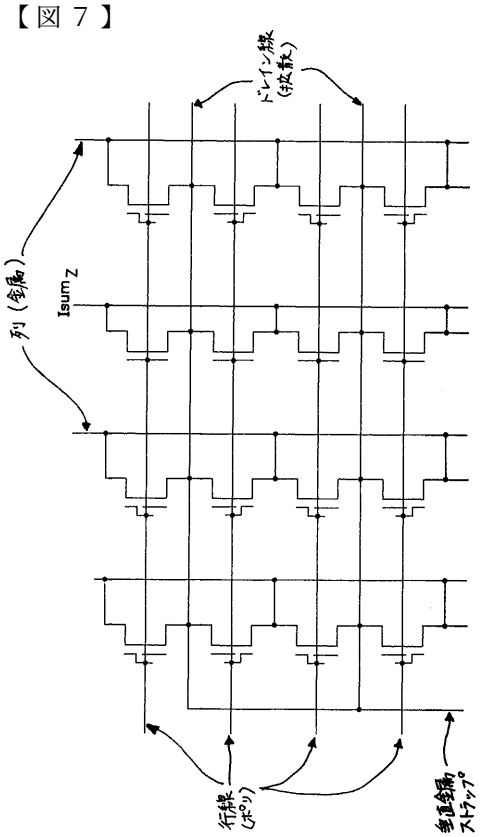
【図５】


ドレイン
テンプ
CIEN
L1
L2
L3
L4
Q1
Q2
Q3
Q4
PROG

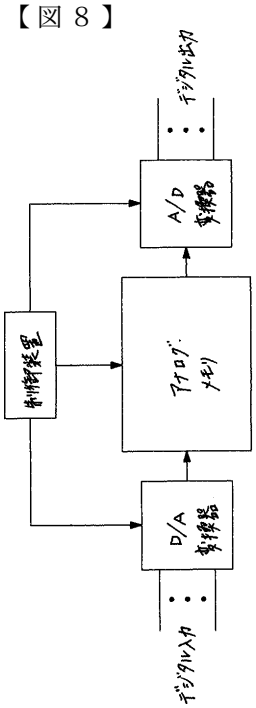
【図６】


16ドレイン線
ドレイン・ドライバ
EOM + REF
列
ドレイン・ストラップ
回路
選択されない列
バイアス
列ドライバ
IsumZ
Y列
32行
行デコード

【図７】


ドレイン線
(拡散)
列(金属)
Isum_Z
行線
(ポリ)
多重金属
ストラップ

【図８】


デジタル出力
A/D
変換器
制御装置
アナログ
メモリ
D/A
変換器
デジタル入力

フロントページの続き

(74)代理人
弁理士　山川　茂樹
(72)発明者　ブリス，トレヴァー
アメリカ合衆国・８５０３５・カリフォルニア州・ミルピタス・スペリア　ロード・７８２
(72)発明者　シンコ，リチャード・ティ
アメリカ合衆国・９４０２２・カリフォルニア州・ロス　アルトス　ヒルズ・ブラック　マウンテン　ロード・２７８６１

審査官　飯田　清司

(56)参考文献　特表平０４－５００５７６（ＪＰ，Ａ）
特表平０６－５０４１５６（ＪＰ，Ａ）
特表平０６－５０４６４７（ＪＰ，Ａ）
特開平０４－２３８１９６（ＪＰ，Ａ）
米国特許第０５０２９１３０（ＵＳ，Ａ）
特開平０５－１９８７７５（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
G11C 27/00 101
C11C 16/02