(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0051827
(43) 공개일자 2009년05월25일

(51) Int. Cl.
H01L 21/336 (2006.01) *H01L 29/78* (2006.01)
(21) 출원번호 10-2007-0118242
(22) 출원일자 2007년11월20일
심사청구일자 2007년11월20일

(71) 출원인
고려대학교 산학협력단
서울 성북구 안암동5가1 고려대학교 내
(72) 발명자
주병권
서울 종로구 평창동 234-24번지 (8/5)
권재홍
서울 성북구 석관동 131-11 4층 석관1동
(뒷면에 계속)
(74) 대리인
특허법인 신성

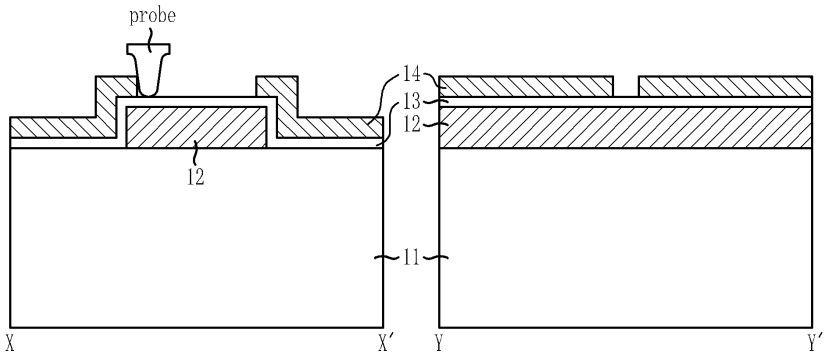
전체 청구항 수 : 총 10 항

(54) 나노선 트랜지스터 제조방법

(57) 요 약

본 발명은 SPM(Scanning Probe Microscope) 리소그라피 방식을 사용하여 나노선을 형성하고, 이를 채널로 이용하는 나노선 트랜지스터(nanowire transistor)의 제조방법에 관한 것으로, 이를 위한 본 발명의 기판 상부에 제1도전막패턴을 형성하는 단계; 상기 제1도전막패턴을 포함하는 결과물 전면에 제1절연막을 형성하는 단계; 상기 제1도전막패턴 상부의 상기 제1절연막 상에 나노선을 이용하여 채널을 형성하는 단계; 상기 채널 양끝단과 접하도록 소스 및 드레인 전극을 형성하는 단계; 상기 채널과 상기 소스 및 드레인 전극을 포함하는 결과물 전면에 제2절연막을 형성하는 단계; 상기 제2절연막 및 제1절연막을 선택적으로 식각하여 상기 채널을 둘러싸는 게이트절연막을 형성하는 단계 및 상기 게이트절연막 상에 상기 제1도전막패턴과 연결되도록 제2도전막패턴을 형성하여 상기 채널을 둘러싸는 게이트전극을 형성하는 단계를 포함하는 나노선 트랜지스터의 제조방법을 제공한다.

대 표 도 - 도2b



(72) 발명자

정진욱

서울 성북구 종암동 83-20 203호

서정훈

서울 마포구 상암동 상암월드컵파크 609동 202호

신상일

서울 동대문구 제기동 1153-16 휴먼플러스 오피스텔 312호

특허청구의 범위

청구항 1

기판 상부에 제1도전막패턴을 형성하는 단계;

상기 제1도전막패턴을 포함하는 결과물 전면에 제1절연막을 형성하는 단계;

상기 제1도전막패턴 상부의 상기 제1절연막 상에 나노선을 이용하여 채널을 형성하는 단계;

상기 채널 양끝단과 접하도록 소스 및 드레인 전극을 형성하는 단계;

상기 채널과 상기 소스 및 드레인 전극을 포함하는 결과물 전면에 제2절연막을 형성하는 단계;

상기 제2절연막 및 제1절연막을 선택적으로 식각하여 상기 채널을 둘러싸는 게이트절연막을 형성하는 단계; 및

상기 게이트절연막 상에 상기 제1도전막패턴과 연결되도록 제2도전막패턴을 형성하여 상기 채널을 둘러싸는 게이트전극을 형성하는 단계

를 포함하는 나노선 트랜지스터의 제조방법.

청구항 2

제1항에 있어서,

상기 나노선은 SPM(Scanning Probe Microscope) 리소그라피 방법을 사용하여 형성하는 나노선 트랜지스터의 제조방법.

청구항 3

제2항에 있어서,

상기 나노선을 이용하여 채널을 형성하는 단계는,

상기 제1도전막패턴 상부의 상기 제1절연막 상에 레지스트패턴을 형성하는 단계;

상기 레지스트패턴 사이를 매립하도록 채널용 도전막을 형성하는 단계; 및

상기 레지스트패턴을 제거하는 단계

를 포함하는 나노선 트랜지스터의 제조방법.

청구항 4

제3항에 있어서,

상기 레지스트패턴을 형성하는 단계는,

프루브 끝단의 형상, 프루브의 스캐닝 속도, 프루브에 인가되는 전압 또는 프루브에 인가되는 전류의 세기 중 어느 하나를 조절하여 상기 레지스트패턴의 선폭을 제어하는 나노선 트랜지스터의 제조방법.

청구항 5

제3항에 있어서,

상기 레지스트패턴은 자기조립단분자막(self assembled monolayer)으로 형성하는 나노선 트랜지스터의 제조방법.

청구항 6

제1항에 있어서,

상기 나노선은 아연(Zn)을 포함하는 물질로 형성하는 나노선 트랜지스터의 제조방법.

청구항 7

제6항에 있어서,

상기 아연을 포함하는 물질로 ZnO, $ZnSnO_3$, $ZnSnO_4$, ZnInO, (Zn, Mn)O, IZO(indium zinc oxide), ITZO(indium tin zinc oxide), AZO(Al doped zinc oxide), GZO(gallium zinc oxide) 및 IGZO(indium gallium zinc oxide)로 이루어진 그룹으로부터 선택된 어느 하나를 사용하는 나노선 트랜지스터의 제조방법.

청구항 8

제1항에 있어서,

상기 채널은 단일 나노선 또는 복수의 나노선으로 형성하는 나노선 트랜지스터의 제조방법.

청구항 9

제1항에 있어서,

상기 제1절연막과 상기 제2절연막은 동일한 물질로 형성하는 나노선 트랜지스터의 제조방법.

청구항 10

제1항에 있어서,

상기 제1도전막패턴과 상기 제2도전막패턴을 동일한 물질로 형성하는 나노선 트랜지스터의 제조방법.

명 세 서

발명의 상세한 설명

기 술 분 야

<1> 본 발명은 반도체 소자 및 그 제조방법에 관한 것으로, 더욱 상세하게는 SPM(Scanning Probe Microscope) 리소그라피 방식을 사용하여 나노선을 형성하고, 이를 채널로 이용하는 나노선 트랜지스터(nanowire transistor)의 제조방법에 관한 것이다.

배 경 기 술

<2> 저전력화, 고집적화 및 고속동작의 요구에 부응하면서 반도체 소자의 집적도를 향상시키기 위하여 다양한 소자들이 제안되었다. 예를 들어, SOI(Silicon-On-Insulator) 기판을 이용한 UTB-FD SOI 트랜지스터(Ultra Thin Body Fully Depleted SOI transistor), 스트레인드 실리콘(Strained Si) 채널을 이용하여 전자 이동도를 향상시킨 밴드 엔지니어드 트랜지스터(Band engineered transistor), 수직 트랜지스터(vertical transistor), 핀 트랜지스터(Fin-FET) 또는 더블게이트 트랜지스터(double-gate transistor) 등이 있다.

<3> 하지만, 상술한 트랜지스터들은 실리콘을 기반으로 하고 있기 때문에 반도체 소자가 고집적화됨에 따른 실리콘의 물성 한계로 인하여 반도체 소자의 동작특성을 향상시키는데 한계가 있다.

<4> 따라서, 스케일링 한계에 도달해 있는 실리콘 기반의 반도체 소자의 문제점을 해결하고 새로운 물리적인 현상을 연구하기 위하여 나노선(nano wire)를 채널로 이용한 트랜지스터가 제안되었다. 이러한, 나노선를 채널로 이용한 트랜지스터를 개발하는 방법으로는 크게 리소그라피 기술을 바탕으로 한 하향식 공정 이른바, 탑다운(top down) 방식과 물질의 분자단위 제어를 바탕으로 한 상향식 공정 이른바, 바텀업(bottom up) 방식이 있다.

<5> 예를 들어, 나노선 트랜지스터를 바텀업 방식을 사용하여 제조할 경우, 기판상에 나노선을 성장시킨 후, 성장된 나노선의 위치를 고분해능을 갖는 현미경으로 확인한 다음, 전극을 형성하는 방법 또는 기판상에 전극을 형성한 후, 성장된 나노선을 용매에 분산시켜 전극 상부에 이송시키는 방법을 사용한다. 반면에, 탑다운 방식을 사용하여 제조할 경우, 기판 상부의 원하는 영역에 전자빔(E-beam)리소그라피와 같은 미세선폭을 구현할 수 있는 리소그라피기술을 활용하여 나노선을 형성하는 방법을 사용한다.

<6> 상술한 종래기술에서 바텀업 방식은 미세한 선폭을 갖는 나노선을 형성할 수 있기 때문에 나노선 트랜지스터의 동작특성 측면에서는 효과를 기대할 수 있지만, 대량생산이 불가능하고, 제조공정을 제어하기가 매우 어려워 상용화 측면에서는 부정적이다. 반면에, 탑다운 방식은 종래의 상용화된 공정장비를 활용하여 제작할 수 있기 때문에 손쉽게 대량생산할 수 있지만, 리소그라피 기술의 한계로 인하여 바텀업 방식을 통하여 제조되는 나노선과

같은 미세한 선폭 예컨대, 10nm 이하의 선폭을 갖는 나노선을 구현하기 어려운 문제점이 있다.

발명의 내용

해결 하고자하는 과제

<7> 본 발명은 상기한 종래기술의 문제점을 해결하기 위하여 제안된 것으로, 탑다운 방식을 사용하여 10nm 이하의 미세선폭을 갖는 나노선을 채널로 사용하는 나노선 트랜지스터의 제조방법을 제공하는데 그 목적이 있다.

<8> 또한, 본 발명은 제작이 용이하고, 게이트 제어력이 우수하며, 대량생산이 가능한 나노선 트랜지스터의 제조방법을 제공하는데 다른 목적이 있다.

과제 해결수단

<9> 상기 목적을 달성하기 위한 일 측면에 따른 본 발명의 나노선 트랜지스터의 제조방법은, 기판 상부에 제1도전막패턴을 형성하는 단계; 상기 제1도전막패턴을 포함하는 결과물 전면에 제1절연막을 형성하는 단계; 상기 제1도전막패턴 상부의 상기 제1절연막 상에 나노선을 이용하여 채널을 형성하는 단계; 상기 채널 양끝단과 접하도록 소스 및 드레인 전극을 형성하는 단계; 상기 채널과 상기 소스 및 드레인 전극을 포함하는 결과물 전면에 제2절연막을 형성하는 단계; 상기 제2절연막 및 제1절연막을 선택적으로 식각하여 상기 채널을 둘러싸는 게이트절연막을 형성하는 단계 및 상기 게이트절연막 상에 상기 제1도전막패턴과 연결되도록 제2도전막패턴을 형성하여 상기 채널을 둘러싸는 게이트전극을 형성하는 단계를 포함한다.

<10> 상기 나노선은 SPM(Scanning Probe Microscope) 리소그라피 방법을 사용하여 형성할 수 있으며, 상기 나노선을 이용하여 채널을 형성하는 단계는, 상기 제1도전막패턴 상부의 상기 제1절연막 상에 레지스트패턴을 형성하는 단계; 상기 레지스트패턴 사이를 매립하도록 채널용 도전막을 형성하는 단계 및 상기 레지스트패턴을 제거하는 단계를 포함할 수 있다. 이때, 상기 레지스트패턴을 형성하는 단계는, 프루브 끝단의 형상, 프루브의 스캐닝 속도, 프루브에 인가되는 전압 또는 프루브에 인가되는 전류의 세기 중 어느 하나를 조절하여 상기 레지스트패턴의 선폭을 제어할 수 있다. 또한, 상기 레지스트패턴은 자기조립단분자막(self assembled monolayer)으로 형성할 수 있다.

<11> 상기 채널을 구성하는 상기 나노선은 아연(Zn)을 포함하는 물질 예컨대, ZnO, ZnSnO3, ZnSnO4, ZnInO, (Zn, Mn)O, IZO(indium zinc oxide), ITZO(indium tin zinc oxide), AZO(Al doped zinc oxide), GZO(gallium zinc oxide) 및 IGZO(indium gallium zinc oxide)로 이루어진 그룹으로부터 선택된 어느 하나로 형성할 수 있으며, 상기 채널은 단일 나노선 또는 복수의 나노선으로 형성할 수 있다.

효 과

<12> 본 발명은 SPM(Scanning Probe Microscope) 리소그라피 방법을 사용하여 나노선을 형성함으로써, 10nm 이하의 미세선폭을 갖는 나노선을 구현할 수 있는 효과가 있다.

<13> 또한, 본 발명은 SPM 리소그라피 방법을 사용하고, 프루브(probe) 끝단의 형상, 프루브에 인가되는 전압, 프루브에 인가되는 전류의 세기 또는 프루브의 스캐닝 속도 중 어느 하나를 조절함으로써, 10nm 이하의 미세선폭을 갖는 나노선을 보다 용이하게 구현할 수 있는 효과가 있다.

<14> 또한, 본 발명은 SPM 리소그라피 방법을 사용하여 레지스트패턴을 형성하는 과정에서 프루브가 토폴로지(topology)의 단차에 따라 움직이기 때문에 레지스트패턴 하부에 형성된 구조물의 단차에 의한 디포커스(defocus) 발생을 방지할 수 있는 효과가 있다.

<15> 또한, 본 발명은 게이트가 채널을 완전히 둘러싸도록 형성함으로써, 채널에 대한 게이트 제어력을 확보할 수 있는 효과가 있다.

<16> 또한, 본 발명은 나노선을 반도체 물질로 형성하고, 소스 및 드레인 전극을 금속막 또는 금속실리사이드막으로 형성하여 이들 사이에 쇼트키 장벽을 형성함으로써, 나노선 트랜지스터의 전기적인 특성을 향상시킬 수 있는 효과가 있다.

<17> 또한, 본 발명은 나노선 바이오센서와 같이 나노선을 활용한 다양한 반도체 소자에 응용할 수 있는 효과가 있다.

발명의 실시를 위한 구체적인 내용

<18> 이하 본 발명이 속하는 기술분야에서 통상의 지식을 가진자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부도면을 참조하여 설명하기로 한다.

<19> 도 1a는 본 발명의 실시예에 따른 나노선 트랜지스터를 도시한 사시도이고, 도 1b는 도 1a에 도시된 X-X`절취선 및 Y-Y`절취선을 따라 도시한 단면도이다. 여기서, 도 1a는 본 발명의 나노선 트랜지스터의 채널, 게이트절연막 및 게이트전극의 형상을 도시한 사시도이고, 도 1b는 본 발명의 나노선 트랜지스터 전체를 도시한 단면도이다.

<20> 도 1a 내지 도 1b에 도시된 바와 같이, 본 발명의 나노선 트랜지스터는 기판(11) 상부에 단일 또는 복수의 나노선으로 형성된 채널(15), 기판(11) 상부에 채널(15)의 양끝단과 전기적으로 연결되도록 형성된 소스 및 드레인 전극(16), 채널(15)을 둘러싸는 형태로 마련된 게이트전극(20) 및 채널(15)과 게이트전극(20) 사이에 형성된 게이트절연막(18)을 포함한다. 또한, 게이트전극(20), 소스 및 드레인 전극(16) 상부에 형성된 보호막(passivation, 21) 및 외부 전극과의 전기적인 연결을 위한 콘택층(22)을 더 포함할 수 있다.

<21> 채널(15)은 반도체 물질로 구성된 나노선으로 형성할 수 있다. 이때, 채널(15)로 사용되는 반도체 물질로는 아연(Zn)을 포함하는 물질 예컨대, ZnO, $ZnSnO_3$, $ZnSnO_4$, ZnInO, (Zn, Mn)O, IZO(indium zinc oxide), ITZO(indium tin zinc oxide), AZO(Al doped zinc oxide), GZO(gallium zinc oxide) 및 IGZO(indium gallium zinc oxide)로 이루어진 그룹으로부터 선택된 어느 하나를 사용하는 것이 바람직하다. 이는 아연을 포함하는 물질이 가공성, 캐리어(carrier)이동도 및 전류밀도 측면에서 탄소나노튜브(Carbon Nano Tube, CNT)에 준하는 우수한 특성을 가지고 있기 때문이다. 이외에도, 채널(15)로 V_2O_5, GaN, AlN 또는 SnO_2 중 어느 하나를 사용할 수도 있다.

<22> 참고로, 탄소나노튜브는 허용가능한 최대전류밀도가 구리(Cu)의 1000배이며, 산란이 없는 ballistic transport 특성을 가지고 있어 실리콘의 5배에 달하는 이동도(mobility)를 가진 물질이다.

<23> 소스 및 드레인 전극(16)은 도전성 물질 예컨대, 실리콘막, 텅스텐(W), 구리(Cu) 또는 루테늄(Ru)과 같은 금속막, 티타늄질화막(TiN)과 같은 도전성금속질화막 및 텅스텐실리사이드(WSi)와 같은 금속실리사이드막으로 이루어진 그룹으로부터 선택된 어느 하나로 형성할 수 있다. 특히, 소스 및 드레인 전극(16)을 금속막 또는 금속실리사이드막으로 형성할 경우, 반도체 물질로 형성된 채널(15)과 소스 및 드레인 전극(16) 사이의 일함수(work function) 차이로 인하여 이들 사이에 쇼트키접합(schottky junction)을 형성할 수 있으며, 이를 통하여 소스 및 드레인 전극(16)과 채널(15) 사이에서 누설전류가 발생하는 것을 방지할 수 있다.

<24> 게이트절연막(18)은 채널(15) 하부에 형성된 제1절연막(13A)과 채널의 측벽 및 상부면을 덮고, 제1절연막(13A)과 연결되도록 형성된 제2절연막(17)을 포함할 수 있으며, 제1절연막(13A)과 제2절연막(17)은 서로 동일한 물질일 수 있다.

<25> 또한, 게이트절연막(18)은 무기절연막 또는 유기절연막으로 형성할 수 있으며, 무기절연막으로는 실리콘산화막(SiO_2), 지르코늄산화막(ZrO_2), 하프늄산화막(HfO_2) 또는 알루미늄산화막(Al_2O_3)과 같은 산화막, 실리콘질화막(Si_3N_4)와 같은 질화막 및 질화산화막(oxynitride)으로 이루어진 그룹으로부터 선택된 어느 하나를 사용할 수 있으며, 유기절연막으로는 파릴렌(parylene), 에폭시(epoxy), 폴리이미드(polyimide, PI), 폴리아미드(Polyamide, PA), 폴리비닐클로라이드(Polyvinyl chloride, PVC), 벤조사이클로부텐(benzocyclobutene, BCB), 폴리비닐알코올(polyvinyl alcohol, PVA), 폴리비닐페놀(polyvinylphenol, PVP) 및 사이클로펜텐(cyclopentene, CyPe)으로 이루어진 그룹으로부터 선택된 어느 하나로 사용할 수 있다.

<26> 게이트전극(20)은 채널(15) 하부에 형성된 제1도전막패턴(12)과 채널의 측벽 및 상부면을 덮고, 제1도전막패턴(12)과 연결되도록 형성된 제2도전막패턴(19)을 포함할 수 있으며, 제1도전막패턴(12)과 제2도전막패턴(19)은 서로 동일한 물질일 수 있다.

<27> 또한, 게이트전극(20)은 도전성 물질 예컨대, 실리콘막, 텅스텐(W), 구리(Cu) 또는 루테늄(Ru)과 같은 금속막, 티타늄질화막(TiN)과 같은 도전성금속질화막 및 텅스텐실리사이드(WSi)와 같은 금속실리사이드막으로 이루어진 그룹으로부터 선택된 어느 하나로 형성할 수 있다.

<28> 기판(11)은 실리콘, 유리 및 플라스틱으로 이루어진 그룹으로부터 선택된 어느 하나로 형성할 수 있으며, 실리콘과 같이 도전성을 갖는 물질을 기판(11)으로 사용할 경우, 제1도전막패턴(12)과 기판(11) 사이를 전기적으로

분리시키기 위하여 이들 사이에 형성된 매립절연막을 더 포함할 수 있다.

<29> 이와 같이, 본 발명은 게이트가 채널(15)을 완전히 둘러싸도록 형성함으로써, 게이트와 채널(15)간의 접촉 면적을 증가시켜 게이트 제어력을 향상시킬 수 있다. 또한, 게이트에 의한 전계를 효과적으로 채널(15)에 전달할 수 있기 때문에 트랜지스터의 동작특성을 향상시킬 수 있다. 또한, 채널(15)이 게이트에 의하여 완전히 둘러싸여져 있기 때문에 전계에 의해 형성되는 공핍층(depletion region)이 기판(11)으로부터 격리되어 동작전류(I_{on})에 대한 오프전류(I_{off})의 비(I_{on}/I_{off})를 극대화할 수 있다.

<30> 또한, 채널(15)을 반도체 물질로 형성하고, 소스 및 드레인 전극(16)을 금속막 또는 금속실리사이드막으로 형성하여 이들 사이에 쇼트키장벽을 형성함으로써, 나노선 트랜지스터의 전기적인 특성을 향상시킬 수 있다.

<31> 이하, 본 발명의 실시예에 따른 나노선 트랜지스터의 제조방법에 대한 실시예를 첨부한 도면을 참조하여 상세히 설명한다. 이하의 공정설명에서 반도체 소자의 제조방법이나 이에 관련된 기술 내용중 알려진 기술에 대해서는 설명하지 아니하였고, 이는 이러한 알려진 기술들에 의해 본 발명의 기술적 범위가 제한되지 않음을 의미한다.

<32> 또한, 후술한 본 발명의 실시예에 따른 나노선 트랜지스터의 제조방법에서는 단일 나노선을 형성한 후, 이를 채널로 사용하는 경우에 대하여 설명하며, 이외에 채널을 복수의 나노선을 사용하여 형성할 수도 있다.

<33> 도 2a 내지 도 2e는 본 발명의 실시예에 따른 나노선 트랜지스트의 제조방법을 도 1a에 도시된 X-X`절취선 및 Y-Y`절취선을 따라 도시한 공정단면도이다.

<34> 도 2a에 도시된 바와 같이, 기판(11) 상부의 소정영역에 제1도전막패턴(12)을 형성한다. 이때, 제1도전막패턴(12)은 후속공정을 통하여 게이트전극으로 작용하며, 도전성 물질 예컨대, 실리콘막, 텅스텐(W), 구리(Cu) 또는 루테늄(Ru)과 같은 금속막, 티타늄질화막(TiN)과 같은 도전성금속질화막 및 텅스텐실리사이드(WSi)와 같은 금속실리사이드막으로 이루어진 그룹으로부터 선택된 어느 하나로 형성할 수 있다.

<35> 한편, 기판(11)은 실리콘, 유리 및 플라스틱으로 이루어진 그룹으로부터 선택된 어느 하나를 사용할 수 있다. 만약, 실리콘과 같은 도전성을 갖는 물질로 기판으로 사용할 경우, 제1도전막패턴(12)과 기판(11) 사이를 전기적으로 분리시키기 위하여 이들 사이에 매립절연막을 형성하는 단계를 추가로 진행하는 것이 바람직하다.

<36> 다음으로, 제1도전막패턴(12)을 포함하는 결과물 전면에 제1절연막(13)을 형성한다. 이때, 제1절연막(13)은 후속공정을 통하여 형성될 소스 및 드레인 전극과 제1도전막패턴(12)을 전기적으로 분리시키는 역할을 수행함과 동시에 게이트절연막으로 작용하며, 무기절연막 또는 유기절연막으로 형성할 수 있다. 예컨대, 무기절연막으로는 실리콘산화막(SiO_2), 지르코늄산화막(ZrO_2), 하프늄산화막(HfO_2) 또는 알루미늄산화막(Al_2O_3)과 같은 산화막, 실리콘질화막(Si_3N_4)와 같은 질화막 및 질화산화막(oxynitride)으로 이루어진 그룹으로부터 선택된 어느 하나로 형성할 수 있으며, 유기절연막으로는 파릴렌(parylene), 에폭시(epoxy), 폴리이미드(PI), 폴리아미드(PA), 폴리비닐클로라이드(PVC), 벤조사이클로부텐(BCB), 폴리비닐알코올(PVA), 폴리비닐페놀(PVP) 및 사이클로펜텐(CyPe)으로 이루어진 그룹으로부터 선택된 어느 하나로 형성할 수 있다.

<37> 도 2b에 도시된 바와 같이, 제1도전막패턴(12) 상부의 제1절연막(13) 상에 SPM 리소그라피 방법을 사용하여 10nm 이하의 미세선폭을 갖는 레지스트패턴(14)을 형성한다. 이때, SPM 리소그라피 방법은 전자빔(E-Beam) 리소그라피 또는 극자외선(extreme ultraviolet)리소그라피와 같은 차세대 리소그라피(Next Generation Lithographies, NGL)기술로도 쉽게 형성할 수 없는 10nm 이하의 미세선폭을 갖는 레지스트패턴(14)을 구현할 수 있는 리소그라피 방법으로써, 레지스트막을 원자력현미경(Atomic Force Microscopy, AFM)의 탐침과 같은 프루브(probe)로 스캐닝(scanning)하여 레지스트패턴(14)을 형성한다.

<38> 이하, 본 발명의 실시예에 따른 레지스트패턴(14) 형성방법을 구체적으로 설명한다.

<39> 먼저, 제1절연막(13) 상에 레지스트막을 형성한다. 이때, 레지스트막은 자기조립단분자막(self assembled monolayer)으로 형성할 수 있다. 자기조립단분자막으로는 OTS(octadecyltrichlorosilane), OTMS(octadecyltrimethoxysilane), PFBT(pentafluorobenzenethiol) 및 BT(benzenethiol)로 이루어진 그룹으로부터 선택된 어느 하나를 사용할 수 있으며, 상술한 물질들이 제1절연막(13)과 화학적 결합을 통하여 제1절연막(13) 상에 형성된다.

<40> 다음으로, 레지스트막을 프루브로 스캐닝하여 레지스트패턴(14)을 형성한다. 이때, 프루브에는 음의 전압(negative volatage)을 인가하고, 레지스트막이 형성된 기판(11)에는 양의 전압(positive voltage)을 인가하여 스캐닝을 실시할 수 있다. 구체적으로, 프루브와 기판(11) 사이에 서로 다른 극성을 갖는 전압을 인가하면, 프

루브과 기판(11) 사이에서 전위차이가 발생하게 되고, 이 전위 차이에 의해 전자(electron)가 프루브에서 기판(11)으로 이동하게 된다. 프루브에서 기판(11)으로 전자가 이동하면서 프루브와 기판(11) 사이에 전기장(electric field)을 발생시키는데 전기장이 형성되는 영역의 레지스트막 즉, 자기조립단분자막과 제1절연막(13) 사이의 결합이 전기장으로 인하여 분리되면서 미세선폭을 갖는 레지스트패턴(14)을 형성할 수 있다.

<41> 또한, 레지스트패턴(14)을 형성하는 과정에서 프루브 끝단의 형상, 프루브에 인가되는 전압, 프루브에 인가되는 전류의 세기 또는 프루브의 스캐닝 속도 중 어느 하나를 제어하여 레지스트패턴(14)의 형상 또는 선폭을 제어할 수 있다. 예를 들어, 프루브 끝단의 직경이 작을수록 레지스트패턴(14)의 선폭을 보다 작게 형성할 수 있다. 또한, 프루브에 인가되는 전압 또는 전류의 세기가 증가할수록 레지스트패턴(14)의 선폭을 작게 형성할 수 있다. 또한, 프루브의 스캐닝 속도가 빠를수록 레지스트패턴(14)의 선폭을 작게 형성할 수 있다.

<42> 다음으로, 레지스트패턴(14) 사이를 매립하도록 채널용 도전막을 증착한다. 이때, 채널용 도전막은 반도체 물질들 중에서 아연(Zn)을 포함하는 물질 예컨대, ZnO, $ZnSnO_3$, $ZnSnO_4$, ZnInO, (Zn, Mn)O, IZO(indium zinc oxide), ITZO(indium tin zinc oxide), AZO(Al doped zinc oxide), GZO(gallium zinc oxide) 및 IGZO(indium gallium zinc oxide)로 이루어진 그룹으로부터 선택된 어느 하나를 사용하는 것이 바람직하다. 이는 아연을 포함하는 물질이 가공성, 캐리어(carrier)이동도 및 전류밀도 측면에서 우수한 특성을 가지고 있기 때문이다. 이외에도, 채널용 도전막으로 V_2O_5, GaN, AlN 또는 SnO_2 중 어느 하나를 사용할 수도 있다.

<43> 다음으로, 레지스트패턴(14)을 제거한다.

<44> 상술한 공정과정을 통하여 10nm 이하의 미세선폭을 갖는 채널(15)을 형성할 수 있다.

<45> 도 2c에 도시된 바와 같이, 기판(11) 상부에 채널(15)의 양끝단과 접하도록 소스 및 드레인 전극(16)을 형성한다. 이때, 소스 및 드레인 전극(16)은 도전성 물질 예컨대, 실리콘막, 텅스텐(W), 구리(Cu) 또는 루테늄(Ru)과 같은 금속막, 티타늄질화막(TiN)과 같은 도전성금속질화막 및 텅스텐실리사이드(WSi)와 같은 금속실리사이드막으로 이루어진 그룹으로부터 선택된 어느 하나로 형성할 수 있다.

<46> 특히, 소스 및 드레인 전극(16)을 금속막 또는 금속실리사이드막으로 형성할 경우, 반도체 물질로 형성된 채널(15)과 금속물질로 형성된 소스 및 드레인 전극(16) 사이의 일함수(work function) 차이로 인하여 이들 사이에 쇼트키접합(schottky junction)을 형성할 수 있으며, 이를 통하여 채널(15)과 소스 및 드레인 전극(16) 사이의 누설전류의 발생을 방지할 수 있다 .

<47> 도 2d에 도시된 바와 같이, 채널(15)과 소스 및 드레인 전극(16)을 포함하는 결과물 전면에 제2절연막(17)을 형성한다. 이때, 제2절연막(17)은 후속공정을 통하여 형성될 게이트전극과 소스 및 드레인 전극(16)을 전기적으로 분리시키는 역할을 수행함과 동시에 게이트절연막(18)으로 작용하며, 무기절연막 또는 유기절연막으로 형성할 수 있다. 바람직하게는 제1절연막(13)과 동일한 물질로 형성하는 것이 좋다.

<48> 다음으로, 제2절연막(17) 및 제1절연막(13)을 선택적으로 식각하여 채널(15)을 둘러싸는 게이트절연막(18)을 형성한다. 이때, 채널(15)을 둘러싸는 게이트절연막(18)의 두께는 상부측, 하부측, 좌측 및 우측에서 모두 동일한 두께를 갖도록 형성하는 것이 바람직하다(d1=d2=d3=d4).

<49> 도 2e에 도시된 바와 같이, 게이트절연막(18) 상에 채널(15)을 둘러싸고, 제1도전막패턴(12)과 연결되도록 제2도전막패턴(19)을 형성한다. 이때, 제2도전막패턴(19)은 제1도전막패턴(12)과 더불어서 게이트전극(20)으로 작용하며, 제1도전막패턴(12)과 동일한 물질로 형성하는 것이 바람직하다.

<50> 이로써, 채널(15)을 완전히 둘러싸도록 게이트전극(20)을 형성할 수 있다.

<51> 다음으로, 게이트전극(20), 소스 및 드레인 전극(16)을 포함하는 결과물 전면에 보호막(21)을 형성한다. 이때, 보호막은 산화막 예컨대, 실리콘산화막(SiO_2), BPSG(Boron Phosphorus Silicate Glass), PSG(Phosphorus Silicate Glass), TEOS(Tetra Ethyle Ortho Silicate), USG(Un-doped Silicate Glass), SOG(Spin On Glass), 고밀도플라즈마산화막(High Density Plasma, HDP) 또는 SOD(Spin On Dielectric)을 사용하여 형성할 수 있다.

<52> 다음으로, 보호막(21)을 선택적으로 식각하여 게이트전극(20), 소스 및 드레인 전극(16)의 일부를 노출시키는 콘택홀을 형성한 후, 이를 도전막으로 매립하여 게이트전극(20), 소스 및 드레인 전극(16)과 외부 전극 사이의 전기적인 연결을 위한 콘택층(22)을 형성한다.

<53> 이로써, 본 발명의 나노선 트랜지스터를 완성할 수 있다.

<54> 이와 같이, 본 발명은 SPM(Scanning Probe Microscope) 리소그라피 방법을 사용하여 나노선 즉, 채널(15)을 형성함으로써, 10nm 이하의 미세선폭을 갖는 채널(15)을 구현할 수 있다.

<55> 또한, 본 발명은 SPM 리소그라피 방법을 사용하고, 프루브 끝단의 형상, 프루브에 인가되는 전압, 프루브에 인가되는 전류의 세기 또는 프루브의 스캐닝 속도를 조절함으로써, 10nm 이하의 미세선폭을 갖는 채널(15)을 보다 용이하게 구현할 수 있다.

<56> 또한, 본 발명은 SPM 리소그라피 방법을 사용하여 레지스트패턴(14)을 형성하는 과정에서 프루브가 토폴로지(topology)의 단차에 따라 움직이기 때문에 레지스트패턴(14) 하부에 형성된 구조물의 단차에 의한 디포커스(defocus) 발생을 방지할 수 있다.

<57> 또한, 본 발명은 나노선 바이오센서와 같은 나노선을 활용한 다양한 반도체 소자에 응용할 수 있다.

<58> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기 실시예는 그 설명을 위한 것이며, 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술분야의 통상의 전문가라면 본 발명의 기술사상의 범위내의 다양한 실시예가 가능함을 이해할 수 있을 것이다.

도면의 간단한 설명

<59> 도 1a는 본 발명의 실시예에 따른 나노선 트랜지스터를 도시한 사시도.

<60> 도 1b는 본 발명의 실시예에 따른 나노선 트랜지스터를 도 1a에 도시된 X-X`절취선 및 Y-Y`절취선을 따라 도시한 단면도.

<61> 도 2a 내지 도 2e는 본 발명의 실시예에 따른 나노선 트랜지스터의 제조방법을 도 1a에 도시된 X-X`절취선 및 Y-Y`절취선을 따라 도시한 공정단면도.

<62> *도면 주요 부분에 대한 부호 설명*

<63> 11 : 기판 12 : 제1도전막패턴

<64> 13, 13A : 제1절연막 14 : 레지스트패턴

<65> 15 : 채널 16 : 소스 및 드레인 전극

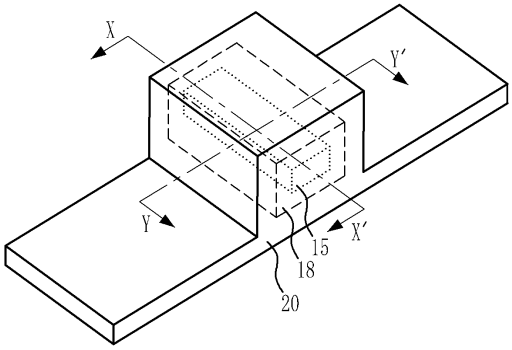
<66> 17 : 제2절연막 18 : 게이트절연막

<67> 19 : 제2도전막패턴 20 : 게이트전극

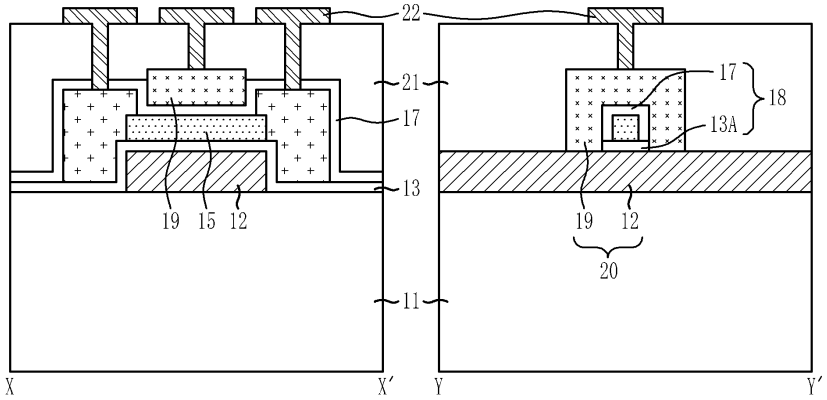
<68> 21 : 보호막 22 : 콘택층

도면

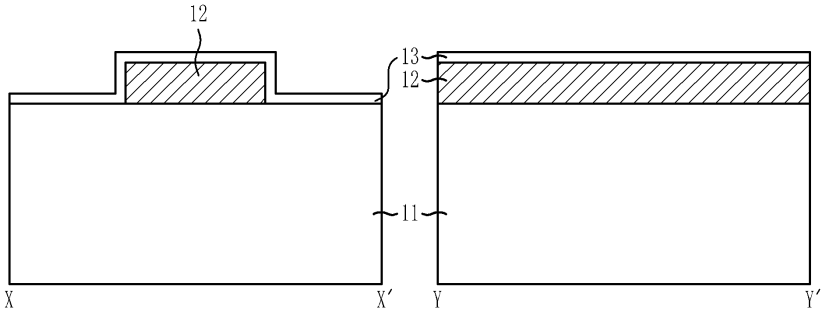
도면1a



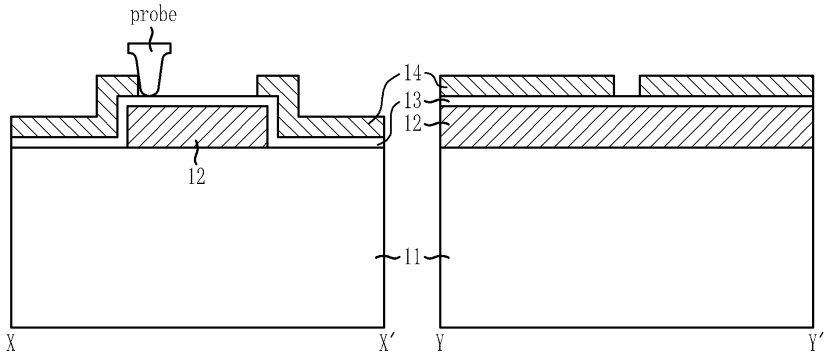
도면1b



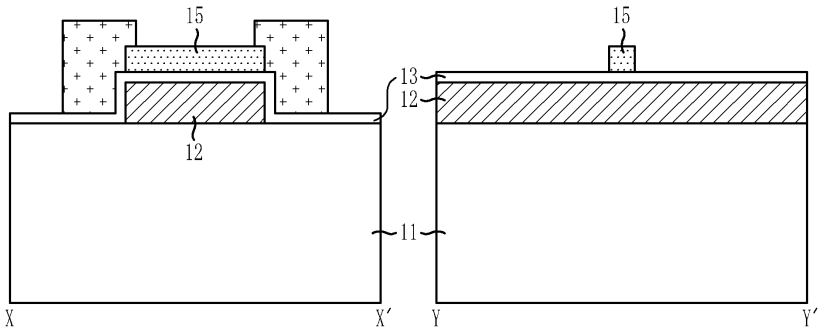
도면2a



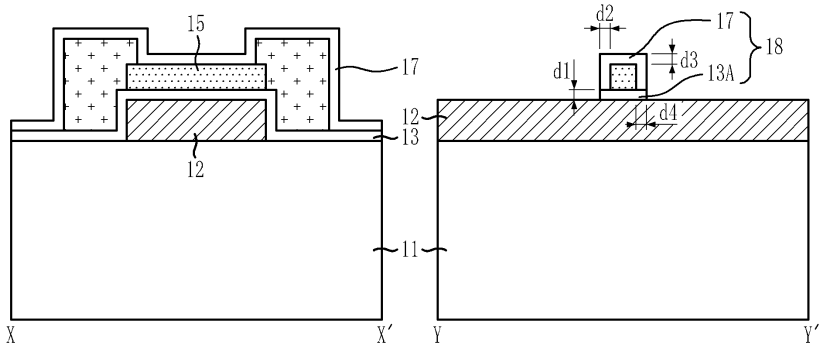
도면2b



도면2c



도면2d



도면2e

