

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-61202

(P2019-61202A)

(43) 公開日 平成31年4月18日(2019.4.18)

(51) Int.Cl.			F I			テーマコード (参考)	
G09F	9/30	(2006.01)	G09F	9/30	308Z	2H092	
G02F	1/1368	(2006.01)	G09F	9/30	338	2H189	
G02F	1/1343	(2006.01)	G02F	1/1368		2H192	
G02F	1/1333	(2006.01)	G02F	1/1343		5C094	
			G02F	1/1333			

審査請求 未請求 請求項の数 16 O L (全 14 頁)

(21) 出願番号 特願2017-187686 (P2017-187686)
 (22) 出願日 平成29年9月28日 (2017.9.28)

(71) 出願人 502356528
 株式会社ジャパンディスプレイ
 東京都港区西新橋三丁目7番1号
 (74) 代理人 110000154
 特許業務法人はるか国際特許事務所
 (72) 発明者 細川 大地
 東京都港区西新橋三丁目7番1号 株式会
 社ジャパンディスプレイ内
 (72) 発明者 宮永 直季
 東京都港区西新橋三丁目7番1号 株式会
 社ジャパンディスプレイ内
 (72) 発明者 木谷 正克
 東京都港区西新橋三丁目7番1号 株式会
 社ジャパンディスプレイ内

最終頁に続く

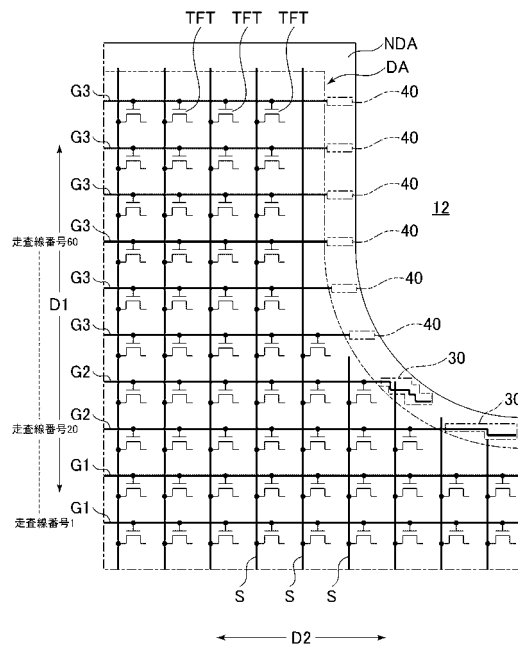
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】輝度差の境界を見えにくくすることを目的とする。

【解決手段】表示装置は、基板10と、基板10上に設けられた複数の信号線Sと、基板10上に設けられ、信号線Sと交差する複数の走査線Gと、走査線Gと信号線Sの交差位置に形成された複数の薄膜トランジスタTFTと、を有する。走査線Gは、第1の走査線群G1と、第2の走査線群G2を有し、第2の走査線群GSの走査線Gの一端は、負荷素子40が接続される。

【選択図】 図5



【特許請求の範囲】

【請求項 1】

基板と、
 前記基板上に設けられた複数の信号線と、
 前記基板上に設けられ、前記信号線と交差する複数の走査線と、
 前記走査線と信号線の交差位置に形成された複数の薄膜トランジスタと、
 を有し、
 前記走査線は、第 1 の走査線群と、第 2 の走査線群を有し、
 前記第 2 の走査線群の前記走査線の一端は、負荷素子が接続されることを特徴とする表示装置。

10

【請求項 2】

請求項 1 に記載された表示装置において、
 前記第 1 の走査線群と前記第 2 の走査線群は、隣接して配置され、
 前記基板は、前記第 2 走査線群の走査線の延在方向に重なる位置に切欠き部を有することを特徴とする表示装置。

【請求項 3】

請求項 2 に記載された表示装置において、
 前記負荷素子は、複数の電界効果素子からなることを特徴とする表示装置。

【請求項 4】

請求項 3 に記載された表示装置において、
 前記複数の電界効果素子は、第 1 の走査線群に近い走査線程、接続される電界効果素子の数が増えることを特徴とする表示装置。

20

【請求項 5】

請求項 2 に記載された表示装置において、
 前記基板は、第 3 の走査線群を有し、
 前記第 3 の走査線群の走査線延在方向は、前記切欠き部と重なり、
 前記第 2 の走査線群は、前記第 1 の走査線群と前記第 3 の走査線群の間に配置され、
 前記第 3 の走査線群の前記走査線の一端は、負荷素子が接続されることを特徴とする表示装置。

【請求項 6】

請求項 5 に記載された表示装置において、
 前記基板は、表示領域と非表示領域を有し、
 前記第 2 走査線群と前記第 3 走査線群の前記負荷素子は、前記切欠き部と前記表示領域間の前記非表示領域に形成されていることを特徴とする表示装置。

30

【請求項 7】

請求項 6 に記載された表示装置において、
 前記第 2 の走査線群の前記負荷素子は、複数の電界効果素子からなることを特徴とする表示装置。

【請求項 8】

請求項 7 に記載された表示装置において、
 前記第 2 の走査線群の各走査線は、前記非表示領域において、信号線と平行に延設された屈曲部を有することを特徴とする表示装置。

40

【請求項 9】

請求項 7 に記載された表示装置において、
 前記第 2 の走査線群の前記負荷素子は、半導体層と導電層を含む複数の薄膜トランジスタからなることを特徴とする表示装置。

【請求項 10】

請求項 9 に記載された表示装置において、
 前記第 3 の走査線群の前記負荷素子は、前記走査線に絶縁膜を介して重畳された半導体層又は導電層であり、

50

前記第 3 の走査線群の複数の前記負荷素子は、同じ形状であることを特徴とする表示装置。

【請求項 1 1】

請求項 1 0 に記載された表示装置において、

前記第 2 の走査線群の前記負荷素子が有する前記半導体層および前記導電層は、

前記第 3 の走査線群の前記負荷素子が有する前記半導体層および前記導電層と同じ層で形成されることを特徴とする表示装置。

【請求項 1 2】

請求項 5 に記載された表示装置において、

前記表示領域における前記第 2 及び第 3 の走査線群の走査線の長さは、前記表示領域における前記第 1 の走査線群の走査線の長さの半分以下であることを特徴とする表示装置。

10

【請求項 1 3】

請求項 5 に記載された表示装置において、

ブラックマトリクス層をさらに有し、

前記複数の負荷素子は、前記ブラックマトリクス層に重なることを特徴とする表示装置

【請求項 1 4】

請求項 5 に記載された表示装置において、

前記複数の走査線が接続される走査回路をさらに有し、

前記第 2 及び第 3 の走査線群の一端は、前記走査回路に接続されることを特徴とする表示装置。

20

【請求項 1 5】

請求項 1 4 に記載された表示装置において、

前記基板は、4 辺を有する略矩形状を有し、前記切欠き部は前記基板の 1 辺に形成され

、前記走査回路は、前記切欠き部が形成されていない辺の向かい合う 2 辺に形成されることを特徴とする表示装置。

【請求項 1 6】

請求項 1 5 に記載された表示装置において、

前記第 1 の走査線群は、2 辺に設けられた前記走査回路の両方に接続され、

前記第 2 及び第 3 の走査線群は、片方の前記走査回路に接続されることを特徴とする表示装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置に関する。

【背景技術】

【0002】

表示装置は、選択された走査線に対応する複数の画素電極に画像信号を入力するようになっている。走査線は、画素電極への画像信号の入力を制御するための薄膜トランジスタの半導体層と重複する位置で、ゲート電極を有している。表示領域が、矩形になっていない場合、異なる長さの走査線が混在し、走査線によって接続される薄膜トランジスタ及びゲート電極の数が異なる（特許文献 1）。

40

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】国際公開 W O 2 0 0 7 / 1 0 5 7 0 0 号

【発明の概要】

【発明が解決しようとする課題】

【0004】

50

異なる長さの走査線間では、走査線の負荷に差が生じるので、走査線に印加されるパルス信号の立下りに差が生じる。例えば、走査線が短く、ゲート電極の数が少ないことで、容量性リアクタンスが減少し、走査線の負荷が軽くなると、ゲート信号のパルスの立下りが急峻になる。その結果、画素電極への印加電圧に差が生じ、同じ映像信号であっても、走査線によって輝度差が発生する。特に、隣接する走査線の長さが大きく異なると、長さの異なる走査線に接続された画素間で大きな輝度差が発生し、輝度差の境界が見えやすくなる。

【0005】

本発明は、輝度差の境界を見えにくくすることを目的とする。

【課題を解決するための手段】

【0006】

本発明に係る表示装置は、基板と、前記基板上に設けられた複数の信号線と、前記基板上に設けられ、前記信号線と交差する複数の走査線と、前記走査線と信号線の交差位置に形成された複数の薄膜トランジスタと、を有し、前記基板は、前記走査線は、第1の走査線群と、第2の走査線群を有し、前記第2の走査線群の前記走査線の一端は、負荷素子が接続されることを特徴とする。

【0007】

本発明によれば、第2の走査線群には、配線の負荷を調整する電界効果素子が接続される。これにより、輝度差の境界を見えにくくすることができる。

【図面の簡単な説明】

【0008】

【図1】本発明を適用した実施形態に係る表示装置の概略を示す平面図である。

【図2】図1に示す表示装置の回路図である。

【図3】図2に示す回路の一部を詳細に示す図である。

【図4】図1に示す表示装置のIV-IV線断面図である。

【図5】信号線及び走査線に関連する構成の詳細を示す図である。

【図6】電界効果素子を示す図である。

【図7】複数の電界効果素子の配列を示す図である。

【図8】負荷素子を示す図である。

【図9】比較例に係る実験結果を示す図である。

【図10】本実施形態に係る実験結果を示す図である。

【発明を実施するための形態】

【0009】

以下、本発明の実施形態について図面を参照して説明する。但し、本発明は、その要旨を逸脱しない範囲において様々な態様で実施することができ、以下に例示する実施形態の記載内容に限定して解釈されるものではない。

【0010】

図面は、説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。本明細書と各図において、既出の図に関して説明したものと同様の機能を備えた要素には、同一の符号を付して、重複する説明を省略することがある。

【0011】

さらに、本発明の詳細な説明において、ある構成物と他の構成物の位置関係を規定する際、「上に」「下に」とは、ある構成物の直上あるいは直下に位置する場合のみでなく、特に断りの無い限りは、間にさらに他の構成物を介在する場合を含むものとする。

【0012】

図1は、本発明を適用した実施形態に係る表示装置の概略を示す平面図である。表示装置は、第1基板10を有する。第1基板10は、画像が表示される表示領域DAを有する。表示領域DAの外側(周囲)には、非表示領域NDAがある。

【0013】

10

20

30

40

50

第1基板10は、切欠き12を有する。切欠き12は、第1基板10の第1方向D1の両端部の一方にあり、第1方向D1に交差（例えば直交）する第2方向D2に、第1基板10の中間にある。切欠き12は、第2方向D2に表示領域DAが連続することを妨げている。切欠き12はU字状になっており、これに対応して、第1基板10の外形輪郭は曲線を有している。非表示領域NDAは、切欠き12に隣接する領域を含む。

【0014】

図2は、図1に示す表示装置の回路図である。図3は、図2に示す回路の一部を詳細に示す図である。

【0015】

第1基板10は、表示領域DAにおいて、複数のサブピクセルSPを備えている。サブピクセルSPとは、映像信号に応じて個別に制御することができる最小単位を示し、例えば、走査線Gと信号線Sとが交差する位置に配置された薄膜トランジスタTFTを含む領域に存在する。複数のサブピクセルSPは、第1方向D1及び第2方向D2にマトリクス状に配置されている。走査線Gは、第2方向D2に延出し、第1方向D1に並んでいる。信号線Sは、各々第1方向D1に延出し、第2方向D2に並んでいる。なお、走査線G及び信号線Sは、必ずしも直線的に延出していなくても良く、それらの一部が屈曲していてもよい。走査線G及び信号線Sは、表示領域DAの外側にある非表示領域NDAに引き出されている。非表示領域NDAにおいて、複数の走査線Gは走査回路GDに接続され、複数の信号線Sは信号線駆動回路SDに接続されている。走査回路GDは、図1に示すように、第2方向D2に複数の走査線Gを挟む両側のそれぞれに配置されている。

10

20

【0016】

第1基板10は、画像を構成する複数のサブピクセルSPの少なくとも明度を変化させるために複数の画素電極14及び複数の共通電極16を有する。複数の画素電極14は、第1方向D1及び第2方向D2に配列される。画素電極14の各々は、共通電極16と対向し、画素電極14と共通電極16との間に生じる電界によって液晶層18を駆動する。保持容量CSは、例えば、共通電極16と画素電極14との間に形成される。共通電極16は、複数のサブピクセルSPに亘って配置されている。共通電極16は、非表示領域NDAに引き出されて共通電極駆動回路CDに接続される。

【0017】

複数の薄膜トランジスタTFTが、表示領域DAに配列されている。複数の薄膜トランジスタTFTは、複数の画素電極14にそれぞれ対応して、第1方向D1及び第2方向D2に配列される。サブピクセルSPは、薄膜トランジスタTFTを備えている。薄膜トランジスタTFTは、走査線G及び信号線Sと電氣的に接続されている。具体的には、薄膜トランジスタTFTは、ゲート電極WG、ソース電極WS、及び、ドレイン電極WDを備えている。ゲート電極WGは、走査線Gと電氣的に接続されている。図示した例では、信号線Sと電氣的に接続された電極をソース電極WSと称し、画素電極14と電氣的に接続された電極をドレイン電極WDと称する。走査線Gは、第2方向D2に並んだサブピクセルSPの各々における薄膜トランジスタTFTと接続されている。

30

【0018】

信号線Sは、第1方向D1に並んだサブピクセルSPの各々における薄膜トランジスタTFTと接続されている。複数の画素電極14のそれぞれと複数の信号線Sのうち対応する1つとの間の電氣的接続が、複数の薄膜トランジスタTFTの対応する1つによって制御される。

40

【0019】

図4は、図1に示す表示装置のIV-IV線断面図である。第1基板10と第2基板22の間に液晶層18が介在する。複数の画素電極14は、液晶層18の側で、第1基板10に、相互に直交する第1方向D1及び第2方向D2に配列される。表示装置は、主面にほぼ平行な横電界を利用する表示モードに対応した構成を有している。あるいは、表示装置は、基板主面に対して垂直な縦電界や、基板主面に対して斜め方向の電界、或いは、それらを組み合わせて利用する表示モードに対応した構成を有していても良い。横電界を利用す

50

る表示モードでは、例えば第1基板10及び第2基板22のいずれか一方に画素電極14及び共通電極16の双方が備えられた構成が適用可能である。縦電界や斜め電界を利用する表示モードでは、例えば、第1基板10に画素電極14及び共通電極16のいずれか一方が備えられ、第2基板22に画素電極14及び共通電極16のいずれか他方が備えられた構成が適用可能である。

【0020】

第1基板10は、信号線S、共通電極16、金属層M、画素電極14、第1絶縁膜IN1、第2絶縁膜IN2、第3絶縁膜IN3、第1配向膜AL1などを備えている。なお、ここでは、薄膜トランジスタTFTや走査線G、これらに介在する各種絶縁膜等の図示を省略している。第1絶縁膜IN1は、第1基板10の上に位置している。図示しない走査線Gや薄膜トランジスタTFTの半導体層(チャンネル層)は、第1基板10と第1絶縁膜IN1の間に位置する。信号線Sは、第1絶縁膜IN1の上に位置している。第2絶縁膜IN2は、信号線S、及び、第1絶縁膜IN1の上に位置している。共通電極16は、第2絶縁膜IN2の上に位置している。金属層Mは、信号線Sの直上において共通電極16に接触している。金属層Mは、共通電極16の上に位置しているが、共通電極16と第2絶縁膜IN2との間に位置していても良い。第3絶縁膜IN3は、共通電極16、及び、金属層Mの上に位置している。画素電極14は、第3絶縁膜IN3の上に位置している。画素電極14は、第3絶縁膜IN3を介して共通電極16と対向している。また、画素電極14は、共通電極16と対向する位置にスリットSLを有している。第1配向膜AL1は、画素電極14及び第3絶縁膜IN3を覆っている。

10

20

【0021】

走査線G、信号線S、及び、金属層Mは、モリブデン、タングステン、チタン、アルミニウムなどの金属材料によって形成され、単層構造であっても良いし、多層構造であっても良い。共通電極16及び画素電極14は、ITO(Indium Tin Oxide)やIZO(Indium Zinc Oxide)などの透明な導電材料によって形成されている。第1絶縁膜IN1及び第3絶縁膜IN3は無機絶縁膜であり、第2絶縁膜IN2は有機絶縁膜である。

【0022】

第2基板22は、ブラックマトリクス層24、カラーフィルタ層26、オーバーコート層OC、第2配向膜AL2などを備えている。ブラックマトリクス層24及びカラーフィルタ層26は、第2基板22の第1基板10と対向する側に位置している。ブラックマトリクス層24は、サブピクセルSPを区画し、信号線Sの直上に位置している。カラーフィルタ層26は、画素電極14と対向し、その一部がブラックマトリクス層24に重なっている。オーバーコート層OCは、カラーフィルタ層26を覆っている。第2配向膜AL2は、オーバーコート層OCを覆っている。

30

【0023】

第2基板22には、タッチセンシングのために複数のタッチ電極28が積層されている。タッチ電極28は、第2基板22の主面に位置している。タッチ電極28は、金属や、ITO(Indium Tin Oxide)又はIZO(Indium Zinc Oxide)等の透明導電材料によって形成されていても良いし、金属の上に透明導電材料が積層されていても良いし、導電性の有機材料や、微細な導電性物質の分散体などによって形成されていても良い。

40

【0024】

第1偏光板を含む第1光学素子OD1は、第1基板10と照明装置BLとの間に位置している。第2偏光板を含む第2光学素子OD2は、タッチ電極28の上に位置している。第1光学素子OD1及び第2光学素子OD2は、必要に応じて位相差板を含んでいても良い。

【0025】

図5は、図1の領域Vに相当する部分の信号線S及び走査線Gの詳細を示す図である。領域Vは、切欠き12の周辺である。図5に示されるように、この領域Vにかかる走査線Gは、切欠き12によって、長さの異なる配線が混在している。

【0026】

50

切欠き 1 2 は、角がラウンドした形状となっているため、走査線 G の長さもラウンドに合わせた長さになっている。本実施形態においては、第 1 グループ G 1、第 2 グループ G 2、第 3 グループ G 3 の三つのグループに区分される。

【 0 0 2 7 】

複数の走査線 G のうち、第 1 グループ G 1 の走査線 G は、第 2 方向 D 2 に表示領域 D A の両端に至る（図 1 参照）。いわゆる通常の走査線である。第 1 グループ G 1 の走査線 G のそれぞれは、両端部のそれぞれで走査回路 G D に接続する。

【 0 0 2 8 】

複数の走査線 G のうち、第 2 グループ G 2 の走査線 G は、第 1 方向 D 1 に第 1 グループ G 1 の隣りにある。第 2 グループ G 2 は、切欠き 1 2 の端部がラウンドしている箇所に対応するグループである。第 2 グループ G 2 の走査線 G は、表示領域 D A を通る部分から第 2 方向 D 2 に、切欠き 1 2 があることで、あるいは、切欠き 1 2 に沿った非表示領域 N D A があることで、少なくとも表示領域 D A において、第 1 グループ G 1 の走査線 G よりも短い。表示領域 D A で第 2 グループ G 2 の走査線 G のそれぞれが有する長さは、表示領域 D A で第 1 グループ G 1 の走査線 G のそれぞれが有する長さの半分以下である。第 2 グループ G 2 の走査線 G は、非表示領域 N D A（切欠き 1 2 と表示領域 D A 間の領域）に至るように延びている。第 2 グループ G 2 の走査線 G は、片側の走査回路 G D のみに接続する。

10

【 0 0 2 9 】

複数の走査線 G のうち、第 3 グループ G 3 の走査線 G は、第 1 方向 D 1 において最も端部側に配置された走査線である。第 3 グループ G 3 の走査線 G も、第 2 グループ G 2 の走査線 G と同様に、第 2 方向 D 2 への連続性が切欠き 1 2 によって妨げられている。第 2 グループ G 2 との違いは、切欠き 1 2 の端部がほぼ直線状になっていることである。つまり、第 2 グループ G 2 の走査線 G は、同じグループ内でそれぞれ長さが異なるが、第 3 グループ G 3 の走査線 G は、ほぼ等しい。第 3 グループ G 3 の走査線 G の長さは、最も長いものでも、第 2 グループ G 2 の走査線 G の長さ以下になっている。

20

【 0 0 3 0 】

上記に示したように、本実施形態の走査線 G は、通常の走査線である第 1 グループ G 1 の走査線の他に、長さの異なる走査線が複数本存在することになる。走査線 G と信号線 S の交差する領域は、図 5 に示されるように、画素電極を駆動するための薄膜トランジスタ T F T が接続されている。各走査線 G に接続される薄膜トランジスタ T F T の数は、各グループで異なっている。特に、切欠き 1 2 と重ならない第 1 グループ G 1 と、切欠き 1 2 と重なる第 2、第 3 グループ G 2、G 3 では、走査線の長さが大きく異なることから、それぞれの走査線に接続される薄膜トランジスタ T F T の数も大きく異なり、併せてゲート電極の数も異なる。すなわち、走査線に寄生する容量の差に起因する負荷が大きく異なっている。このため、第 1～第 3 グループの走査線 G に属する各画素に、同じ映像信号を印加した場合、切欠き 1 2 と重ならない第 1 グループ G 1 と、切欠き 1 2 と重なる第 2、第 3 グループ G 2、G 3 の各画素で、画素電極に印加される電圧に差違が出てしまい、これが輝度差として認識されてしまう。たとえば、通常が表示領域である第 1 グループ G 1 の画素に 1 2 7 / 2 5 6 階調を表示した場合、第 2 グループ G 2、第 3 グループ G 3 の画素では、配線負荷が軽いことにより、1 8 0 / 2 5 6 階調の表示がされてしまい、第 1 グループ G 1 の画素よりも明るく表示される。このため、第 1 グループと第 2 グループの境目で境界がはっきり視認されてしまう。

30

40

【 0 0 3 1 】

上記のような問題を解消するため、本実施形態においては、第 2 グループ G 2 と第 3 グループ G 3 の走査線 G に以下のような構造を付加する。

【 0 0 3 2 】

第 2 グループ G 2 の走査線 G のそれぞれは、例えば一方の端部で、走査回路 G D に接続する。一方、他方の端部（切欠き 1 2 側）では、複数の電界効果素子 3 0 を接続する。複数の電界効果素子 3 0 は、切欠き 1 2 と表示領域 D A 間の非表示領域 N D A に配置される

50

。複数の電界効果素子 30 は、ブラックマトリクス層 24 (図 4 参照) に重なる。

【0033】

図 6 は、電界効果素子 30 を示す図である。電界効果素子 30 は、薄膜トランジスタ TFT の構造の一部 (例えば、少なくともゲート電極 WG 及びチャンネル層 32 並びにゲート絶縁膜 34) を有する。チャンネル層 32 とゲート電極 WG の間にゲート絶縁膜 34 が介在する。チャンネル層 32 (半導体層) は、例えば U 字状に屈曲しており、屈曲部分を挟む一对の部分がゲート電極 WG に重なる。

【0034】

電界効果素子 30 は、表示に寄与するものではないが、表示領域中の薄膜トランジスタ TFT と実質的に同じ構造であり、いわゆるダミーの TFT である。このため、ソース電極 WS 及びドレイン電極 WD の一方 (例えばソース電極 WS) を有しているが、他方 (例えばドレイン電極 WD) を有していない。電界効果素子 30 のチャンネル層 32 は、例えばソース電極 WS を介して、信号線 S に接続されている。信号線 S とゲート電極 WG (走査線 G) との間には図示しない絶縁層が介在する。

10

【0035】

なお、薄膜トランジスタ TFT は、電界効果素子 30 の構造 (少なくともゲート電極 WG 及びチャンネル層 32 並びにゲート絶縁膜 34) を含む。図 6 の構造と同様に、複数の走査線 G のそれぞれの一部が、第 2 グループの走査線 G に接続された薄膜トランジスタ TFT のそれぞれのゲート電極 WG になっている。

【0036】

このように、走査線 G にダミーの薄膜トランジスタである電界効果素子 30 を接続することにより、配線負荷を上げ、第 1 グループ G1 の走査線 G の配線負荷に近づけるようにする。

20

【0037】

図 7 は、複数の電界効果素子 30 の配列を示す図である。本実施形態においては、第 2 グループ G2 の走査線 G は、第 1 グループ G1 の走査線 G に近いほど、複数の電界効果素子 30 の数が多い。第 2 グループ G2 の走査線 G は、切欠き 12 のラウンドしている部分に配置されるため、表示領域 DA 中の走査線 G の長さが、第 2 グループ G2 内で差が生じている。このため、本実施形態における第 2 グループ G2 の走査線 G の配線負荷は、それぞれの走査線 G に接続された複数の電界効果素子 30 の数により、増加する配線負荷を異ならせている。図 7 の構造では、第 2 グループ G2 の走査線 G の配線負荷は、第 1 グループ G1 の走査線 G に近いほど大きくするため、なる。電界効果素子 30 の数は、第 1 グループ G1 の走査線 G に近いほど数が増える。

30

【0038】

上述のように、画素電極に印加される電圧は、配線負荷に比例するため、図 7 の構造によれば、第 2 グループ G2 では、第 1 グループ G1 からの輝度差を徐々に変化させることができ、第 1 グループ G1 と第 2 グループ G2 間にできる境界を目立たなくすることができる。

【0039】

第 2 グループ G2 の走査線 G に接続される電界効果素子 30 が配置される非表示領域 NDA は、大きく湾曲した部分が相当する。このため、第 2 グループ G2 の走査線 G のそれぞれは、非表示領域 NDA では、第 2 方向 D2 に交差する方向 (例えば第 1 方向 D1) に延びる第 1 部分 36 を有する。第 2 グループの走査線 G2 のそれぞれは、非表示領域 NDA では、第 1 方向 D1 に相互にずれた位置でそれぞれ第 2 方向 D2 に沿って延びる複数の第 2 部分 38 を有する。複数の第 2 部分 38 に、複数の電界効果素子 30 が接続する。

40

【0040】

このような走査線 G の形状にすることにより、非表示領域 NDA の湾曲に沿って電界効果素子 30 を効率的に配置することができる。

【0041】

次に、第 3 グループ G3 の走査線 G について説明する。第 3 グループ G3 の走査線 G の

50

それぞれは、図 1 に示すように一方の端部で走査回路 G D に接続し、図 5 に示すように他方（切欠き 1 2 側）の端部で負荷素子 4 0 に接続する。負荷素子 4 0 は、第 2 方向 D 2 で切欠き 1 2 と表示領域 D A の間にある非表示領域 N D A に配置される。負荷素子 4 0 によって、第 3 グループ G 3 の走査線 G のそれぞれに、配線負荷が追加される。負荷素子 4 0 によって追加される負荷は、電界効果素子 3 0 によって追加される負荷以下である。負荷素子 4 0 の負荷の大きさは、第 2 グループ G 2 の電界効果素子 3 0 の数が最も多い走査線 G の負荷を超えないようになっている。

【 0 0 4 2 】

図 8 は、負荷素子 4 0 を示す図である。負荷素子 4 0 では、走査線 G は、複数に分岐され、第 1 電極 4 2 を形成する。負荷素子 4 0 は、第 1 電極 4 2 の下方に第 2 電極 4 4 を有する。第 2 電極 4 4 は、上述した電界効果素子 3 0 のチャンネル層 3 2 から連続一体化した層（例えば同層にある半導体層）である。第 1 電極 4 2 及び第 2 電極 4 4 は対向し、両者の間には絶縁膜 4 6 が介在する。絶縁膜 4 6 は、上述した電界効果素子 3 0 のゲート絶縁膜 3 4 から連続一体化した膜である。負荷素子 4 0 は、第 1 電極 4 2 の上方に第 3 電極 4 8 を有する。第 3 電極 4 8 は、信号線 S と同層にあるが、信号線 S からは分離され、他の電位に接続されている。第 1 電極 4 2 及び第 3 電極 4 8 は対向し、両者の間には図示しない絶縁層が介在する。第 2 電極 4 4 及び第 3 電極 4 8 は、コンタクト 5 0 を介して接続されている。こうして、第 1 電極 4 2 を一方の電極とし、第 2 電極 4 4 及び第 3 電極 4 8 のそれぞれを他方の電極とする容量が構成される。

【 0 0 4 3 】

第 3 グループ G 3 は、切欠き 1 2 の端部がほぼ直線状となる位置の走査線であるため、負荷素子 4 0 が配置される非表示領域 N D A の形状は、ほぼ直線状である。このため、第 3 グループ G 3 の各走査線 G に接続される負荷素子 4 0 は、何れの走査線 G においても、同じ形状である。

【 0 0 4 4 】

図 9 は、比較例に係る実験結果を示す図である。図 1 0 は、本実施形態に係る実験結果を示す図である。

【 0 0 4 5 】

実験では、信号線 S に同じ電圧の信号を入力したときに、第 1 グループ G 1 の走査線 G の電位に対し、第 2 グループ G 2 及び第 3 グループ G 3 の走査線 G に接続される各画素電極 1 4 の電位を比較し、電位差を測定した。実験結果のグラフにおいて、横軸は、第 1 グループ G 1 の走査線 G から離れる方向に昇順となる走査線番号を示し、図 5 に示した走査線番号と共通である。縦軸は、通常の表示部である第 1 グループ G 1 の走査線 G に接続される画素電極 1 4 との電位差を示している。

【 0 0 4 6 】

比較例の実験（図 9）では、上述した電界効果素子 3 0 及び負荷素子 4 0 を形成していない表示装置を使用した。走査線番号 1 の走査線 G は、切欠き 1 2 と重複しない通常の走査線 G が配置される第 1 グループ G 1 に隣接した走査線であるが、この位置で、第 1 グループ G 1 の走査線 G と約 6 . 2 m V の電位差を生じている。また、第 2 グループ G 2 の走査線 G 間は、約 6 . 2 m V ~ 約 7 . 2 m V の電位差が生じており、第 2 グループ G 2 の走査線 G 間では、約 1 m V ほどの差がある。

【 0 0 4 7 】

また更に、第 3 グループ G 3 の走査線 G は、7 . 2 m V ~ 8 . 0 m V の電位差を生じており、第 3 グループ G 3 の走査線 G 間では、約 0 . 8 m V ほどの差がある。

【 0 0 4 8 】

第 2 グループ G 2 , 第 3 グループ G 3 の走査線 G 全体では、電位差の幅は約 1 . 6 m V である。

【 0 0 4 9 】

この結果より、第 1 グループ G 1 と第 2 グループ G 2 間の画素電位差が、第 2 グループ G 2 と第 3 グループ G 3 間の画素電位差よりも数倍大きいことが分かる。このため、仮に

10

20

30

40

50

表示領域 D A の全ての画素に同じ映像信号を入力したとしても、第 1 グループ G 1 と第 2 グループ G 2 間の画素電位差が大きいため、第 1 グループ G 1 と、第 2 グループ G 2 および第 3 グループ G 3 の画素間で、異なる輝度が表示されているものとして観察者に認識されてしまう。

【 0 0 5 0 】

本実施形態の実験（図 1 0）では、上述した電界効果素子 3 0 及び負荷素子 4 0 を備えた表示装置を使用した。図 1 0 から分かるように、走査線番号 1 では、第 1 グループ G 1 の走査線との電位差が、約 0 . 2 m V となり、大幅に低減された。また、第 2 グループ G 2 の走査線 G のそれぞれには、電界効果素子 3 0 を設け、且つ、第 1 グループ G 1 に近い走査線 G ほど、電界効果素子 3 0 の数を増やしている。これにより、第 2 グループ G 2 の走査線 G においては、走査線 1 ~ 2 0 の間で、第 1 グループ G 1 との電位差を走査線ごとに徐々に第 3 グループ G 3 の電位まで増えていくように設定できた。

10

【 0 0 5 1 】

また更に、第 3 グループ G 3 の走査線 G のそれぞれには、負荷素子 4 0 を設けたことで、第 1 グループ G 1 との画素電極 1 4 の電位差が 4 m V 前後まで下げることができている。

【 0 0 5 2 】

本実施形態では、第 3 グループ G 3 の位置でも第 1 グループ G 1 との画素電極との電位差を圧縮し、且つ、第 2 グループ G 2 では、第 1 グループ G 1 の走査線 G に近いほど、走査線の負荷を上げている。その結果、図 1 0 に示すように、切欠き 1 2 に重複する第 2 グループ G 2 と第 3 グループ G 3 の走査線 G に接続される画素において、切欠き 1 2 と重複しない第 1 グループ G 1 の走査線 G 1 に接続される画素との輝度差を全体的に圧縮しながら、第 1 グループ G 1 と隣接する第 2 グループ G 2 において、輝度差に傾斜が現れるように、配線の負荷を調整した。

20

【 0 0 5 3 】

これにより、本実施形態では、第 1 グループ G 1 の走査線から第 3 グループ G 3 の走査線にかけて、輝度に意図的にグラデーションを形成することができるようになった。このため、図 9 の比較例に比べ、第 1 グループ G 1 と第 2 グループ G 2 間で、輝度差による境界が見えにくくなる。

【 0 0 5 4 】

本発明は、上述した実施形態に限定されるものではなく種々の変形が可能である。例えば、第 3 グループ G 3 では、負荷素子 4 0 を用いたが、第 2 グループ G 2 の電界効果素子 3 0 を用いても良い。

30

【 0 0 5 5 】

また、切欠き 1 2 に重複する走査線を第 2 グループ G 2、第 3 グループ G 3 と 2 つに分けたが、例えば切欠き 1 2 の端面にラウンド部が無く、切欠き 1 2 に重複する走査線の長さが一樣にできる場合、第 2 グループ G 2 または第 3 グループ G 3 の何れか 1 グループの負荷素子のみを用いても良い。

【 0 0 5 6 】

また、本実施形態として、液晶表示装置を用いて説明したが、有機 E L 表示装置でも同様の構成を用いることができる。

40

【 0 0 5 7 】

実施形態で説明した構成は、実質的に同一の構成、同一の作用効果を奏する構成又は同一の目的を達成することができる構成で置き換えることができる。

【符号の説明】

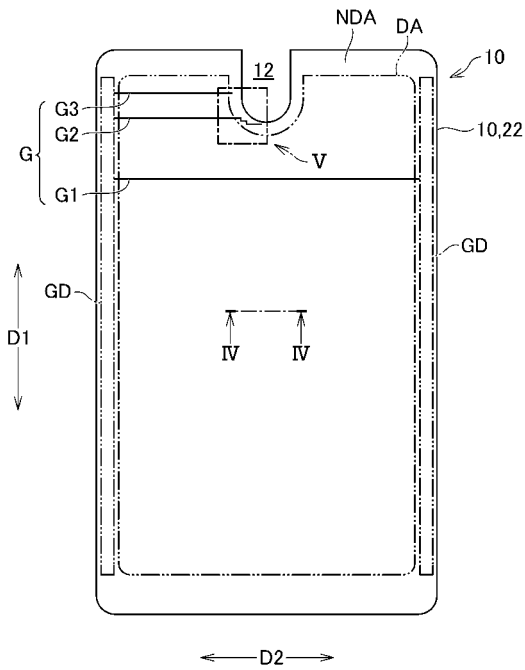
【 0 0 5 8 】

1 0 第 1 基板、1 2 切欠き、1 4 画素電極、1 6 共通電極、1 8 液晶層、2 2 第 2 基板、2 4 ブラックマトリクス層、2 6 カラーフィルタ層、2 8 タッチ電極、3 0 電界効果素子、3 2 チャネル層、3 4 ゲート絶縁膜、3 6 第 1 部分、3 8 第 2 部分、4 0 負荷素子、4 2 第 1 電極、4 4 第 2 電極、4 6 絶縁膜、4 8

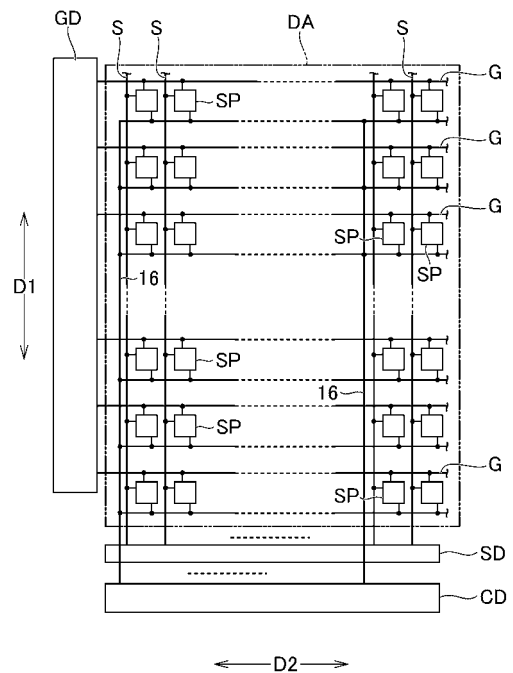
50

第3電極、S0コンタクト、AL1第1配向膜、AL2第2配向膜、BL照明装置、CD共通電極駆動回路、CS保持容量、D1第1方向、D2第2方向、DA表示領域、G走査線、G1第1グループの走査線、G2第2グループの走査線、G3第3グループの走査線、GD走査回路、IN1第1絶縁膜、IN2第2絶縁膜、IN3第3絶縁膜、M金属層、NDA非表示領域、OCオーバーコート層、OD1第1光学素子、OD2第2光学素子、S信号線、SD信号線駆動回路、SLスリット、SPサブピクセル、TFT薄膜トランジスタ、WDドレイン電極、WGゲート電極、WSソース電極。

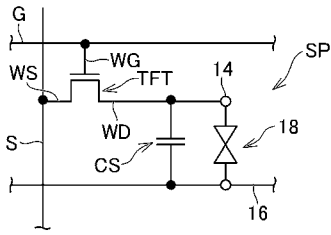
【図1】



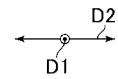
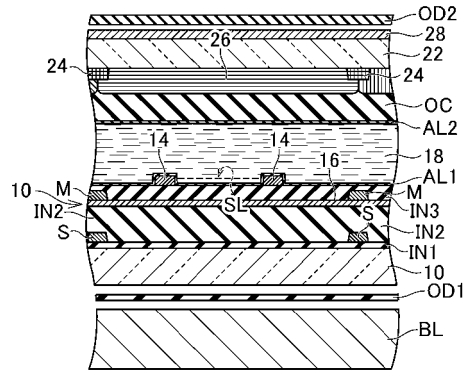
【図2】



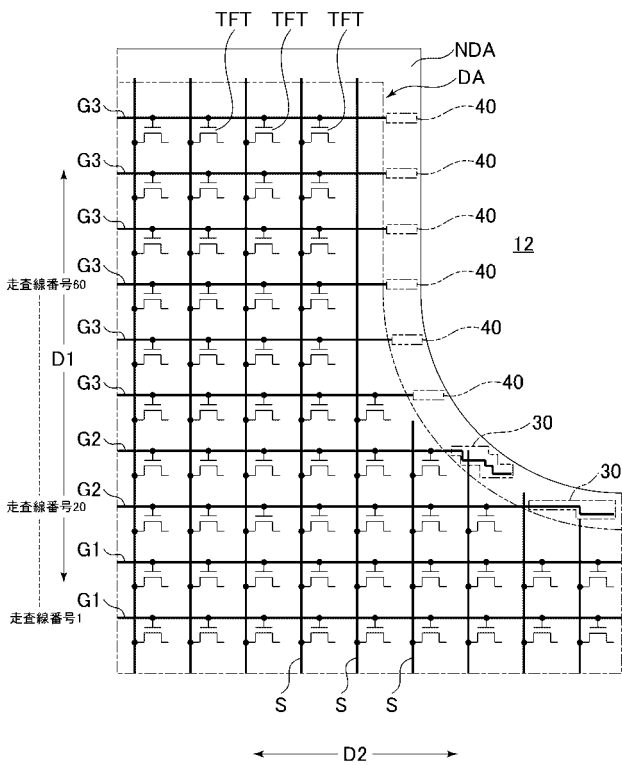
【 図 3 】



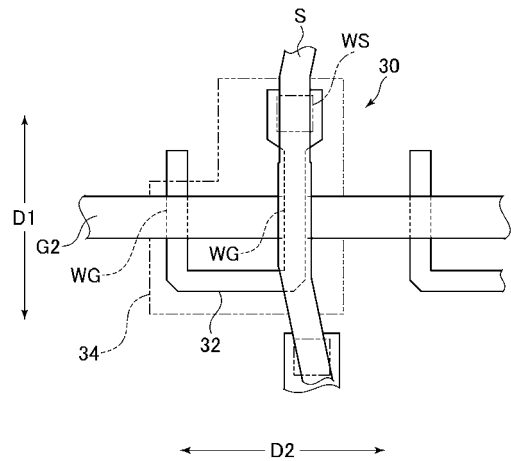
【 図 4 】



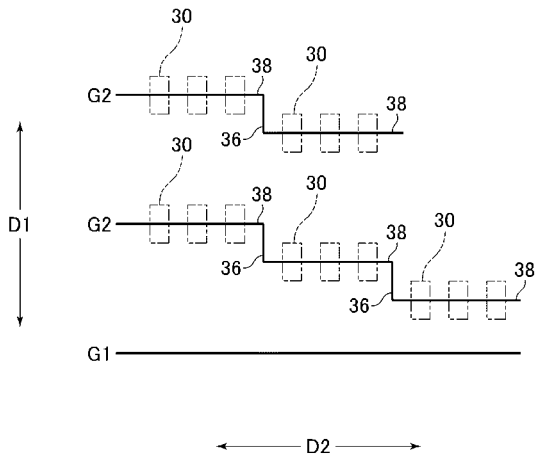
【 図 5 】



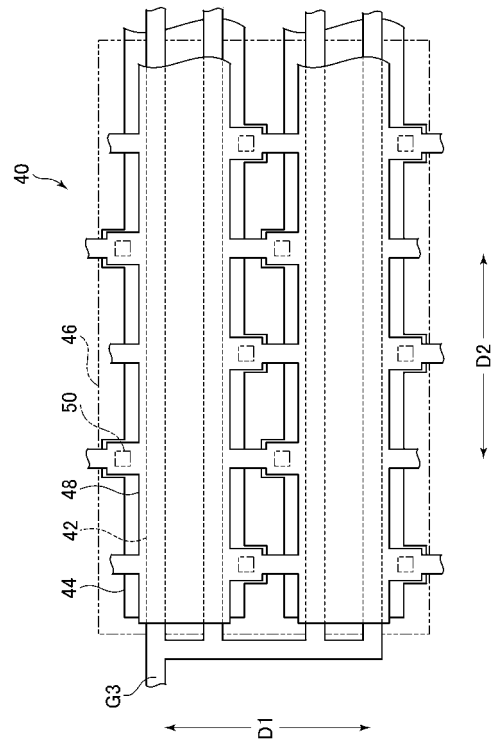
【 図 6 】



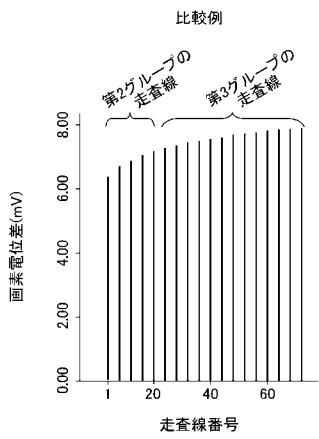
【 図 7 】



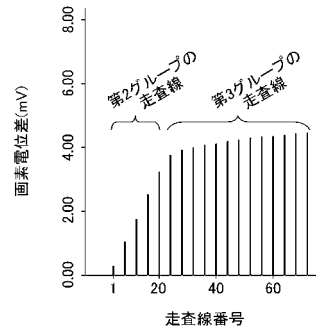
【 図 8 】



【 図 9 】



【 図 10 】



フロントページの続き

Fターム(参考) 2H092 GA14 GA17 GA62 JA24 JB05 JB22 JB69 NA01 PA06 PA08
PA09
2H189 AA17 CA11 JA14 LA08 LA10 LA14 LA15 LA28 LA30
2H192 AA24 AA32 BB13 EA22 EA32 EA43 FA02 FA37 FA39 GB61
GD02 JA33
5C094 AA03 BA03 BA27 BA43 DA05 DB02 EA10 ED15 FA01 FA02
FB12 FB14 FB18