

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017 年 1 月 19 日 (19.01.2017)



(10) 国际公布号
WO 2017/008329 A1

- (51) 国际专利分类号:
G09G 3/32 (2016.01)
- (21) 国际申请号: PCT/CN2015/085084
- (22) 国际申请日: 2015 年 7 月 24 日 (24.07.2015)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201510408061.6 2015 年 7 月 10 日 (10.07.2015) CN
- (71) 申请人: 北京大学深圳研究生院 (PEKING UNIVERSITY SHENZHEN GRADUATE SCHOOL) [CN/CN]; 中国广东省深圳市南山区西丽深圳大学城北大湾区, Guangdong 518055 (CN)。
- (72) 发明人: 林兴武 (LIN, Xingwu); 中国广东省深圳市南山区西丽深圳大学城北大湾区, Guangdong 518055 (CN)。 张盛东 (ZHANG, Shengdong); 中国广东省深圳市南山区西丽深圳大学城北大湾区, Guangdong 518055 (CN)。 冷传利 (LENG, Chuanli); 中国广东省深圳市南山区西丽深圳大学城北大湾区, Guangdong 518055 (CN)。 王翠翠 (WANG,

Cuicui); 中国广东省深圳市南山区西丽深圳大学城北大湾区, Guangdong 518055 (CN)。 孟雪 (MENG, Xue); 中国广东省深圳市南山区西丽深圳大学城北大湾区, Guangdong 518055 (CN)。 张敏 (ZHANG, Min); 中国广东省深圳市南山区西丽深圳大学城北大湾区, Guangdong 518055 (CN)。

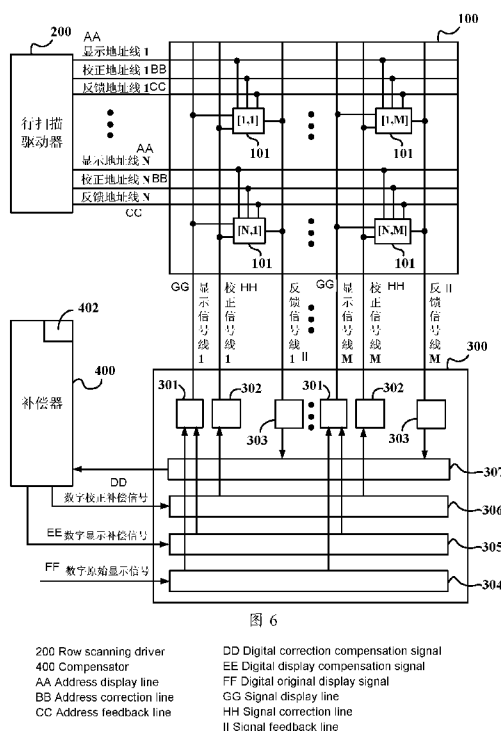
(74) 代理人: 深圳鼎合诚知识产权代理有限公司 (DHC IP ATTORNEYS); 中国广东省深圳市福田区金田路与福华路交汇处现代国际大厦 2201, Guangdong 518048 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

[见续页]

(54) Title: PERIPHERAL COMPENSATION SYSTEM AND METHOD FOR PIXEL MATRIX, AND DISPLAY SYSTEM

(54) 发明名称: 一种像素矩阵的外围补偿系统、方法和显示系统



(57) Abstract: Provided are a peripheral compensation system and method for a pixel matrix (100), and a display system. The peripheral compensation system comprises: a row scanning driver (200), a compensator (400) and a column driver (300), wherein the column driver (300) comprises a display signal generation module (301), and the display signal generation module (301) comprises a first digital-to-analogue conversion module (301) having a gamma correction function, a second digital-to-analogue conversion module (302) and a first analogue addition module (303). Therefore, while performing precise gamma correction on a digital original signal, the peripheral compensation system has a simple structure, and the number of bits of the first digital-to-analogue conversion module is small; and a correction operation can also be performed during the display of a display system, so that the refresh frequency of compensation information can be increased to the maximum extent.

(57) 摘要: 提供了一种像素矩阵 (100) 的外围补偿系统、方法和显示系统。外围补偿系统包括: 行扫描驱动器 (200)、补偿器 (400)、列驱动器 (300), 列驱动器 (300) 包括显示信号产生模块 (301), 显示信号产生模块 (301) 包括具有伽马校正功能的第一数模转换模块 (301)、第二数模转换模块 (302) 和第一模拟加法模块 (303)。因此, 在对数字原始信号进行了精确伽马校正的同时, 结构简单, 第一数模转换模块的位数低, 还可以在显示系统显示的时候进行校正操作, 从而可以极大限度的增加补偿信息的刷新频率。



(84) **指定国** (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ,

CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

一种像素矩阵的外围补偿系统、方法和显示系统

技术领域

本发明涉及显示技术领域，尤其涉及像素矩阵的外围补偿系统、方法和显示系统。

背景技术

有机发光二极管（Organic Light-Emitting Diode, OLED）因具有高亮度、高发光效率、宽视角和低功耗等优点，近年来被人们广泛研究，并被迅速应用到新一代的显示系统当中。有机发光二极管的驱动方式分为无源矩阵驱动（Passive Matrix OLED, PMOLED）和有源矩阵驱动（Active Matrix OLED, AMOLED）两种。无源矩阵驱动的方式虽然成本低廉，但是存在交叉串扰现象因而不能实现高分辨率的显示，另外，无源矩阵驱动电流大，会降低有机发光二极管的使用寿命。相比之下，有源矩阵驱动的方式是在像素矩阵的每个像素单元上设置数目不同的晶体管作为电流源，从而避免了交叉串扰，实现了高分辨的显示，另外有源矩阵驱动电流又较小，功耗较低，使有机发光二极管的寿命增加。

其中一种有源矩阵驱动的像素单元是两薄膜场效应晶体管（Thin Film Transistor, TFT）结构，该像素单元包括驱动晶体管、显示开关晶体管、存储电容和有机发光二极管。显示开关晶体管响应来自显示地址线的信号，采样来自显示信号线的信号。存储电容在显示开关晶体管关断后保存所采样的显示信号线的信号电压。驱动晶体管在给定的发光期间根据存储电容所保留的输入电压来供应输出电流。有机发光二极管通过来自驱动晶体管的输出电流来发出其亮度与显示信号线的信号相称的光。根据薄膜场效应晶体管的电压电流公式，驱动电流 I_{DS} 可以表示为：

$$I_{DS} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_G - V_{OLED} - V_{TH})^2 \dots \dots (1)$$

其中， I_{DS} 为驱动晶体管的漏极流向源极的漏极电流， μ_n 为薄膜场效应晶体管的有效迁移率， C_{ox} 为薄膜场效应晶体管单位面积的栅电容， W 为薄膜场效应晶体管的有效沟道宽度， L 为薄膜场效应晶体管的有效沟道长度， V_G 为薄膜场效应晶体管的栅极电压， V_{OLED} 是有机发光二极管上的偏置电压， V_{TH} 为薄膜场效应晶体管的阈值电压， V_{OLED} 与有机发光二极管 OLED 的阈值电压相关。

上述的有源矩阵驱动的像素单元的两薄膜场效应晶体管的结构电路，这种电路虽然简单，但随着时间的推移，其中的元件会老化，尤其是驱动晶体管和有机发光二极管会老化，直接后果就是驱动晶体管和有机

机发光二极管的阈值电压都会产生漂移，并且像素矩阵中各处像素单元的驱动晶体管 and 有机发光二极管的阈值电压漂移情况也是不一样的；另外，因薄膜场效应晶体管采用多晶硅材料制成，从而会导致像素矩阵中各个像素单元的驱动晶体管的阈值电压 V_{TH} 具有不均匀性的特性；以上两种情况，根据公式（1）可知，驱动电流 I_{DS} 这时都会发生改变，这样就会造成像素矩阵显示的不均匀性。

针对这种驱动晶体管和有机发光二极管的阈值电压漂移和不均匀性带来的像素矩阵显示不均匀的问题，目前出现两类对阈值电压进行补偿的方法：像素单元内补偿和外围补偿。像素单元内补偿就是通过复杂的像素单元电路结构为有机发光二极管提供一个恒定的驱动电流，这种方法的电路不仅复杂，而且电路复杂又进一步会造成像素单元的开口率和良率下降；外围补偿相比来说可以采用更简单的像素单元结构，因此更适合产业化应用。

发明内容

本申请提供一种像素矩阵的外围补偿系统、方法和显示系统，实现了精确的像素单元的外围补偿。

根据本申请的第一方面，本申请提供一种像素矩阵的外围补偿系统，所述像素矩阵 100 包括 N 行 M 列像素单元 101、N 行显示地址线和 M 列显示信号线，像素单元 101 和各自的显示地址线、显示信号线分别连接，N 和 M 均为正整数，所述外围补偿系统包括：

行扫描驱动器 200，用于通过显示地址线向像素矩阵 100 发送显示地址信号以在一帧内依次选通各行像素单元 101；

补偿器 400，包括储存补偿信息的补偿信息储存模块 402，所述补偿器 400 用于向列驱动器 300 发送数字显示补偿信号，当某行像素单元 101 被显示地址信号选通时，补偿器 400 发出相对应的所述数字显示补偿信号以补偿像素单元 101 图像视频信息显示不精确的问题；

列驱动器 300，包括显示信号产生模块 301，用于向像素矩阵 100 发送模拟显示信号，所述模拟显示信号用于为像素单元 101 的显示信号线提供包含图像视频信息的显示数据；所述显示信号产生模块 301 包括具有伽马校正功能的第一数模转换模块 311、第二数模转换模块 312 和第一模拟加法模块 313；当某行像素单元 101 被显示地址信号选通时，第一数模转换模块 311 接收该行数字原始显示信号，输出经过伽马校正的模拟原始显示信号给第一模拟加法模块 313；第二数模转换模块 312 接收所述相对应的数字显示补偿信号，输出模拟显示补偿信号给第一模拟加法模块 313；第一模拟加法模块 313 将模拟显示补偿信号和经过伽马校正的模拟原始显示信号进行模拟加法运算后输出模拟显示信号给

像素矩阵 100；还包括第一移位暂存器 304 和第二移位暂存器 305，所述第一移位暂存器 304 接收外界的数字原始显示信号并转递给第一数模转换模块 311，所述第二移位暂存器 305 接收补偿器 400 发出的数字显示补偿信号并转递给第二数模转换模块 312。

根据本申请的第二方面，本申请提供一种像素矩阵的外围补偿系统的方法，所述像素矩阵 100 包括 N 行 M 列像素单元 101、N 行显示地址线和 M 列显示信号线，像素单元 101 和各自的显示地址线、显示信号线分别连接，N 和 M 均为正整数，所述方法包括：

一帧时间由 N 个相等的行时间 $t_1 \sim t_N$ 组成，每行像素单元 101 依次进行显示操作，其中第 n 行像素单元 101 在 t_n 时进行显示操作：此行像素单元 101 被显示地址信号选通，接收模拟显示信号，其中 n 为小于或等于 N 的正整数；

在 t_i 时，第 i 行像素单元 101 进行显示操作，若此时外围补偿系统不是处于反馈检测状态，则 t_i 时，第 $i+k$ 行像素单元 101 进行校正操作：此行像素单元 101 被写入模拟校正信号；第 t_{i+1} 到 t_{i+k-1} 时间内，外围补偿系统进入反馈检测状态：将第 $i+k$ 行像素单元 101 中包含老化信息的反馈信号反馈至补偿信号检测模块 303；其中 i 和 k 都为正整数，且 $i+k$ 小于或等于 N。

根据本申请的第三方面，本申请提供一种显示系统，包括上述的外围补偿系统以及像素矩阵 100。

用外围补偿方法的显示系统需要在显示屏驱动芯片为每个像素单元做补偿，由于原有模拟显示信号是带有伽马校正的，补偿之后是需要保留本来的伽马校正，现有技术是用数字的方法将数字原始显示信号和数字显示补偿信号先相加再经线性的数模转换模块做数模转换，用数字的方法实现伽马校正。这种数字实现伽马校正的方法，相对传统模拟方法，所需要每个阶的电压非常小。也就是需要数模转换模块的位数比较多，而且再多的位数也还是只能做出接近模拟数模转换的精度。本申请的外围补偿系统、方法和显示系统，由于引入了第一模拟加法模块和具有伽马校正功能的第一数模转换模块，使得对数字原始信号进行了补偿的同时保持了精确的伽马校正，结构保持简单，同时第一数模转换模块的位数也低；

外围补偿系统的方法一般是需要反馈检测像素单元的老化信息，接着再对数字原始显示信号做补偿。现有技术反馈检测的操作一般是在帧与帧之间空白时段进行。因为帧与帧之间空白时段相对显示时段要少很多，导致补偿信息刷新的频率就比较慢。本申请的外围补偿系统、方法和显示系统，可以实现在帧中间，显示系统显示的时候进行校正操作，

这样就可以极大限度的增加补偿信息的刷新频率，或者保持跟现有技术一样的刷新频率让多列共享一个补偿信号检测模块。

附图说明

图 1 为本申请的第一种实施例中显示系统的一种结构示意图；
图 2 为本申请的第一种实施例中像素单元的一种结构示意图；
图 3 为本申请的一种实施例中各像素单元的老化程度分布图；
图 4 为本申请的第一种实施例中显示信号产生模块的一种结构示意图；
图 5 为本申请的第一种实施例中外围补偿系统的一种时序图；
图 6 为本申请的第二种实施例中显示系统的一种结构示意图；
图 7 为本申请的第二种实施例中像素单元的四种结构示意图；
图 8 为本申请的第二种实施例中校正信号产生模块的二种结构示意图；
图 9 (a)、(b) 和 (c) 为本申请的第二种实施例中外围补偿系统的一种时序图；
图 9 (d) 和 (e) 为本申请的第二种实施例中外围补偿系统的另一种时序图；
图 10 为本申请的第三种实施例中显示系统的一种结构示意图；
图 11 为本申请的第三种实施例中像素单元的两两种结构示意图；
图 12 (a) 和 (b) 为本申请的第三种实施例中外围补偿系统的一种时序图。

具体实施方式

下面通过具体实施方式结合附图对本申请作进一步详细说明。

实施例一

在一个实施例中，请参考图 1，本实施例为显示系统，包括一像素矩阵 100 和此像素矩阵 100 的外围补偿系统（以下简称外围补偿系统）。

此像素矩阵 100 包括 N 行 M 列像素单元 101、N 行显示地址线和 M 列显示信号线，像素单元 101 和各自的显示地址线、显示信号线分别连接，N 和 M 均为正整数。图 1 只画了 4 个像素单元为例子，分别在位置 [1,1] 即第 1 行第 1 列，[N,1] 即第 N 行第 1 列，[1,M] 即第 1 行第 M 列，和 [N,M] 即第 N 行第 M 列。

像素单元 101 有多种电路，其中的一种电路结构可为图 2 中的电路，其包括驱动晶体管 Q1、显示开关晶体管 Q2、存储电容 C 和有机发光二极管 OLED。

显示开关晶体管 Q2 被来自显示地址线的显示地址信号选通以将来自显示信号线的显示信号发给驱动晶体管 Q1，存储电容 C 同时会将此模拟显示信号存储，以在一帧时间内在显示开关晶体管 Q2 被关断后仍然将稳定的模拟显示信号供给驱动晶体管 Q1，驱动晶体管 Q1 接收模拟显示信号来驱动有机发光二极管 OLED 发出与模拟显示信号相对应的光，这里模拟显示信号指的是包含图像视频的数据信号。

上述的驱动晶体管 Q1、显示开关晶体管 Q2 等晶体管，可以采用非晶硅、多晶硅、氧化物半导体、有机半导体、NMOS/PMOS 工艺或者 CMOS 工艺来制造。

返回参考图 1，此像素矩阵 100 外围补偿系统包括行扫描驱动器 200、补偿器 400 和列驱动器 300。

行扫描驱动器 200 用于通过显示地址线向像素矩阵 100 发送显示地址信号以在一帧内依次选通各行像素单元 101。

补偿器 400 包括储存补偿信息的补偿信息储存模块 402，用于向列驱动器 300 发送数字显示补偿信号，当某行像素单元 101 被显示地址信号选通时，补偿器 400 从补偿信息存储模块 402 中读取相对应行的补偿信息再计算数字显示补偿信号传到列驱动 300 里的第二移位暂存器 305，之后再传给显示信号产生模块 301，此数字显示补偿信号用于补偿像素单元 101 因原始状态不平均以及老化而产生的图像视频信息显示不精确的问题。像素单元 101 的原始状态是指驱动晶体管 Q1 和有机发光二极管 OLED 的原始阈值电压，以及有机发光二极管 OLED 的原始发光效率。像素单元 101 的老化是指像素单元 101 在使用之后，驱动晶体管 Q1 和有机发光二极管 OLED 的阈值电压发生飘移，以及有机发光二极管 OLED 的发光效率发生变化。当显示系统在正式使用前，补偿信息储存模块 402 储存的是各像素单元 101 的原始状态，在使用之后，外围补偿系统会根据各像素单元 101 使用后的老化情况更新补偿信息储存模块 402 里的补偿信息。补偿器 400 里的补偿信息储存模块 402 可以是一个，也可以是两个，还可以是两个以上的记忆体组成。如果补偿信息储存模块 402 是一个记忆体组成，那显示系统出厂时，此记忆体储存的是各像素单元 101 的原始状态，当使用后其会根据老化情况更新记忆体内的补偿信息；如果是两个或以上，那像素单元 101 各种原始状态和各种老化情况可以选择性地分开储存，如其中一个记忆体储存驱动晶体管 Q1 相关的补偿信息，另一个记忆体储存发光二极管 OLED 相关的补偿信息；又或者一个记忆体储存像素单元 101 的原始状态信息，另一个记忆体储存像素单元 101 使用后的老化数据等等。这里的记忆体指的是存储介质。

有关各像素单元 101 的原始状态的数字补偿信息其中一种产生方法是在显示系统出厂时让测试用的驱动芯片向所有像素单元 101 写入

相同的电压，再用光学仪器来检测显示系统所有像素单元 101 的发光亮度，把亮度上的不平均转换成补偿信息储存于补偿器 400 里的补偿信息储存模块 402。这时被存储的补偿信息就表征了各像素单元 101 的原始状态，因为各像素单元 101 亮度上的不平均表征了像素单元 101 原始状态的不平均。

在显示系统使用后提取老化信息的一种方法是在外围补偿系统内根据每个像素单元 101 的使用情况计算老化程度，比如利用各像素单元 101 发光的时间和显示的灰阶（也就是亮度）计算老化程度，再更新补偿信息储存模块 402 里的补偿信息。老化相关的补偿信息是通过像素单元 101 老化特性曲线进行拟合和数学建模而得到；即像素单元 101 的使用情况对应一个补偿信息的值，这个补偿信息的值又对应一个数字显示补偿信号，这样补偿器 400 通过根据像素单元 101 的使用情况来更新补偿信息储存模块 402 内的补偿信息。

请参考图 3，为像素单元 101 的补偿信息的储存方式，图中横坐标表示不同的像素单元 101，总共有 $N \times M$ 个像素单元 101，为了便于画图，图 3 只画出了 7 个像素单元 101 的绝对补偿信息。图 3 的纵坐标为各像素单元 101 的绝对数字补偿信息值，需要说明的是，像素单元 101 的绝对补偿信息的物理量表征可以是驱动晶体管 Q1 的阈值电压，和/或有机发光二极管 OLED 的阈值电压，和/或有机发光二极管 OLED 的发光效率。为了节省储存空间，补偿信息储存模块 402 只储存各像素单元的绝对补偿信息值与参考补偿信息值之间的差值。图 3 中显示了图中编号为 1 的像素单元 101 和参考补偿信息值之间的差值 ΔV ，在一个较优的实施例中，参考补偿信息值可以是低于像素单元 101 的绝对补偿信息的最低值。参考补偿信息值是根据整体所有像素单元的绝对补偿信息值已拟定的，当整体像素单元的绝对补偿信息值变大是，参考补偿信息值也会跟着变大。

请返回参考图 1，列驱动器 300 包括第一移位暂存器 304 和第二移位暂存器 305，以及显示信号产生模块 301。第一移位暂存器 304 一个信号一个信号地接收数字原始显示信号，相应地，第二移位暂存器 305 也是一个信号一个信号地接收数字显示补偿信号，第一移位暂存器 304 和第二移位暂存器 305 接收完一行像素单元 101 的数字原始显示信号和数字显示补偿信号之后会并行输出给显示信号产生模块 301，显示信号产生模块 301 接收到上述数字原始显示信号和数字显示补偿信号后，再向像素矩阵 100 发送模拟显示信号，此模拟显示信号用于为像素单元 101 的显示信号线提供包含精确图像视频信息的显示数据。

请参考图 4，显示信号产生模块 301 包括具有伽马校正功能的第一数模转换模块 311、第二数模转换模块 312 和第一模拟加法模块 313；当

某行像素单元 101 被显示地址信号选通时，第一数模转换模块 311 接收数字原始显示信号，输出经过伽马校正的模拟原始显示信号给第一模拟加法模块 313，其中第一数模转换模块 311 对数字原始显示信号的处理，即数模转换和伽马校正为同一过程，即不是对数字原始显示信号先进行伽马校正再进行数模转换，也不是对数字原始显示信号先进行数模转换再进行伽马校正；第二数模转换模块 312 接收数字显示补偿信号，输出模拟显示补偿信号给第一模拟加法模块 313；第一模拟加法模块 313 将模拟显示补偿信号和经过伽马校正的模拟原始显示信号进行模拟加法运算后输出模拟显示信号给像素矩阵 100。若显示系统可以直接提供模拟显示补偿信号给第一加法模块 313 的话，则显示系统可以不包括第二数模转换模块 312。

请参照图 5，为本实施例中外围补偿系统的显示地址线和显示信号线的波形图。不妨令 $N=768$ ， $M=1024$ 。显示地址线 1 是用来选通第 1 行像素单元 101 的显示地址线，显示地址线 2 是用来选通第 2 行像素单元 101 的显示地址线，依此类推，显示地址线 N 是用来选通第 N 行像素单元 101 的显示地址线。图 5 中显示信号线上的信号 L1 是代表第 1 行所有像素单元 101 被补偿后的模拟显示信号，即信号 L1 包含了显示信号线 1 到显示信号线 M 的模拟显示信号。在本实施例中，像素单元 101 是在显示地址线为高电平时选通。行扫描驱动器 200 通过显示地址线 1~N，从第 1 行开始，按顺序依次选通各行像素单元 101，当选通完最后一行像素单元 101，即第 N 行像素单元 101 之后，会是一段帧与帧之间的空白时期，之后又开始扫下一帧的第一行像素单元 101。行扫描驱动器 200 每选通一行像素单元 101，列驱动器 300 就会把相应的被补偿过的模拟显示信号传输到显示信号线上。显示信号线上的模拟显示信号至少会维持到行扫描驱动器 200 截止选通该行像素单元 101 为止。

实施例二

本实施例公开了一种外围补偿系统。

为了进一步提高模拟显示信号的精确性，本实施例中列驱动器 300 还发出一模拟校正信号给像素矩阵 100，像素矩阵 100 发出一反馈信号，用来更新补偿器 400 中存储的补偿信息，再根据补偿信息计算出一数字显示补偿信号，通过更新的补偿信息计算得到的数字显示补偿信号比实施例一中的数字显示补偿信号更为精确。

请参照图 6，为本实施例中显示系统包括像素矩阵 100 和此像素矩阵 100 的外围补偿系统。

像素矩阵 100 包括 N 行 M 列像素单元 101、N 行显示地址线、N 行校正地址线、N 行反馈地址线、M 列显示信号线、M 列校正信号线和 M

条反馈信号线，像素单元 101 和各自的显示地址线、校正地址线、反馈地址线、显示信号线、校正信号线和反馈信号线分别连接，其中 N 和 M 均为正整数。

像素单元 101 有多种电路结构。以下试举几例。

如图 7 (a) 所示，像素单元 101 包括驱动晶体管 Q1、显示开关晶体管 Q2、校正开关晶体管 Q3、反馈开关晶体管 Q4、存储电容 C 和有机发光二极管 OLED。

校正开关晶体管 Q3 被从校正地址线传送过来的校正地址信号选通以将来自校正信号线的模拟校正信号发给驱动晶体管 Q1，存储电容 C 同时会将此模拟校正信号存储，以在模拟校正信号被模拟显示信号覆盖之前和在校正开关晶体管 Q3 被关断后仍然将稳定的模拟校正信号供给驱动晶体管 Q1，随后列驱动 300 的反馈信号检测模块 303 会赋予反馈信号线一电压，该电压会设置低于发光二极管 OLED 的阈值电压，以确保发光二极管 OLED 没有被导通，反馈开关晶体管 Q4 被从反馈地址信号线上的反馈地址信号选通时，该电压会输入到发光二极管 OLED 的阳极，关闭发光二极管 OLED。此时，由于外围补偿系统知道驱动晶体管 Q1 的栅源电压差，会预期该像素单元 101 会反馈某个预期电流，驱动晶体管 Q1 管导通，发光二极管 OLED 截至，驱动晶体管 Q1 的反馈电流会经反馈开关晶体管 Q4 流到反馈信号线，再被列驱动器 300 的补偿信号检测模块 303 接收。补偿信号检测模块 303 会将反馈电流和预期的电流做比较。反馈开关晶体管 Q4 会持续被导通直至补偿信号检测模块 303 完成反馈电流检测。检测像素单元 101 的发光二极管 OLED 阈值电压可以用以下方法，通过校正地址线和校正信号线输入低于驱动晶体管 Q1 的阈值电压截至驱动晶体管 Q1，再通过反馈地址线选通反馈开关晶体管 Q4，补偿信号检测模块 303 可以通过反馈信号线赋予发光二极管 OLED 一固定电流，再检测反馈信号线上的电压计算发光二极管 OLED 的老化程度，或阈值电压漂移程度，也可以估算发光效率的变化。反馈信号检测完毕之后，显示开关晶体管 Q2 被来自显示地址线的显示地址信号选通以将来自显示信号线的模拟显示信号发给驱动晶体管 Q1，存储电容 C 同时会将此模拟显示信号存储，以在一帧时间内在显示开关晶体管 Q2 被关断后仍然将稳定的模拟显示信号供给驱动晶体管 Q1，驱动晶体管 Q1 接收模拟显示信号来驱动有机发光二极管 OLED 发出与模拟显示信号相对应的光。

图 7 (b) 的有机发光二极管 OLED 的阳极与电源相连，阴极与驱动晶体管 Q1 的第一极相连，图 7 (b) 中经反馈信号线传递出来的反馈信号包括了驱动晶体管 Q1 和有机发光二极管 OLED 两者的老化信息，图中晶体管 Q4 为 P 型晶体管，晶体管 Q5 为 N 型晶体管，从而反馈地址

信号使晶体管 Q4 导通，晶体管 Q5 闭合。图 7 (d) 与图 7 (b) 相比，图 7 (d) 中晶体管 Q4 和 Q5 还可以同时为 N 型晶体管，此时晶体管 Q4 的栅极接到反馈地址线，而晶体管 Q5 的栅级接到一根“额外反馈地址线”，反馈地址线中信号为反馈地址信号，而额外反馈地址线中的信号为与反馈地址信号相反的信号，即当反馈地址线为高时，额外反馈地址线为低，当反馈地址线为低时，额外反馈地址线为高。

与图 7 (a) 相比，图 7 (c) 的反馈开关晶体管 Q4 的一极不是连接到有机发光二极管 OLED 的阳极，而是连接到一感光元件 GL 上，感光元件 GL 用于将有机发光二极管 OLED 的光信号转变为电信号，图 7 (c) 中经反馈信号线传递出来的反馈信号包括了驱动晶体管 Q1 和有机发光二极管 OLED 两者的老化信息。

像素单元 101 的电路结构可以有多种，比如像素单元 101 可以有不同的控制线，而不局限于只连接显示地址线，校正地址线和反馈地址线；显示地址线，校正地址线和反馈地址线上的信号波形可以有各种形状，也不局限于方波。

请返回参考图 6，与实施例一相比，列驱动器 300 还包括校正信号产生模块 302 和补偿信号检测模块 303，以及第三移位暂存器 306 和第四移位暂存器 307。

校正信号产生模块 302 向像素矩阵 100 发送模拟校正信号，模拟校正信号用于驱动像素单元 101 产生一包含老化信息的反馈信号。这里的模拟校正信号可以为一固定电压信号，也可以为一固定电压信号与数字校正补偿信号相结合而形成的信号，根据模拟校正信号的类型不同，相应地，校正信号产生模块 302 有不同的实现方式。

当模拟校正信号为一固定电压信号时，校正信号产生模块 302 包括一产生固定电压信号作为模拟校正信号的模块。由于模拟校正信号是一固定信号，因此像素单元 101 会因老化程度或原始状态的不同而反馈不同大小的电压或电流信号，此不同大小的电压或电流信号即为反馈信号，可以表征像素单元 101 的老化程度。

当模拟校正信号为一固定电压信号与数字校正补偿信号相结合而形成的信号时，像素单元 101 会反馈一个预期的信号（电压或电流）。校正信号产生模块 302 有几种实现方式，以下试举两种：

请参考图 8 (a)，是校正信号产生模块 302 的一种实现方式，此时其产生的模拟校正信号为一固定电压信号与数字校正补偿信号相结合而形成的信号。校正信号产生模块 302 包括第三数模转换模块 321；第三数模转换模块 321 分别输入数字校正补偿信号和参考电压，经处理后输出模拟校正信号，其中参考电压为一设定的固定电压。因此当模拟校正信号为一固定电压信号与数字校正补偿信号相结合而形成的信号时，

此模拟校正信号实际上也就是上述固定电压信号经过数字校正补偿信号的补偿后而形成的一个信号。

请参考图 8 (b), 是校正信号产生模块 302 的另一种实现方式, 此时其产生的模拟校正信号为一固定电压信号与数字校正补偿信号相结合而形成的信号。校正信号产生模块 302 包括第三数模转换模块 321 和第二模拟加法模块 322; 第三数模转换模块 321 输入数字校正补偿信号, 经处理后输出模拟校正补偿信号给第二模拟加法模块 322, 第二模拟加法模块 322 还输入一固定电压信号, 第二模拟加法模块 322 将模拟校正补偿信号与固定电压信号进行加法运算后输出模拟校正信号。

补偿信号检测模块 303 的输入端与反馈信号线相连, 输出端连到第四移位暂存器 307 的输入端, 第四移位暂存器 307 的输出端与补偿器 400 相连。补偿信号检测模块 303 当某行像素单元 101 被反馈地址信号选通时, 接收此行像素单元 101 发出的反馈信号, 从反馈信号中得出老化信息, 并用该老化信息更新补偿信息存储模块 402 存储的此行像素单元 101 的补偿信息。补偿信号检测模块 303 可以通过模拟电流比较模块、模拟电压比较模块或模数转换模块这三者中的任一者来实现。情况一, 例如当补偿信号检测模块 303 用模拟电流比较模块来实现时, 校正操作时模拟校正信号是经过补偿的固定电压, 不妨令像素单元 101 是图 7(a)所示的电路结构, 像素单元会反馈一个预期的反馈信号, 补偿信号检测模块 303 将接收到的反馈信号(电流)与一预期信号(参考电流)比较来判断像素单元 101 的老化程度(驱动晶体管 Q1 老化程度)是否发生变化, 并将结果通过第四移位暂存器 307 输出到补偿器 400 以更新补偿信息存储模块 402 中存储的补偿信息。图 7(a)的电路结构令从像素单元 101 反馈到补偿信号检测模块 303 的电流只流经像素单元 101 的驱动晶体管 Q1, 那反馈信号(电流)就只能反映驱动晶体管的老化程度; 如果像素单元 101 是其他电路结构而该结构可以令反馈信号(电流)流经驱动晶体管 Q1 和有机发光二极管 OLED, 那么反馈信号(电流)就同时反映了驱动晶体管 Q1 和有极发光二极管 OLED 的综合老化程度。情况 2, 当补偿信号检测模块 303 用模拟电压比较模块来实现时, 不妨令像素单元 101 是图 7(a)所示的电路结构, 可以先从校正信号线写入信号截止导通驱动晶体管 Q1, 补偿信号检测模块 303 还包括参考电流产生模块(无图), 其产生一固定电流通过反馈信号线流入反馈地址信号线所选通的像素单元 101, 让固定电流流经有机发光二极管 OLED 后再检测反馈信号线上的电压, 来计算有机发光二极管 OLED 的老化程度。情况 3, 当补偿信号检测模块 303 用模数转换模块实现时, 不妨令像素单元 101 是图 7(a)所示的电路结构, 如果写入像素单元 101 的模拟校正信号是没有经过补偿的固定电压, 校正操作时, 补偿信号检测模块 303 将接收到的为电流

信号或电压信号的反馈信号通过模数转换之后得到像素单元 101 的老化信息，再经第四移位暂存器 307 输出给补偿器 400 以更新补偿信息存储模块 402 中存储的补偿信息。补偿信号检测模块 303 的实现方式除了以上 3 种情况，也可以是按实际需要混合搭配电流比较模块、电压比较模块或模数转换模块等。

行扫描驱动器 200，在实施例一的基础上，还用于按照设定的时序通过校正地址线向像素矩阵 100 发送校正地址信号以在一帧或多帧时间内按照设定顺序选通各行像素单元 101；当某行像素单元 101 被校正地址信号选通时，该行像素单元 101 通过校正信号线接收相对应的模拟校正信号，在模拟校正信号驱动该行像素单元 101 产生的反馈信号消失前，行扫描驱动器 200 通过反馈地址线向像素矩阵 100 发送反馈地址信号以选通此行像素单元 101 将其产生的反馈信号发出给列驱动器 300，具体地，发送列驱动器 300 的补偿信号检测模块 303，其中反馈信号包含该行像素单元 101 的老化信息。

本实施例的补偿器 400 用于接收补偿信号检测模块 303 的检测结果，并根据该结果更新其存储的补偿信息；当某行像素单元 101 被显示地址信号选通时，补偿器 400 取出其存储的此行像素单元 101 的补偿信息并根据该补偿信息计算一补偿信号（数字显示补偿信号或数字校正补偿信号）或不经计算直接将储存的补偿信号经第二移位暂存器 305 发送给列驱动器 300 的显示信号产生模块 301，列驱动器 300 的显示信号产生模块 301 接收此补偿信号后将其与数字原始显示信号相结合以形成模拟显示信号；当某行像素单元 101 被校正地址选通时，补偿器 400 取出其存储的此行像素单元 101 的补偿信息并根据该补偿信息计算一数字校正补偿信号或不经计算直接将储存的数字校正补偿信号经第三移位暂存器 306 发送给列驱动器 300 的校正信号产生模块 302，列驱动器 300 的校正信号产生模块 302 接收此数字校正补偿信号后将其与固定电压相结合以形成模拟校正信号。

相应地，本实施例还公开了一种像素矩阵的外围补偿系统的方法，包括以下步骤：

每行像素单元 101 依次进行显示操作，其中第 n 行像素单元 101 在 t_n 时进行显示操作：此行像素单元 101 被显示地址信号选通，接收模拟显示信号，其中 n 为小于或等于 N 的正整数；

在 t_i 时，第 i 行像素单元 101 进行显示操作，若此时外围补偿系统不是处于反馈检测状态，则 t_i 时，第 $i+k$ 行像素单元 101 进行校正操作：此行像素单元 101 被写入模拟校正信号；第 t_{i+1} 到 t_{i+k-1} 时间内，外围补偿系统进入反馈检测状态：将第 $i+k$ 行像素单元 101 中包含老化信息的反馈信号反馈至补偿信号检测模块 303；其中 i 和 k 都为正整数，且 $i+k$

小于或等于 N 。

另外，第 t_{i+1} 到 t_{i+k-1} 时间内：

第 $i+1$ 行到第 $i+k-1$ 行的像素单元 101 如常进行显示操作，被写入模拟显示信号；

第 $i+1+k$ 行到第 $i+k-1+k$ 行的像素单元 101 被写入模拟校正信号，所述模拟校正信号不用于驱动像素单元 101 产生一包含老化信息的反馈信号；或者第 $i+1+k$ 行到第 $i+k-1+k$ 行的像素单元 101 不写入模拟校正信号。

需要说明的是，可以将一帧时间依据像素单元 101 的行数而划分成若干相等的行时间 $t_1 \sim t_N$ 。当 t 的下标为负数时，表明此时其代表的时间位于为此帧与前帧之间的空白时段内，比如若某帧的第 1 个行时间为 t_1 ，则 t_{-1} 、 t_{-2} 、 t_{-3} 代表的时间位于此帧与前帧的空白时段内，且分别比 t_1 超前 1、2、3 个行时间；当 t 的下标大于 N 时，表示此时其代表的时间位于此帧与后帧之间的空白时间，比如若某帧的第 N 个行时间（最后 1 个行时间）为 t_N ，则 t_{N+1} 、 t_{N+2} 、 t_{N+3} 代表的时间位于此帧与后帧的空白时段内，且分别比 t_N 滞后 1、2、3 个行时间。

下面结合图 9 进一步说明。

图 9 (a)、(b) 和 (c) 是本实施例外围补偿系统的一种时序图，其中图 9 (a) 所示的时序图为显示操作的时序图，图 9 (b) 和 (c) 所示的时序为校正操作的时序图。需要说明的是，图中 C 表示是模拟校正信号，C 后面加上序号后，表示的是此序号行的像素单元 101 的模拟校正信号，比如 C1 表示的是第 1 行的像素单元 101 的模拟校正信号，同样，F 表示的是反馈信号，F 后面加上序号后，表示的是此序号行的像素单元 101 的反馈信号，比如 F1 表示的是第 1 行的像素单元 101 的反馈信号；图 9 (a)、(b) 和 (c) 中不妨令 $N=768$ ， $M=1024$ 。

如图 9 (a) 所示，本实施例的显示操作部分是和实施例 1 的显示操作部分是一样的。行扫描驱动器 200 在一帧的时间内依次逐行选通像素单元 101，每选通一行的像素单元 101，列驱动器 300 的显示信号产生模块 301 就会产生一补偿过的模拟显示信号给显示信号线，以将模拟显示信号写入被选通此行的像素单元 101。当最后一行像素单元 101 完成显示操作后，会有一段帧与帧之间的空白时间，之后又到了下一帧的第一行像素单元 101 开始进行显示操作。

由于本实施例的显示地址线，校正地址线和反馈地址线是各自独立的；显示信号线，校正信号线和反馈信号线也是各自独立的，如图 6 所示。这样的话，校正操作也是可以与显示操作独立分开进行。图 9 (b) 所示的校正操作部分记载了校正地址线和校正信号线的波形。若外围补偿系统对第 i 行的像素单元 101 进行显示操作，如果此刻外围补偿系统

处于反馈检测状态,则第 $i+k$ 行的像素单元 101 就不会做任何校正操作,否则的话,外围补偿系统会对第 $i+k$ 行的像素单元进行校正操作,在 $i+1$ 行至 $i+k-1$ 行的时间里做反馈检测,外围补偿系统会在期间处于反馈检测状态,其中 i 、 k 均为正整数,且 $i+k$ 小于或等于 N 。

图 9 (a)、(b) 和 (c) 为 $k=3$ 的情况。这时校正操作包括以下步骤,首先先通过行扫描驱动器 200 的校正地址线选通第 $i+3$ 行的像素单元 101,列驱动器 300 的校正信号产生模块 302 就会发出第 $i+3$ 行像素单元 101 相对应的模拟校正信号到与之相连的校正信号线,当行扫描驱动器 200 通过校正地址线截止选通第 $i+3$ 行的像素单元 101 时,外围补偿系统随即进入反馈检测状态,行扫描驱动器 200 通过反馈地址线选通第 $i+3$ 行的像素单元 101,第 $i+3$ 行的像素单元 101 开始反馈反馈信号到反馈信号线,列驱动器 300 的补偿信号检测模块 303 接受和检测反馈信号,检测结果会在反馈检测状态结束之前并行存入第四移位暂存器 307,再一个个串行传给补偿器 400 更新补偿信息储存模块 402 中的补偿信息。存储到补偿信息储存模块 402 的补偿信息可以在储存之前经信号处理之后再存到补偿信息储存模块 402,或者在从补偿信息储存模块 402 中读取补偿信息时再做信号处理,处理完之后再转递给显示信号产生模块 301 或校正信号产生模块 302。其中一个补偿信号处理是从整个帧的检测结果里计算出参考补偿信息值,再把每个像素单元 101 的相对补偿信息存入补偿信息储存模块 402。采用参考补偿信息值的一个目的是尽可能的让储存在补偿信息储存模块 402 的相对补偿信息不会溢出。

由于校正操作总是在显示操作后 k 行的位置,也就是第 i 行像素单元 101 在做显示操作的时候,同时第 $i+k$ 行像素单元 101 则在做校正操作。当显示操作进行到第 $i+k$ 行的时候,之前写入像素单元 101 的模拟校正信号就会被写入第 $i+k$ 行的像素单元 101 的模拟显示信号覆盖。由于模拟校正信号只存在很短的 k 行时间,是不会对正常的显示造成明显的影响。尤其可以选择在反馈检测状态时不让有机发光二极管 OLED 发光,具体的做法是在反馈信号线上赋予一个电压值低于有机发光二极管 OLED 的阈值电压。

图 9 (a)、(b) 和 (c) 所示, $k=3$ 时,第 1 行像素单元 101 的校正操作是在第 1 行的模拟显示信号来之前 3 行的时间,也就是如图 9 所示在第 t_3 行时间,在 t_2 和 t_1 的时间做反馈检测。第 t_3 行时间,第 t_2 行时间和 t_1 行时间此时是位于帧与帧之间的空白时段。

如果本帧第 1 行像素单元 101 在时间 t_3 做校正操作,那么在下一帧,第 1 行就不做校正操作,而是从第 2 行像素单元 101 开始,在时间 t_2 做校正操作;再下一帧,第 1 行和第 2 行像素单元 101 都不做校正操作,而是从第 3 行像素单元 101 开始,在时间 t_1 做校正操作;再下一帧,又

回到从第 1 行像素单元 101 开始, 在时间 t_3 做校正操作, 依此类推。所有行的像素单元 101 都会在 k 帧里做 1 次校正操作。

比如: 在第 1 帧时下列行做校正操作:

第 1 行, 第 4 行, 第 7 行, 10 行....

在第 2 帧时下列行做校正操作

第 2 行, 第 5 行, 第 8 行, 第 11 行....

在第 3 帧时下列行做校正操作

第 3 行, 第 6 行, 第 9 行, 第 12 行....

在第 4 帧时下列行做校正操作

第 1 行, 第 4 行, 第 7 行, 第 10 行....

依次类推。上述归纳起来:

在 a 帧内所有像素 101 都进行一次校正操作和反馈操作, 比如当 $a=1$ 时, 表明在一帧内所有像素 101 都进行了一次校正操作和反馈操作, 当 $a=2$ 时, 表明在两帧内所有像素 101 都进行了一次校正操作和反馈操作。因此, 像素 101 每 i 帧都进行了一遍校正操作和反馈操作。

在这 a 帧内的第 b 帧时, 这 N 行像素单元中的第 $ca+b$ 行像素单元 101:

在第 $[(c-1)a+b-1]$ 个行时间内即 $t_{[(c-1)a+b-1]}$ 进行校正操作;

在第 $[(c-1)a+b]$ 到 $(ca+b-1)$ 个行时间内即 $t_{[(c-1)a+b]} \sim t_{(ca+b-1)}$ 进行反馈操作;

在第 $[ca+b]$ 个行时间内进行显示操作。

其中 a 为大于等于 1 且小于等于 N 的整数, b 为大于等于 1 且小于等于 a 的整数, c 为大于等于 0 的整数且 $ca+b$ 小于等于 N 。

用 a 帧完成对所有像素单元 101 校正、反馈操作, 在这 a 帧内的第 b 帧时, 这 N 行像素单元中的第 $ca+b$ 行像素单元 101, 如上所述, 其在第 $[(c-1)a+b-1]$ 个行时间内即 $t_{[(c-1)a+b-1]}$ 进行校正操作; 在第 $[(c-1)a+b]$ 到 $(ca+b-1)$ 个行时间内即 $t_{[(c-1)a+b]} \sim t_{(ca+b-1)}$ 进行反馈操作。考虑 a 、 b 、 c 的实际意义, $[(c-1)a+b-1]$ 、 $[(c-1)a+b]$ 和 $(ca+b-1)$ 的取值可能非正——典型地, 不妨令 $N=100$, 此时可令 $a=3$ 、 $b=1$ 、 $c=0$, $[(c-1)a+b-1]$ 、 $[(c-1)a+b]$ 和 $(ca+b-1)$ 则分别为 -3、-2 和 -1, 这时候 t_3 、 t_2 、 t_1 虽然没有落在 $t_1 \sim t_{100}$ 的取值中, 但其也是有意义的, 它们分别代表的是发生在第一个行时间 t_1 之前且与 t_1 相距离 3 个、2 个、1 个行时间。为解决 t 的下标取非正数时这个时间没有落在帧内的问题, 可以有几种措施, 一是在像素矩阵 100 的第一行像素单元 101 之前或最后一行像素单元 101 之后加上若干行无用的像素单元 101 来使整个帧的时间增加, 比如上面举的例子, 就可以增加 3 个行像素单元 101; 二是可以把这部分没有落在帧内的校正、反馈时间放在帧与帧之间去。

下面再举一个例子来说明。如下表 1 所示, 为 $N=10$ 且 $k=3$ 时的情况。图中 t_X 表示的是帧中的第 X 行时间, 当 X 取负值时, 比如图表中的 -3、-2、-1, 表示的是 t_X 处于此帧与上帧之间的空白时间段。总结起来, $t_1 \sim t_{10}$ 分别表示的是一帧内的第 1 个行时间~第 10 个行时间, 这 10 个行时间组成了此帧的时间; 而 t_3 、 t_2 、 t_1 表示的是其处于此帧与上帧之间的空白时间段, 需要说明的是, t_3 、 t_2 、 t_1 及 $t_1 \sim t_{10}$ 这 13 个时间都是相等的时间长度, 且从时间发生前后来看, 依次从 t_3 到 t_2 , 再到 t_1 , 再到 $t_1 \sim t_{10}$ 。

校正 X : 表示的是第 X 行像素单元 101 进行校正操作, 比如当 X 取 1 值时, 即校正 1, 其表示的就是第 1 行像素单元 101 进行校正操作。

显示 X : 表示的是第 X 行像素单元 101 进行显示操作, 比如当 X 取 1 值时, 即显示 1, 其表示的就是第 1 行像素单元 101 进行显示操作。

反馈 X : 表示的是将第 X 行像素单元 101 的反馈信号发送到与此行像素单元 101 中各像素单元相连的反馈信号线上, 比如当 X 取 1 值时, 即反馈 1, 其表示的是将第 1 行像素单元 101 的反馈信号发送到与此行像素单元 101 中各像素单元相连的反馈信号线上。下表中未写有校正 X , 显示 X 和反馈 X 的空白的地方表示是, 图表中此空白地方对应的某行像素单元 101 在某行时间内没有进行任何操作。

如上所述, 下表中 k 取 3, 可以看到经过 k 帧即 3 帧之后, 所有行的像素单元 101 都做了一次校正操作。

k 帧之后的第 $k+1$ 帧即第 4 帧, 外围补偿系统又在此帧的 $t-3$ 的行时间对第 1 行像素单元 101 进行校正操作。

		行时间												
		$t-3$	$t-2$	$t-1$	t_1	t_2	t_3	t_4	t_5	t_6	t_7	t_8	t_9	t_{10}
帧1	显示操作				显示1	显示2	显示3	显示4	显示5	显示6	显示7	显示8	显示9	显示10
	校正操作	校正1			校正4			校正7			校正10			
			反馈1	反馈1		反馈4	反馈4		反馈7	反馈7		反馈10	反馈10	
帧2	显示操作				显示1	显示2	显示3	显示4	显示5	显示6	显示7	显示8	显示9	显示10
	校正操作		校正2			校正5			校正8					
				反馈2	反馈2		反馈5	反馈5		反馈8	反馈8			
帧3	显示操作				显示1	显示2	显示3	显示4	显示5	显示6	显示7	显示8	显示9	显示10
	校正操作			校正3			校正6			校正9				
					反馈3	反馈3		反馈6	反馈6		反馈9	反馈9		
帧4	显示操作				显示1	显示2	显示3	显示4	显示5	显示6	显示7	显示8	显示9	显示10
	校正操作	校正1			校正4			校正7						
			反馈1	反馈1		反馈4	反馈4		反馈7	反馈7				

表 1

请参照图 9 (d) 和 (e), 本实施例的另外一种校正操作方法是把校正地址信号线和反馈地址信号线连在一起, 也就是同时通过截止选通校

正地址线和反馈地址线选通或截止选通同一行的像素单元 101。可以看到校正地址线和反馈地址线的信号波形是一样的。

以第 1 行的像素单元 101 为例，此行像素单元 101 的校正操作包括以下步骤，首先先通过行扫描驱动器 200 的校正地址线选通第 1 行的像素单元 101，校正地址信号维持 3 个行时间，从 t_3 到 t_1 。列驱动器 300 的校正信号产生模块 302 就会发出第 1 行像素单元 101 相对应的模拟校正信号到与之相连的校正信号线。同时，外围补偿系统也通过行扫描驱动器 200 的反馈地址线选通第 1 行的像素单元 101，外围补偿系统进入反馈检测状态，反馈地址信号同样维持 3 个行时间，从 t_3 到 t_1 ，在此期间，第 1 行的像素单元 101 开始反馈反馈信号到反馈信号线，驱动器 300 的补偿信号检测模块 303 接受和检测反馈信号，检测结果会在反馈检测状态结束之前并行存入第四移位暂存器 307，再一个个串行传给补偿器 400 以便更新补偿信息储存模块 402 中的补偿信息。

实施例三

本实施例公开了一种外围补偿系统。

为了简化实施一和二中的显示系统和外围补偿系统的布线和减少其驱动芯片面积，可以使校正地址信号和显示地址信号分时复用行扫描驱动器 200 的显示地址线，模拟校正信号和模拟显示信号分时复用列驱动器 300 的显示信号线。

请参考图 10，在本实施例中，行扫描驱动器 200 分时发送校正地址信号或显示地址信号到显示地址线，列驱动器 300 分时发送模拟校正信号和模拟显示信号到显示信号线。

请参考图 11，为本实施例中像素单元 101 的两种电路结构。

如图 11 (a) 所示，像素单元 101 包括驱动晶体管 Q1、显示开关晶体管 Q2、反馈开关晶体管 Q4、存储电容 C 和有机发光二极管 OLED。显示开关晶体管 Q2 被显示地址线送来的校正地址信号选通以将从显示信号线接收到的模拟校正信号发给驱动晶体管 Q1，并储存在存储电容 C，驱动晶体管 Q1 在接收到模拟校正信号后产生一个反馈信号发送到反馈开关晶体管 Q4，在此显示地址线再送进模拟显示信号前且此反馈信号未消失前（即在模拟显示信号写入和反馈信号未消失前），行扫描驱动器 200 发出反馈地址信号以选通反馈开关晶体管 Q4，把一电压从反馈线上输入到发光二极管 OLED 的阳极，该电压会设置低于发光二极管 OLED 阈值电压以便确保发光二极管 OLED 没有导通，那驱动晶体管 Q1 的反馈电流就会全部流到反馈信号线，使其将接收到的反馈信号发出给补偿信号检测模块 303。在另一时间段，显示开关晶体管 Q2 又被显示地址线送来的显示地址信号选通以将从显示信号线接收到的模拟显示

信号发给驱动晶体管 Q1, 驱动晶体管 Q1 接收模拟显示信号来驱动有机发光二极管 OLED 发出与模拟显示信号相对应的光。

相比图 11 (a), 图 11 (b) 的反馈开关晶体管 Q4 的一极不是连接到有机发光二极管 OLED 的阳极, 而是连接到一感光元件 GL 上, 感光元件 GL 用于将有机发光二极管 OLED 的光信号转变为电信号, 图 11(b) 中经反馈信号线传递出来的反馈信号包括了驱动晶体管 Q1 和有机发光二极管 OLED 两者的老化信息。

在本实施例中, 校正信号产生模块 302 可以分时复用显示信号产生模块 301 的第二数模转换模块 312 和第一模拟加法模块 313。在校正信号产生模块 302 的此种实现方式中, 第三数模转换模块 321 的输入为数字校正补偿信号, 其参考电位为一设定的固定电压; 对比实施例一和二中所涉及到的第二数模转换模块 312, 第二数模转换模块 312 和第三数模转换模块 321 都是数模转换模块, 且输入都是数字校正补偿信号, 唯一的区别在于两者的参考电位。因此, 第二数模转换模块 312 和第三数模转换模块 321 可以为同一数模转换模块, 模拟校正信号和模拟显示信号通过一定的时序关系分时复用此数模转换模块, 当需要产生模拟校正信号时, 此复用的数模转换模块的参考电位变为上述产生模拟校正信号时设定的一固定电压, 当需要产生模拟显示信号时, 此复用的数模转换模块的参考电位变回来。这样第二数模转换模块 312 和第三数模转换模块 321 就分时复用了同一数模转换模块, 达到了节省器件和简化电路的目的。在校正信号产生模块 302 的另一种实现方式是除了第二数模转换模块 312 和第三数模转换模块 321 分时复用了同一数模转换模块外, 第一模拟加法模块 313 和第二模拟加法模块 322 也可以分时复用。

本实施例中, 显示信号产生模块 301 和校正信号产生模块 302 还可以分时复用显示信号产生模块 301, 即显示信号产生模块 301 分时产生模拟显示信号和模拟校正信号。显示信号产生模块 301 输入是数字原始显示信号和数字显示补偿信号, 利用数字显示补偿信号对数字原始显示信号进行补偿而得到模拟显示信号, 而校正信号产生模块 302 输入是固定电压和数字校正补偿信号, 利用数字校正补偿信号对固定电压进行补偿而得到模拟校正信号, 因此, 当显示信号产生模块 301 分时要产生模拟校正信号时, 将数字校正补偿信号代替数字显示补偿信号输入到显示产生模块 301 中, 或者直接将数字显示补偿信号当作数字校正补偿信号使用, 同时将数字原始信号的信号内容变为一固定电压而输入到显示产生模块 301 中, 这样显示产生模块 301 就输出了模拟校正信号。

外围补偿系统也可以直接利用之前写入像素单元 101 的模拟显示信号做为模拟校正信号, 这样的话就不需要校正信号产生模块 302, 像素单元 101 就不是反馈一个预期的反馈信号, 补偿信号检测模块 303 需要

有模数转换器将反馈信号转成数字信号再跟预期的信号做比较。该预期信号不是固定的，预期信号的数目是和模拟显示信号数目是一样的。

请参照图 12 (a) 和 (b)，为本实施例的外围补偿系统的一种时序图。

与实施例二不同之处在于，本实施例中显示地址信号和校正地址信号分时复用显示地址线，显示信号线和校正信号线分时复用显示信号线。所以本实施例中显示地址线的波形基本上是实施例二中把校正地址线的波形合并到显示地址线的波形里再向左移动半个行时间的波形。移半个行时间的原因是因为本实施例的外围补偿系统需要在一个行的时间内完成写入一次模拟校正信号到第 $i+k$ 行和一次模拟显示信号到第 i 行，可先写入模拟校正信号也可先写入模拟显示信号。本实施例是先在 1 个行时间的前面半个行的时间写入模拟校正信号再在后半个行时间写入模拟显示信号。对于像素单元 101 来说，什么时候通过显示地址线选通像素单元是次要的，决定什么信号写入像素单元 101 的要看停止选通像素单元 101 时的那一刻数据信号端子发送到显示信号线上的信号是什么（模拟校正信号或模拟显示信号）。

从图 12 可以看到显示地址线 1（与第 1 行像素单元 101 相连的显示地址线）有两个方波，第一个方波表示的是校正地址信号，用来选通第 1 行的像素单元 101，把显示信号线上的模拟校正信号写入像素单元 101。本实施例校正地址信号在时间 t_4 后半行时间已经打开显示地址线（显示地址线的电平为高），具体打开的时间根据显示地址线的负载大小可以调整，负载大可以再提前点打开，负载小可以稍微晚点打开，截止选通显示地址线（显示地址线的电平为低）的时间是在 t_3 的中间，在截止选通那一刻，列驱动器 300 会完成通过数据信号端子向显示信号线发出模拟校正信号。第二个方波是表示的是显示地址线信号，用来选通像素单元 101 和写入模拟显示信号，此模拟显示信号会覆盖之前写入到像素单元 101 的模拟校正信号，列驱动器 300 在显示地址线信号截止选通之前通过数据信号端子向显示信号线发出模拟显示信号。外围补偿系统会在行扫描驱动器 200 发送此次校正地址信号之后和发出下一个校正地址信号之前处于反馈检测状态，这期间列驱动器 300 可以不向数据信号线发出任何模拟校正信号。

图 12 (a)，在时间 t_1 期间，外围补偿系统完成了一次校正操作和一次显示操作，校正操作在 t_1 的前半个行时间内完成，显示操作在 t_1 的后半个行时间内完成。在 t_1 的前半个行时间内，行扫描驱动器 200 选通第 4 行的像素单元 101，列驱动器 300 会在行扫描驱动器 200 截止选通第 4 行的像素单元 101 的显示地址线之前，通过数据信号端子和显示信号线完成向第 4 行像素单元 101 发送模拟校正信号，如图中的 C4。此模拟校

正信号至少会维持至行扫描器驱动器 200 截止选通第 4 行的像素单元 101 的显示地址线时刻，在截止选通第 4 行像素单元 101 的显示地址线的时候，写入像素单元 101 的模拟校正信号 C4 也就储存在像素单元 101 的驱动晶体管 Q1 的栅极，外围补偿系统进入反馈检测状态，行扫描驱动器 200 打开第 4 行像素单元 101 的反馈地址线，将此行像素单元 101 的包含老化信息的反馈信号发送到反馈信号线，列驱动器 300 的补偿信号检测模块 303 接收此反馈信号。反馈检测状态维持至 t_3 的中间时刻，直至补偿信号检测模块 303 完成对反馈信号的检测。在 t_1 的后半个行时间，行扫描驱动器 200 通过扫描信号端子 1 向显示地址线 1 发送显示地址信号来选通第 1 行的像素单元 101，列驱动器 300 向通过数据信号端子发出第 1 行像素单元 101 的模拟显示信号 L1，模拟显示信号 L1 至少维持至行扫描驱动器 200 截止选通显示地址线。在 t_1 的前半个行时间，行扫描驱动器 200 同时选通第 4 行和第 1 行的像素单元，这时什么信号写入像素单元 101 主要看截止选通某一行的像素单元 101 时数据信号端子和显示信号线上的信号。

需要说明的是，本申请中的反馈信号，如上所述，包含老化信息，而老化信息指的是由原始状态不平均和使用过程中像素单元 101 因老化而形成的信息，原始状态可看作像素单元 101 出厂未使用时因制造工艺等原因而产生的初始的老化信息，即若将老化信息看作关于时间的函数，原始状态就是当时间为出厂时刻时老化信息的值。

以上应用了具体个例对本发明进行阐述，只是用于帮助理解本发明，并不用以限制本发明。对于本领域的一般技术人员，依据本发明的思想，可以对上述具体实施方式进行变化。

权 利 要 求

1. 一种像素矩阵的外围补偿系统，所述像素矩阵（100）包括N行M列像素单元（101）、N行显示地址线和M列显示信号线，像素单元（101）和各自的显示地址线、显示信号线分别连接，N和M均为正整数，其特征在于，包括：

行扫描驱动器（200），用于通过显示地址线向像素矩阵（100）发送显示地址信号以在一帧内依次选通各行像素单元（101）；

补偿器（400），包括储存补偿信息的补偿信息储存模块（402），所述补偿器（400）用于发送数字显示补偿信号，当某行像素单元（101）被显示地址信号选通时，补偿器（400）发出相对应的所述数字显示补偿信号以补偿像素单元（101）图像视频信息显示不精确的问题；

列驱动器（300），包括显示信号产生模块（301），用于向像素矩阵（100）发送模拟显示信号，所述模拟显示信号用于为像素单元（101）的显示信号线提供包含图像视频信息的显示数据；所述显示信号产生模块（301）包括具有伽马校正功能的第一数模转换模块（311）、第二数模转换模块（312）和第一模拟加法模块（313）；当某行像素单元（101）被显示地址信号选通时，第一数模转换模块（311）接收该行数字原始显示信号，输出经过伽马校正的模拟原始显示信号给第一模拟加法模块（313）；第二数模转换模块（312）接收所述相对应的数字显示补偿信号，输出模拟显示补偿信号给第一模拟加法模块（313）；第一模拟加法模块（313）将模拟显示补偿信号和经过伽马校正的模拟原始显示信号进行模拟加法运算后输出模拟显示信号给像素矩阵（100）；还包括第一移位暂存器（304）和第二移位暂存器（305），所述第一移位暂存器（304）接收外界的数字原始显示信号并转递给第一数模转换模块（311），所述第二移位暂存器（305）接收补偿器（400）发出的数字显示补偿信号并转递给第二数模转换模块（312）。

2. 如权利要求1所述的外围补偿系统，其特征在于：

所述列驱动器（300），还包括校正信号产生模块（302），所述校正信号产生模块（302）用于产生校正信号并将此校正信号发送给像素矩阵（100）；所述校正信号为一模拟校正信号，用于驱动像素单元（101）产生一包含老化信息的反馈信号；还包含一补偿信号检测模块（303），所述补偿信号检测模块（303）用于接收所述反馈信号，将反馈信号会与参考信号做比较得到检测结果后通过一第四移位暂存器（307）输出给补偿器（400），或者将反馈信号经模数转换后再通过第四移位暂存器（307）输出给补偿器（400）；

所述行扫描驱动器（200），还用于发出校正地址信号和反馈地址信号；所述行扫描驱动器（200）按照设定的时序向像素矩阵（100）发送

校正地址信号以在一帧或多帧时间内按照设定顺序选通各行像素单元 (101), 当某行像素单元 (101) 被校正地址信号选通时, 该行像素单元 (101) 接收所述的模拟校正信号, 在模拟校正信号被模拟显示信号覆盖之前, 行扫描驱动器 (200) 向像素矩阵 (100) 发送反馈地址信号以选通此行像素单元 (101) 将其产生的反馈信号发出; 当某行像素单元 (101) 被反馈地址信号选通时, 该行像素单元 (101) 将其产生的反馈信号发送给所述补偿信号检测模块 (303);

补偿器 (400), 接收和处理补偿信号检测模块 (303) 的输出, 当某行像素单元 (101) 被显示地址信号/校正地址信号选通时, 补偿器 (400) 取出其存储的此行像素单元 (101) 的补偿信息并根据该补偿信息计算一数字显示补偿信号/数字校正补偿信号发送给列驱动器 (300)。

3. 如权利要求 2 所述的外围补偿系统, 其特征在于:

所述校正信号产生模块 (302) 包括一产生固定电压信号作为模拟校正信号的模块;

或者, 所述校正信号产生模块 (302) 包括第三数模转换模块 (321); 第三数模转换模块 (321) 分别输入数字校正补偿信号和参考电压, 经处理后输出模拟校正信号, 所述参考电压为一固定电压信号; 所述列驱动器 (300) 还包括第三移位暂存器 (306), 用于接收补偿器 (400) 发出的数字校正补偿信号并转递给第三数模转换模块 (321);

或者, 所述校正信号产生模块 (302) 包括第三数模转换模块 (321) 和第二模拟加法模块 (322); 第三数模转换模块 (321) 输入数字校正补偿信号, 经处理后输出模拟校正补偿信号给第二模拟加法模块 (322), 第二模拟加法模块 (322) 还输入一固定电压信号, 第二模拟加法模块 (322) 将模拟校正补偿信号与固定电压信号进行加法运算后输出模拟校正信号;

或者, 用补偿过的模拟显示信号当作模拟校正信号使用。

4. 如权利要求 2 所述的像素矩阵外围补偿系统, 其特征在于:

所述校正地址信号和显示地址信号分时复用所述显示地址线; 所述模拟校正信号和模拟显示信号分时复用所述显示信号线。

5. 如权利要求 4 所述的像素矩阵外围补偿系统, 其特征在于:

所述校正信号产生模块 (302) 与显示信号产生模块 (301) 分时复用第二数模转换模块 (312) 来分别产生模拟校正信号和模拟显示信号;

或者, 所述校正信号产生模块 (302) 与显示信号产生模块 (301) 分时复用第二数模转换模块 (312) 和第一模拟加法模块 (313) 来分别产生模拟校正信号和模拟显示信号;

或者, 所述校正信号产生模块 (302) 与显示信号产生模块 (301) 分时复用显示信号产生模块 (301) 来分别产生模拟校正信号和模拟显示

信号。

6. 一种显示系统，包括如权利要求 1 至 5 中任一项所述的外围补偿系统，以及像素矩阵（100）。

7. 一种像素矩阵的外围补偿系统的方法，所述像素矩阵（100）包括 N 行 M 列像素单元（101）、N 行显示地址线和 M 列显示信号线，像素单元（101）和各自的显示地址线、显示信号线分别连接，N 和 M 均为正整数，其特征在于：

一帧时间由 N 个相等的行时间 $t_1 \sim t_N$ 组成，每行像素单元（101）依次进行显示操作，其中第 n 行像素单元（101）在 t_n 时进行显示操作：此行像素单元（101）被显示地址信号选通，接收模拟显示信号，其中 n 为小于或等于 N 的正整数；

在 t_i 时，第 i 行像素单元（101）进行显示操作，若此时外围补偿系统不是处于反馈检测状态，则 t_i 时，第 $i+k$ 行像素单元（101）进行校正操作：此行像素单元（101）被写入模拟校正信号；第 t_{i+1} 到 t_{i+k-1} 时间内，外围补偿系统进入反馈检测状态：将第 $i+k$ 行像素单元（101）中包含老化信息的反馈信号反馈至补偿信号检测模块（303）；其中 i 和 k 都为正整数，且 $i+k$ 小于或等于 N。

8. 如权利要求 7 所述的方法，其特征在于：

第 t_{i+1} 到 t_{i+k-1} 时间内：

第 $i+1$ 行到第 $i+k-1$ 行的像素单元（101）进行显示操作，被写入模拟显示信号；

第 $i+1+k$ 行到第 $i+k-1+k$ 行的像素单元（101）被写入模拟校正信号，所述模拟校正信号不用于驱动像素单元（101）产生一包含老化信息的反馈信号；或者第 $i+1+k$ 行到第 $i+k-1+k$ 行的像素单元（101）不写入模拟校正信号。

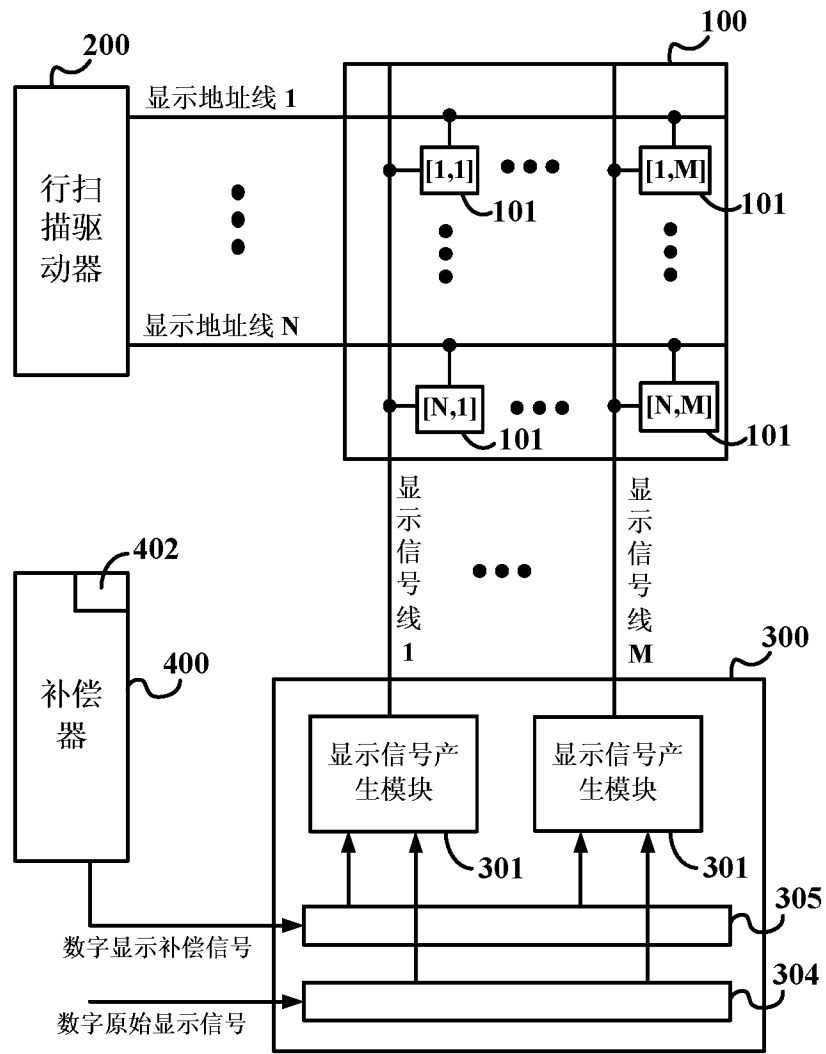


图 1

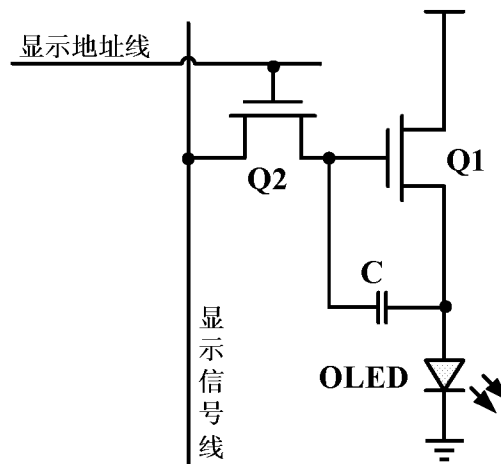


图 2

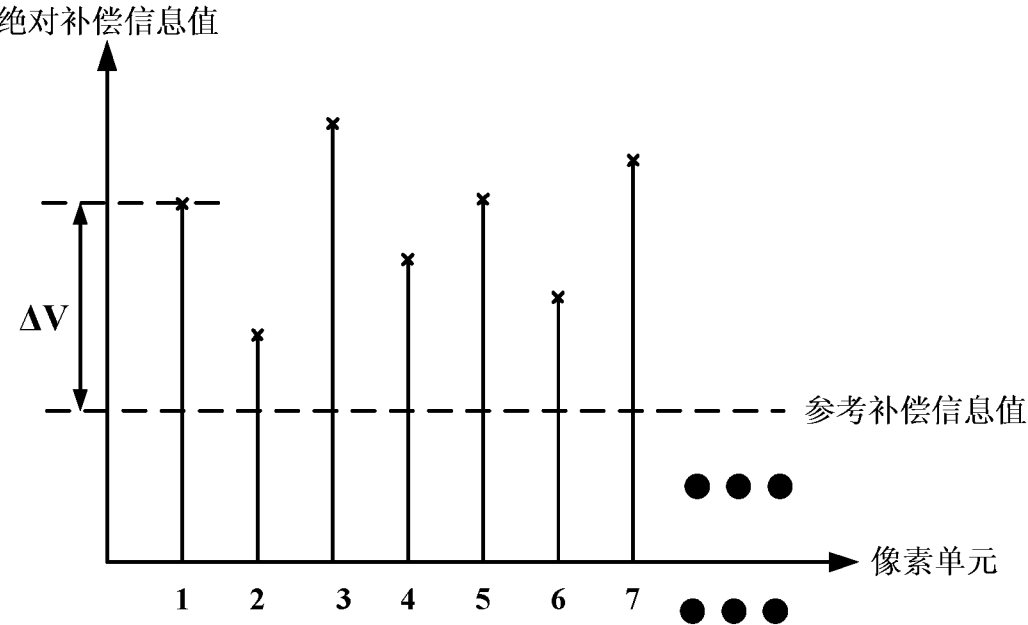


图 3

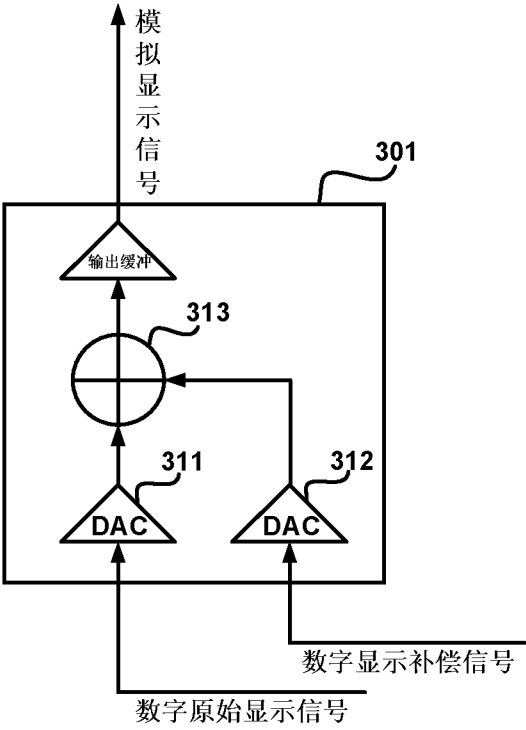


图 4

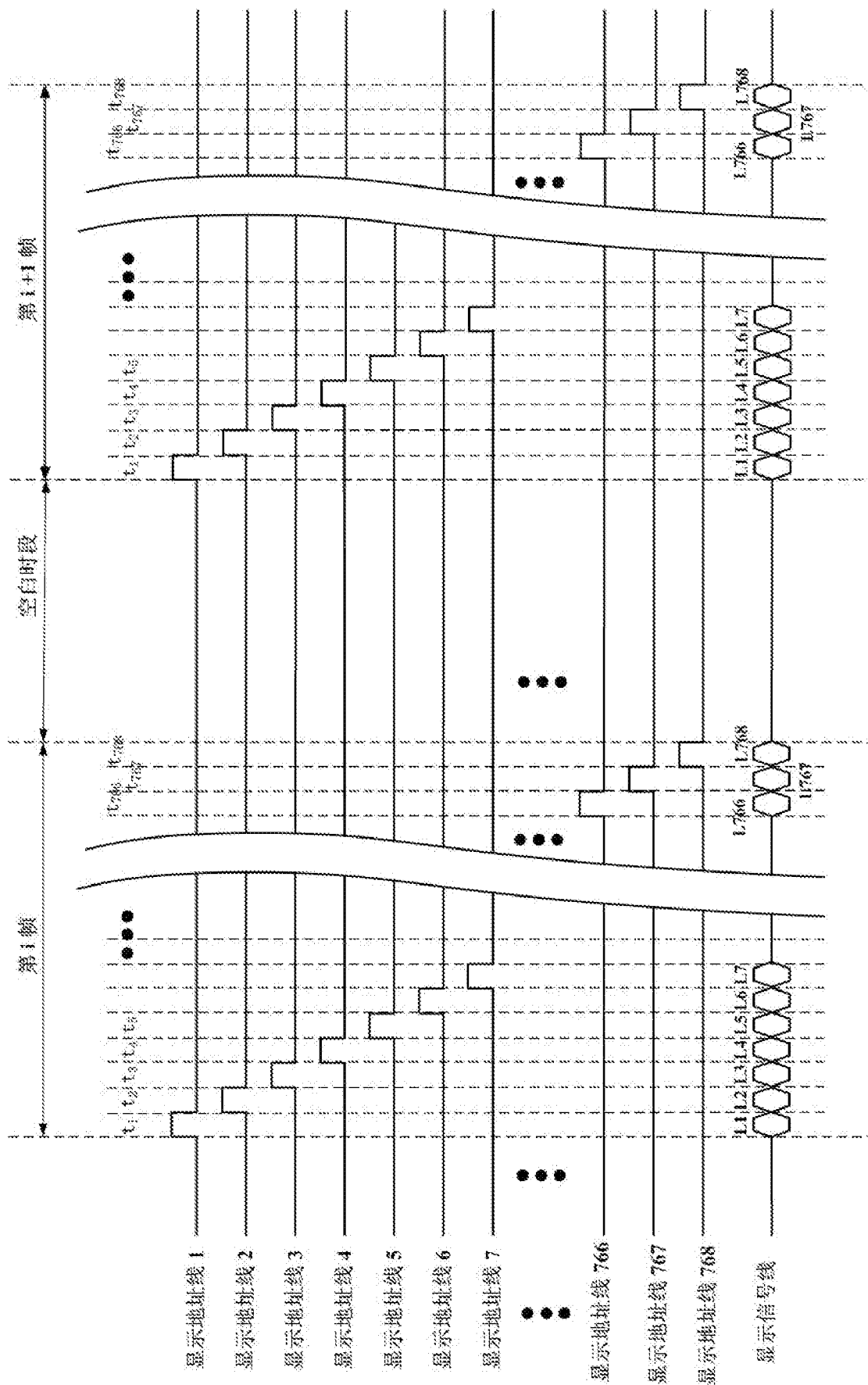


图 5

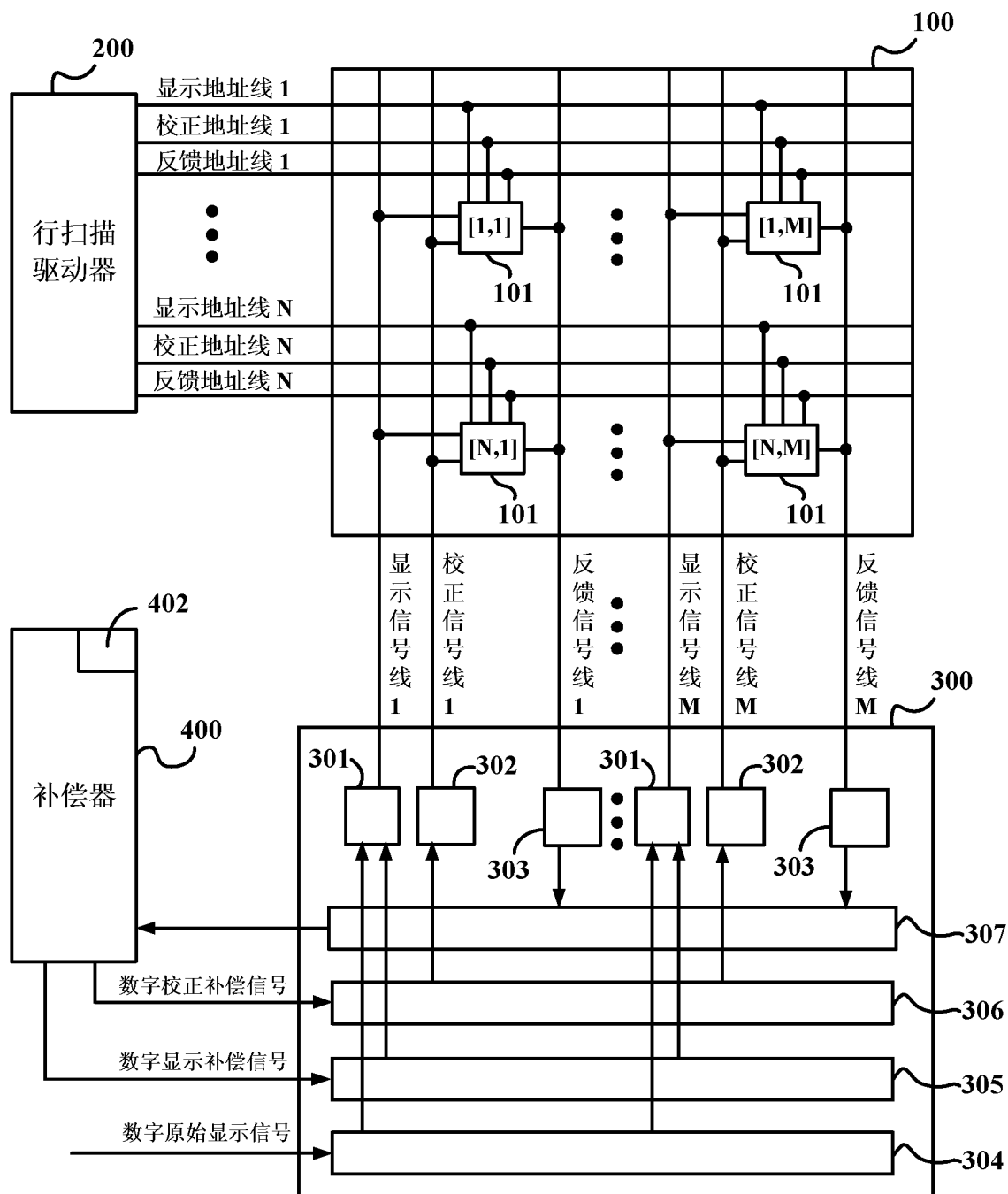


图 6

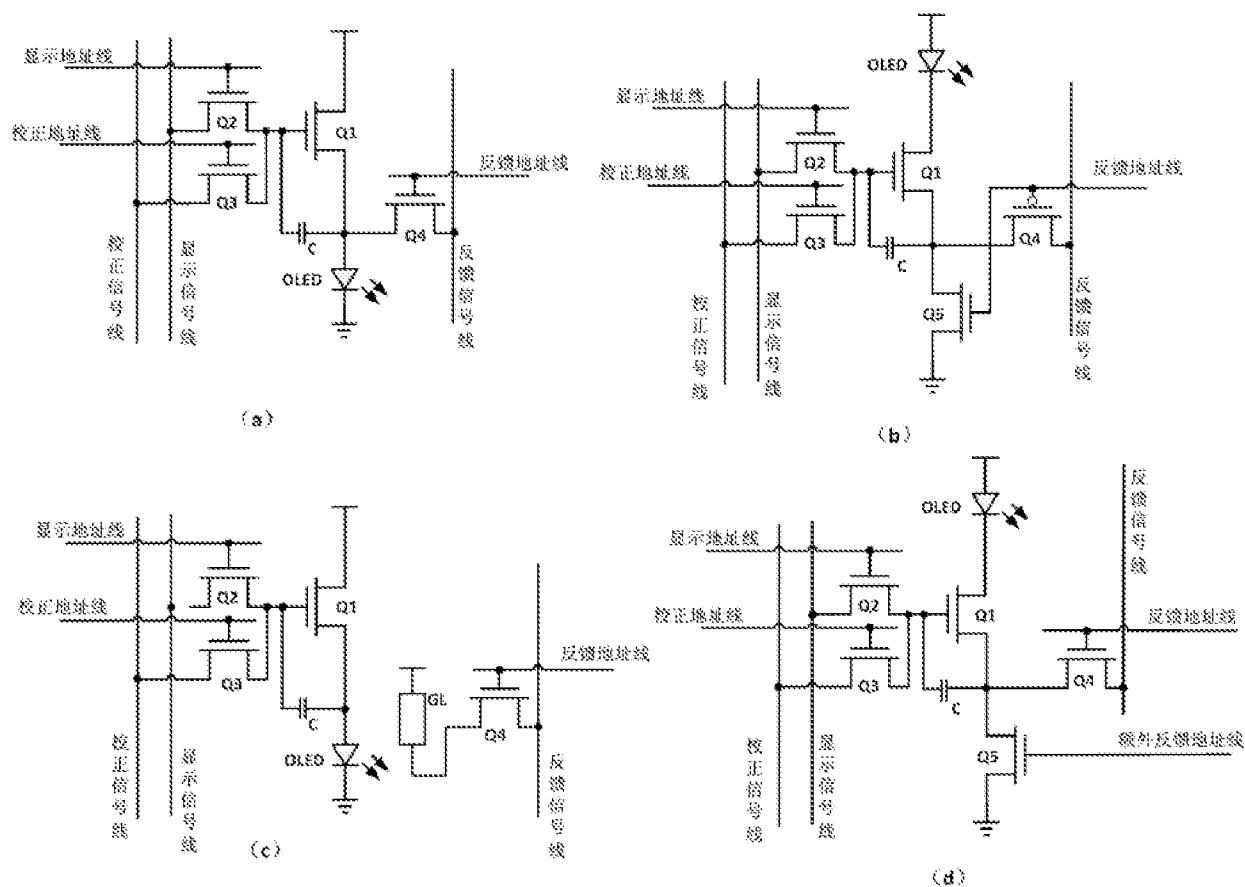


图 7

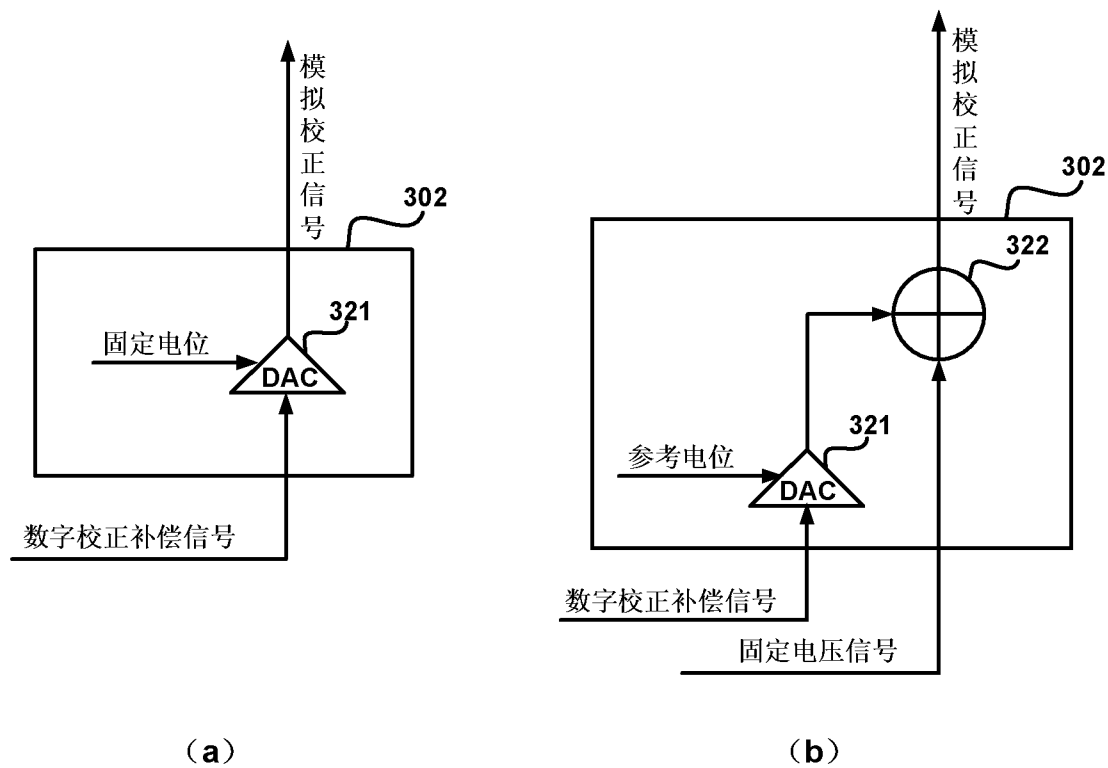


图 8

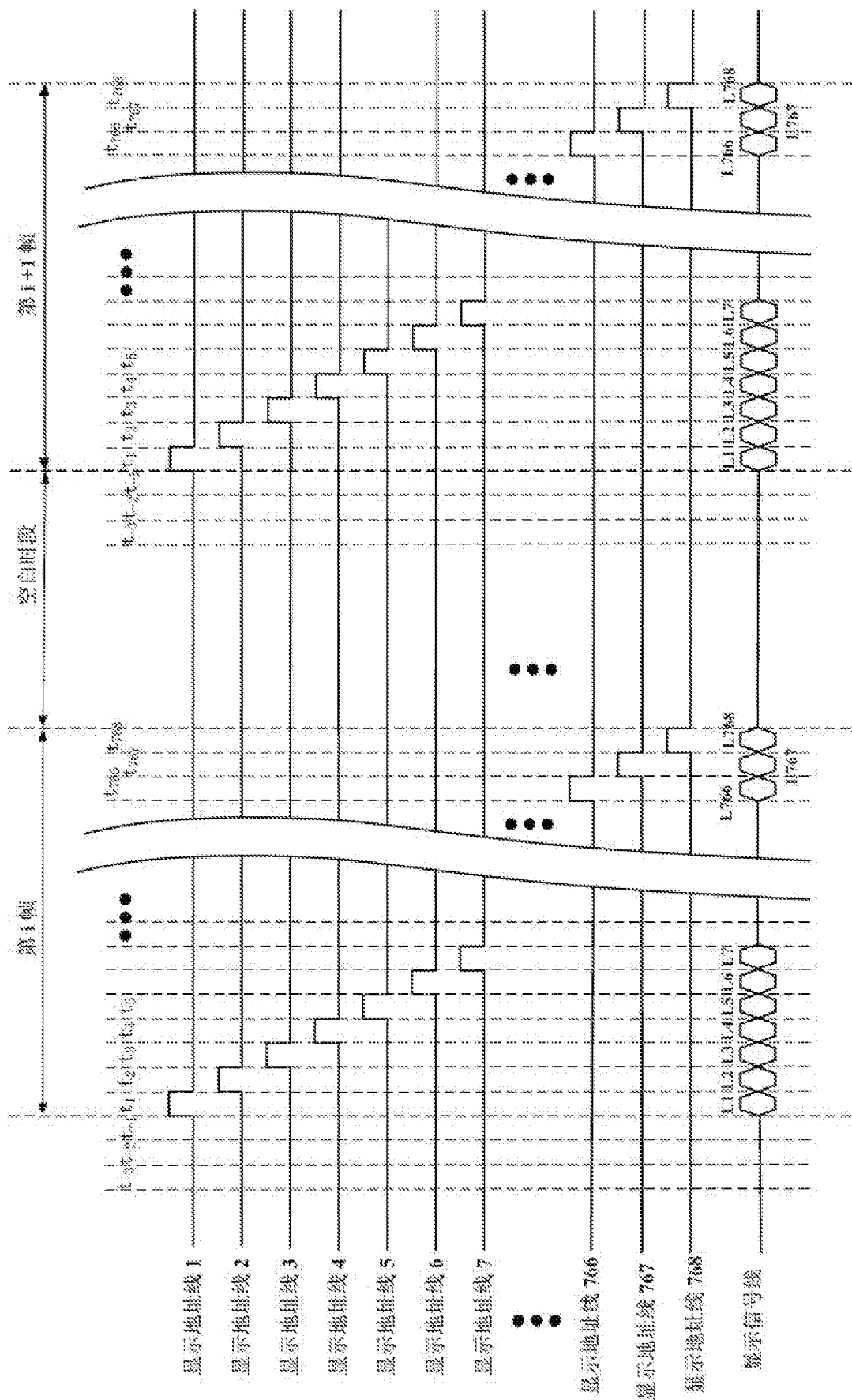


图 9 (a)

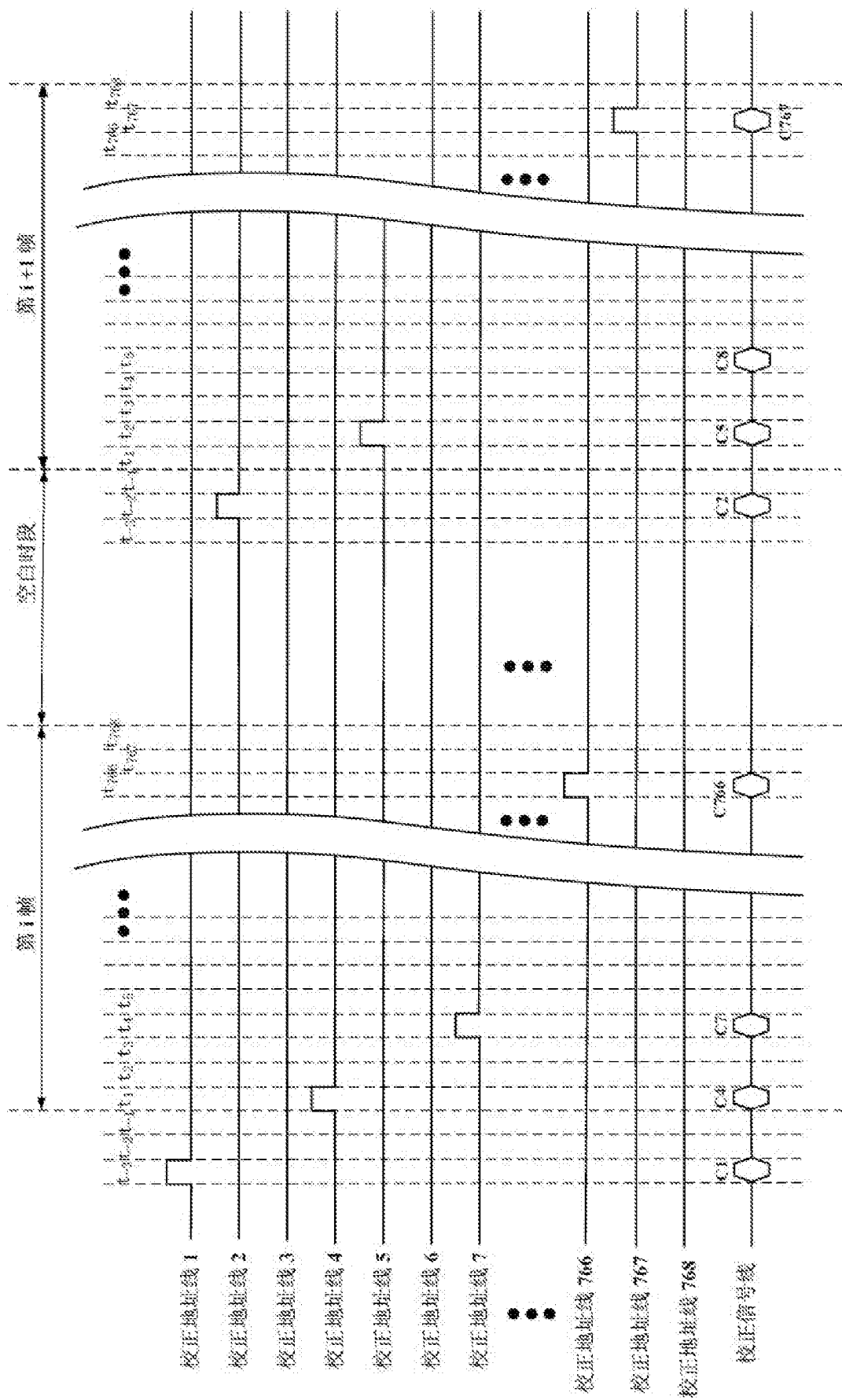


图 9 (b)

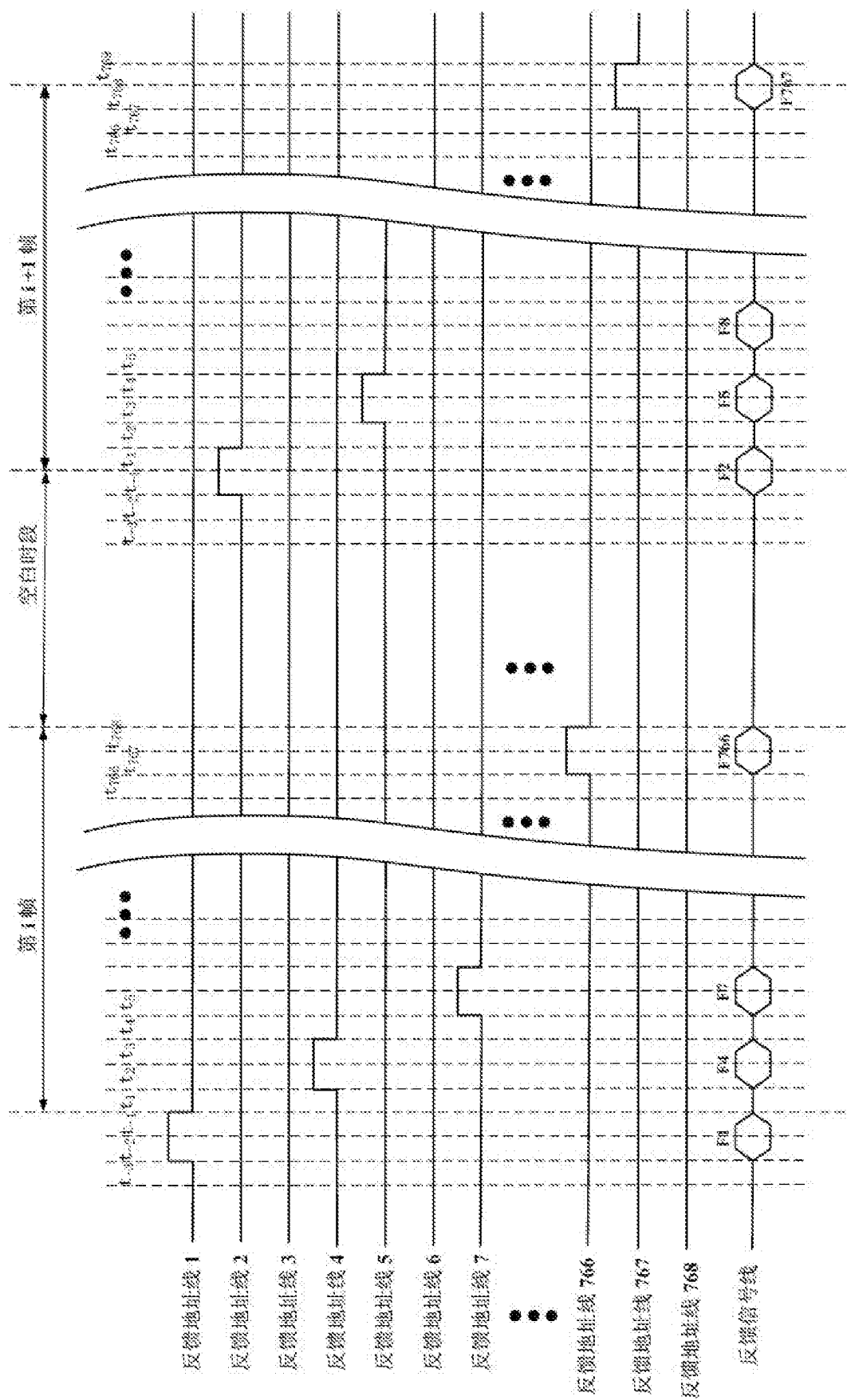


图 9 (c)

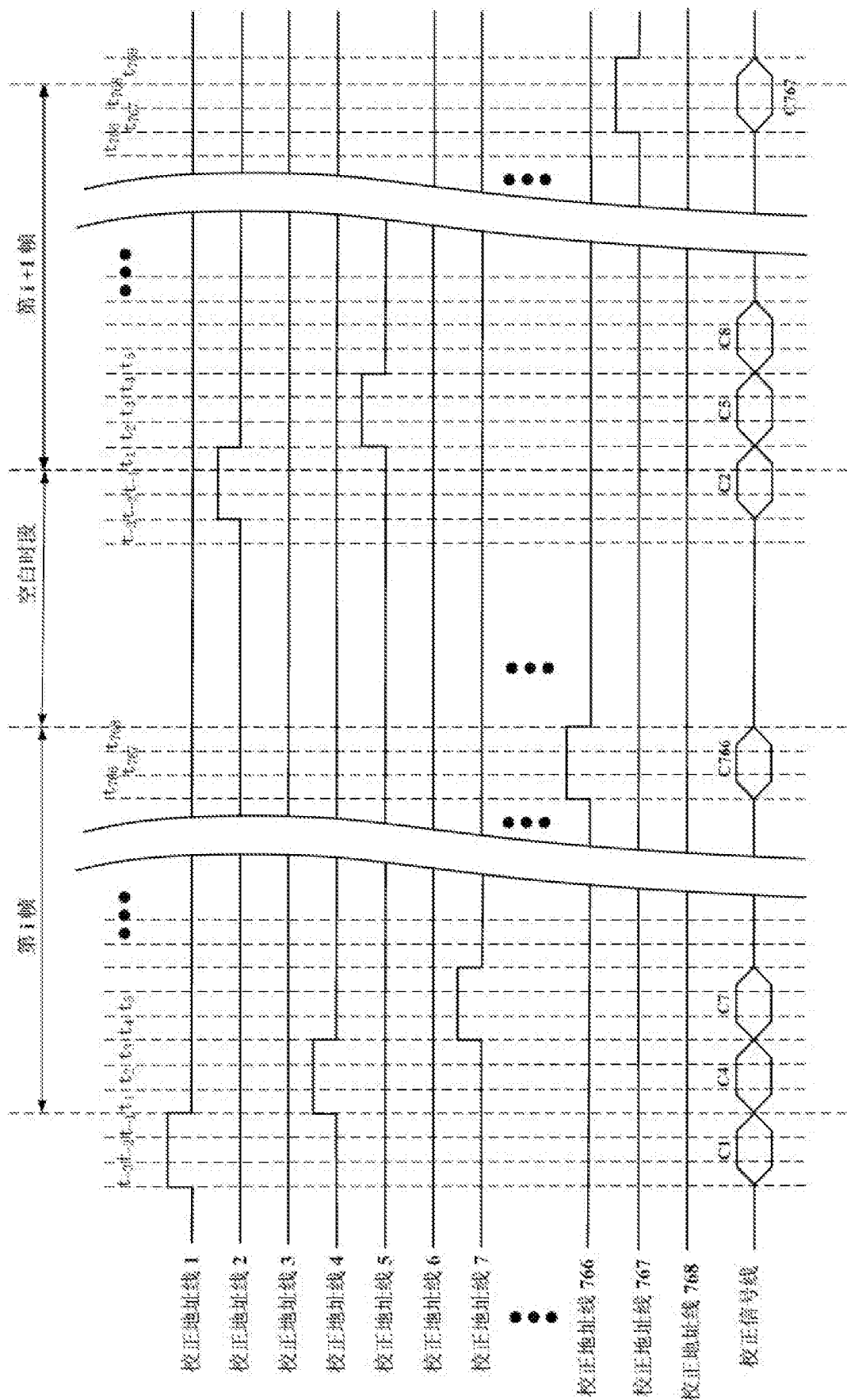


图 9 (d)

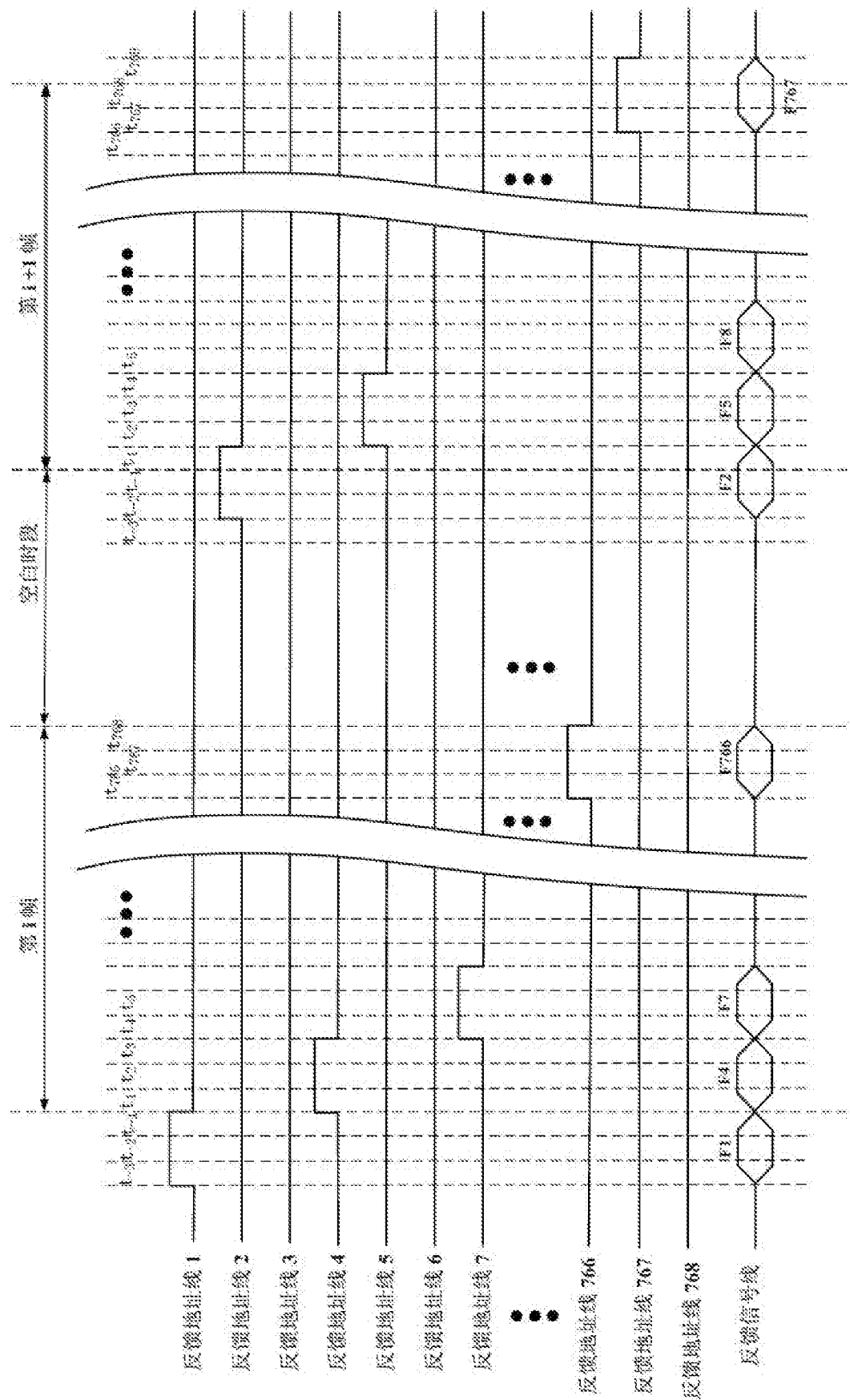


图 9 (e)

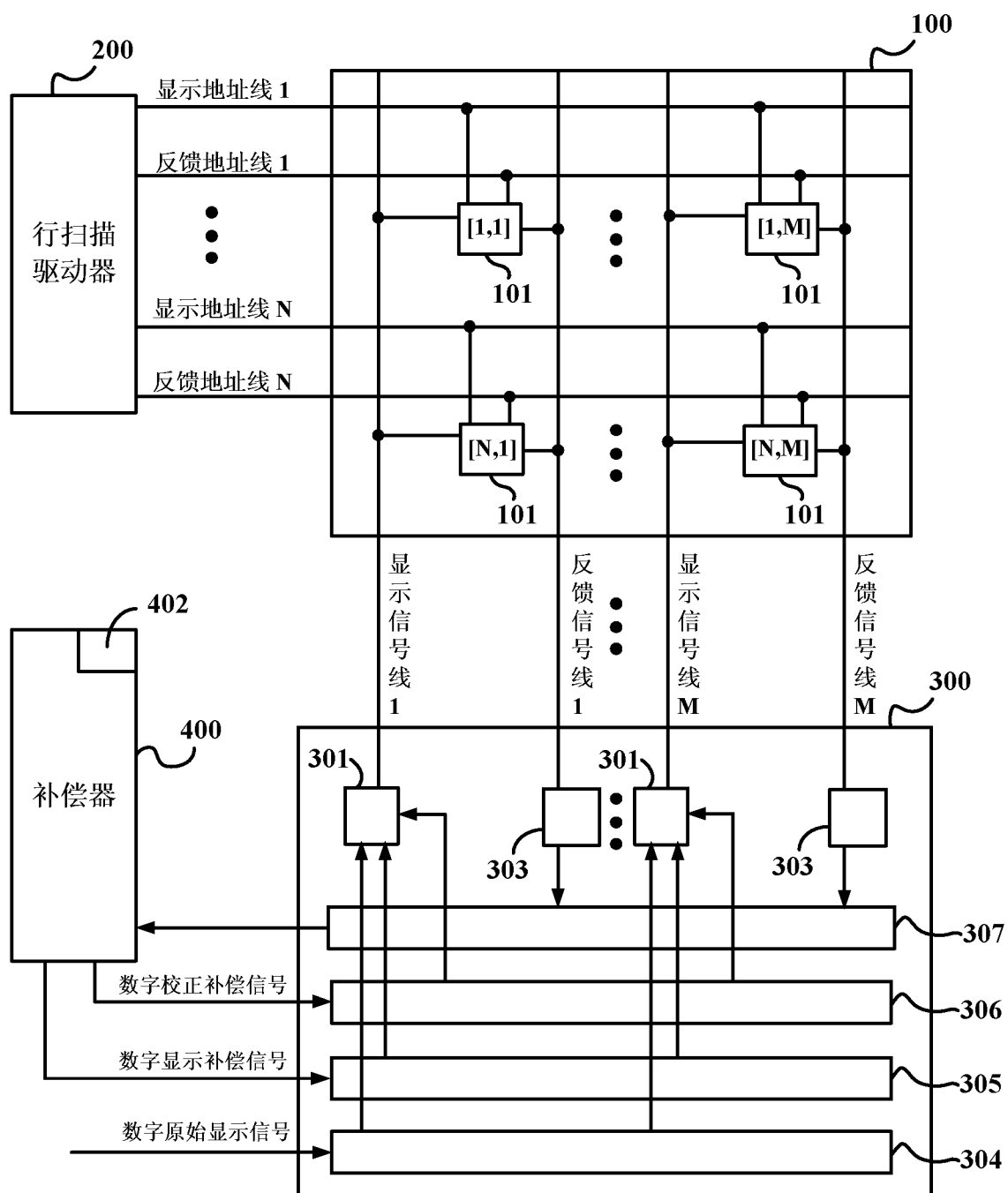


图 10

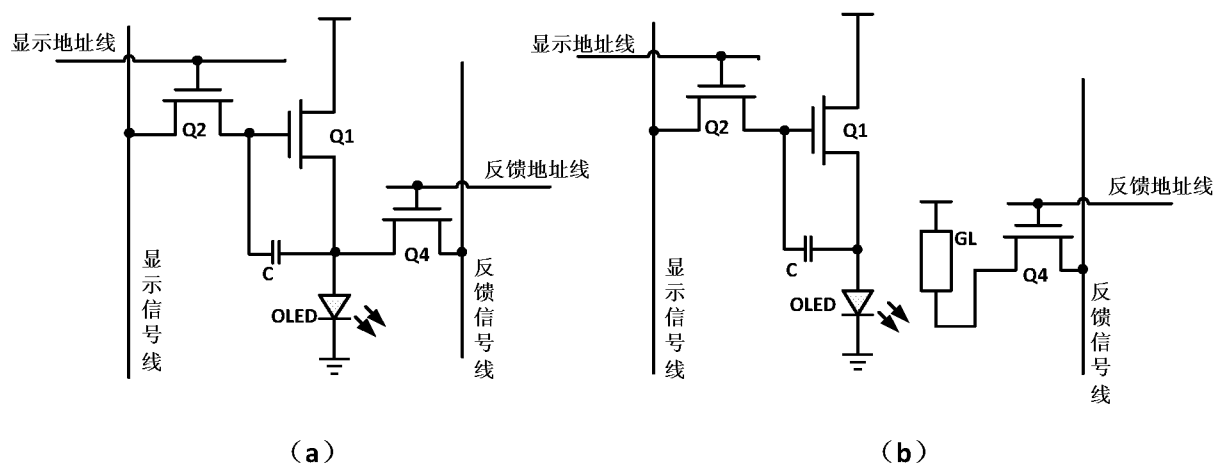


图 11

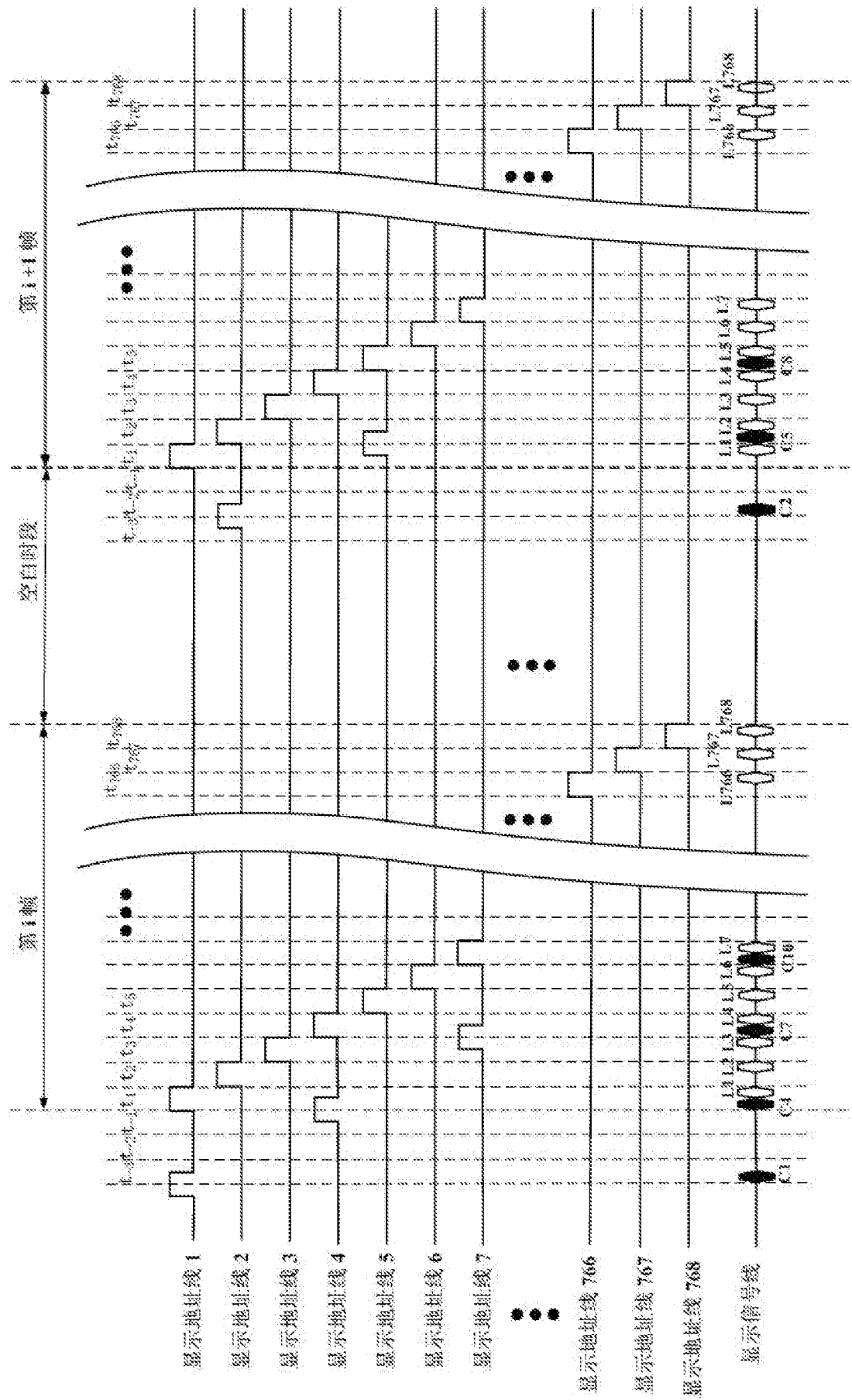


图 12 (a)

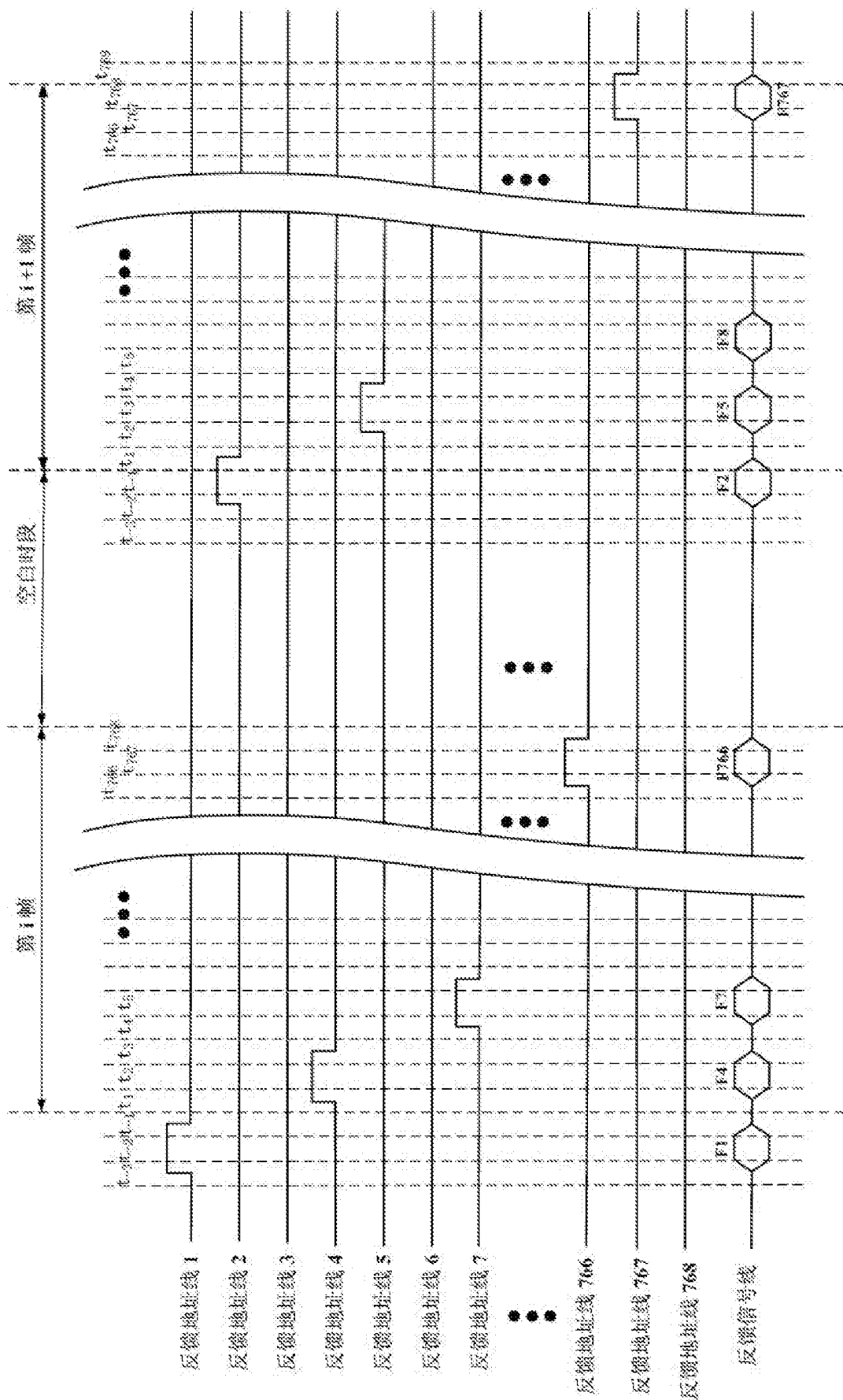


图 12 (b)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2015/085084

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/32 (2016.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNXTX; CNABS; VEN: correct+, feedback, pixel, inspect+, check+, detect+, compensat+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 102768821 A (SICHUAN CCO DISPLAY TECHNOLOGY CO., LTD.), 07 November 2012 (07.11.2012), description, paragraphs [0027]-[0050], and figures 1-3	1-8
X	CN 101354864 A (SAMSUNG SDI CO., LTD. et al.), 28 January 2009 (28.01.2009), description, pages 6-15, and figures 2-7	7, 8
Y	CN 101354864 A (SAMSUNG SDI CO., LTD. et al.), 28 January 2009 (28.01.2009), description, pages 6-15, and figures 2-7	1-6
Y	CN 104637447 A (BOE TECHNOLOGY GROUP CO., LTD.), 20 May 2015 (20.05.2015), description, paragraphs [0055]-[0061], and figure 2	1-6
A	CN 101281720 A (SVA OPTRONICS CO., LTD.), 08 October 2008 (08.10.2008), the whole document	1-8
A	JP 2010139836 A (SONY CORP.), 24 June 2010 (24.06.2010), the whole document	1-8
A	US 2002171611 A1 (EASTMAN KODAK CO.), 21 November 2002 (21.11.2002), the whole document	1-8

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 08 April 2016 (08.04.2016)	Date of mailing of the international search report 19 April 2016 (19.04.2016)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer ZHANG, Hua Telephone No.: (86-10) 62089908

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2015/085084

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 102768821 A	07 November 2012	CN 102768821 B	18 February 2015
CN 101354864 A	28 January 2009	JP 4772765 B2	14 September 2011
		EP 2026319 A1	18 February 2009
		KR 100873707 B1	12 December 2008
		US 2009027377 A1	29 January 2009
		US 8274503 B2	25 September 2012
		EP 2026319 B1	10 April 2013
		CN 101354864 B	03 August 2011
		JP 2009031712 A	12 February 2009
CN 104637447 A	20 May 2015	None	
CN 101281720 A	08 October 2008	CN 100578591 C	06 January 2010
JP 2010139836 A	24 June 2010	None	
US 2002171611 A1	21 November 2002	JP 2003015606 A	17 January 2003
		TW I303796 B	01 December 2008
		KR 20020087357 A	22 November 2002
		EP 1260959 A3	28 June 2006
		EP 1260959 A2	27 November 2002

国际检索报告

国际申请号

PCT/CN2015/085084

A. 主题的分类

G09G 3/32 (2016.01) i

按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献 (标明分类系统和分类号)

G09G

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))

CNTXT; CNABS; VEN: correct+, feedback, pixel, 检测, inspect+, 反馈, 像素, 校正, check+, 检查, detect+, 像素, 补偿, compensat+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 102768821 A (四川虹视显示技术有限公司) 2012年 11月 7日 (2012 - 11 - 07) 说明书第[0027]段-第[0050]段; 附图1-3	1-8
X	CN 101354864 A (三星SDI株式会社 等) 2009年 1月 28日 (2009 - 01 - 28) 说明书第6页-第15页; 附图2-7	7, 8
Y	CN 101354864 A (三星SDI株式会社 等) 2009年 1月 28日 (2009 - 01 - 28) 说明书第6页-第15页; 附图2-7	1-6
Y	CN 104637447 A (京东方科技集团股份有限公司) 2015年 5月 20日 (2015 - 05 - 20) 说明书第[0055]段-第[0061]段; 附图2	1-6
A	CN 101281720 A (上海广电光电子有限公司) 2008年 10月 8日 (2008 - 10 - 08) 全文	1-8
A	JP 2010139836 A (SONY CORP) 2010年 6月 24日 (2010 - 06 - 24) 全文	1-8
A	US 2002171611 A1 (EASTMAN KODAK CO) 2002年 11月 21日 (2002 - 11 - 21) 全文	1-8

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2016年 4月 8日

国际检索报告邮寄日期

2016年 4月 19日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局 (ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10) 62019451

授权官员

张华

电话号码 (86-10) 62089908

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2015/085084

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	102768821	A	2012年 11月 7日	CN	102768821	B	2015年 2月 18日
CN	101354864	A	2009年 1月 28日	JP	4772765	B2	2011年 9月 14日
				EP	2026319	A1	2009年 2月 18日
				KR	100873707	B1	2008年 12月 12日
				US	2009027377	A1	2009年 1月 29日
				US	8274503	B2	2012年 9月 25日
				EP	2026319	B1	2013年 4月 10日
				CN	101354864	B	2011年 8月 3日
				JP	2009031712	A	2009年 2月 12日
CN	104637447	A	2015年 5月 20日	无			
CN	101281720	A	2008年 10月 8日	CN	100578591	C	2010年 1月 6日
JP	2010139836	A	2010年 6月 24日	无			
US	2002171611	A1	2002年 11月 21日	JP	2003015606	A	2003年 1月 17日
				TW	I303796	B	2008年 12月 1日
				KR	20020087357	A	2002年 11月 22日
				EP	1260959	A3	2006年 6月 28日
				EP	1260959	A2	2002年 11月 27日

表 PCT/ISA/210 (同族专利附件) (2009年7月)