

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4468657号
(P4468657)

(45) 発行日 平成22年5月26日(2010.5.26)

(24) 登録日 平成22年3月5日(2010.3.5)

(51) Int.Cl. F I
HO4N 5/335 (2006.01) HO4N 5/335 P

請求項の数 1 (全 27 頁)

(21) 出願番号	特願2003-151482 (P2003-151482)	(73) 特許権者	000000376 オリンパス株式会社 東京都渋谷区幡ヶ谷2丁目4番2号
(22) 出願日	平成15年5月28日(2003.5.28)	(74) 代理人	100076233 弁理士 伊藤 進
(65) 公開番号	特開2005-20039 (P2005-20039A)	(72) 発明者	伊藤 広 東京都渋谷区幡ヶ谷2丁目4番2号 オリンパス光学工業株式会社内
(43) 公開日	平成17年1月20日(2005.1.20)	(72) 発明者	松田 成介 東京都渋谷区幡ヶ谷2丁目4番2号 オリンパス光学工業株式会社内
審査請求日	平成18年3月31日(2006.3.31)	(72) 発明者	細貝 茂 東京都渋谷区幡ヶ谷2丁目4番2号 オリンパス光学工業株式会社内
(31) 優先権主張番号	特願2003-124307 (P2003-124307)		
(32) 優先日	平成15年4月28日(2003.4.28)		
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 撮像素子

(57) 【特許請求の範囲】

【請求項1】

光電変換素子で構成され且つマトリクス状に配置され、入射光に対応した画素信号を出力する複数の画素と、

前記マトリクスの列方向に連なる位置に配置され、一定レベルの擬似的な信号を出力する疑似信号生成回路と、

前記マトリクスの列方向に連なる複数の前記画素が出力した画素信号および前記疑似信号生成回路が出力した擬似的な信号を伝送する垂直信号線と、

前記垂直信号線毎の擬似的な信号の各レベルが同レベルとなるように、読み出した画素信号および擬似的な信号のオフセットおよびリニアリティを垂直信号線毎に調整して、垂直信号線毎のオフセットおよびリニアリティのばらつきを補正することができるように、前記各垂直信号線が伝送する画素信号および擬似的な信号を撮像素子から外部へ読み出す読み出し回路と、

前記疑似信号生成回路からの前記垂直信号線毎の擬似的な信号の各レベルを相互に異なるレベルに変化させるか又は前記疑似信号生成回路からの前記垂直信号線毎の擬似的な信号の各レベルを時間の経過に応じて変化させるよう前記疑似信号生成回路が出力する擬似的な信号のレベルを調整するレベル制御回路と、
を有することを特徴とする撮像素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、撮像素子に関し、特に、構造を均一化した多チャンネル出力方式の撮像素子に関する。

【0002】**【従来の技術】**

従来、行列状に配置された各画素に対して行方向及び列方向の駆動制御を行うことで、各画素に蓄積された信号（画素信号）読み出すXYアドレス型の固体撮像素子が普及している。この種の撮像素子においては、一般的に列方向に連なる画素からの画素信号は同一の垂直信号線により伝送される。選択した行の各列の垂直信号線からの画素信号を、水平読み出し回路によって列順に出力すると共に、選択する行を順次シフトさせることで、1画面の画素信号の読み出しを行う。

10

【0003】

ところで、垂直信号線には画素信号を増幅するアンプが配置されることがある。しかし、垂直信号線毎にアンプを有する場合には、各アンプの特性を均一にすることが困難なことから、アンプの特性のばらつきが縦筋状のノイズとなって画像信号を劣化させてしまう。

【0004】

このような問題に対処した撮像素子として特開2000-295533号公報（特許文献1）に開示されたものがある。図27は特許文献1に開示された技術を説明するための説明図である。

【0005】

20

図27はXYアドレス型の固体撮像素子であり、画素領域が2×2の4画素で構成されている例を示している。画素P11～Paaからの画素信号は垂直走査回路Y1により読み出す行の選択が行われ、水平読み出し回路X1によって読み出す列の選択が行われて、信号が出力される。垂直走査回路Y1によって選択された行の画素信号は、各列の信号読み出しライン（以下、垂直信号線という）を介してラインアンプA1、A2に供給される。各ラインアンプA1、A2はDCバイアス発生回路V1によってDCバイアスレベルが設定されており、設定されたDCバイアスレベルに応じた動作点で各列の画素信号を増幅して出力する。

【0006】

DCバイアス発生回路V1によってラインアンプA1、A2の動作点を制御可能になっており、ラインアンプA1、A2のばらつきによる画素信号の劣化を防止することができる。

30

【0007】**【特許文献1】**

特開2000-295533号公報

【0008】**【発明が解決しようとする課題】**

しかしながら、垂直信号線にラインアンプが設けられていない場合には、各垂直信号線を伝送される画素信号の特性ばらつきを抑制することができず、読み出した画素信号に基づく画像の画質が劣化してしまう。

【0009】

40

また、従来、撮像素子から高フレームレートで映像信号を得るための一般的手法として、単一の撮像素子から同時並列に複数の映像信号出力を得る多チャンネル出力方式（多線出力方式）が採用されることがある。この方式では、画素領域を複数の分割領域に分割し、各分割領域毎に異なる走査回路、信号処理回路を経由して画素信号を読み出すようになっている。

【0010】

この場合においても、各信号処理系の電気的特性の相違によって信号レベルにばらつきが生じ、最終的に合成された1枚の画像の品質が劣化してしまう。

【0011】

本発明はかかる問題点を鑑みてなされたものであって、異なる信号経路によって画素信号

50

を出力する場合でも、信号経路毎の特性差を検出可能にすることで、高画質の画像の取得を可能にすることができる撮像素子を提供することを目的とする。

【0012】

【課題を解決するための手段】

本発明の請求項1に係る撮像素子は、光電変換素子で構成され且つマトリクス状に配置され、入射光に対応した画素信号を出力する複数の画素と、前記マトリクスの列方向に連なる位置に配置され、一定レベルの擬似的な信号を出力する疑似信号生成回路と、前記マトリクスの列方向に連なる複数の前記画素が出力した画素信号および前記疑似信号生成回路が出力した擬似的な信号を伝送する垂直信号線と、前記垂直信号線毎の擬似的な信号の各レベルが同レベルとなるように、読み出した画素信号および擬似的な信号のオフセットおよびリニアリティを垂直信号線毎に調整して、垂直信号線毎のオフセットおよびリニアリティのばらつきを補正することができるように、前記各垂直信号線が伝送する画素信号および擬似的な信号を撮像素子から外部へ読み出す読み出し回路と、前記疑似信号生成回路からの前記垂直信号線毎の擬似的な信号の各レベルを相互に異なるレベルに変化させるか又は前記疑似信号生成回路からの前記垂直信号線毎の擬似的な信号の各レベルを時間の経過に応じて変化させるよう前記疑似信号生成回路が出力する擬似的な信号のレベルを調整するレベル制御回路と、を有することを特徴とする。

10

【0014】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態について詳細に説明する。図1は本発明の第1の実施の形態に係る撮像素子を示す説明図である。

20

【0015】

図1の撮像素子は画素領域1、垂直走査回路2、3及び水平読み出し回路11~14を有している。4系統の水平読み出し回路11~14によって同時に4チャンネルの出力1~4が得られる。出力1~4を合成することで、1画面の映像信号が得られる。

【0016】

画素領域1にはマトリクス状に配置された画素P11~Pnnが構成されている。なお、図1では説明を簡略化するために、 $a = 2$ 、 $b = 3$ 、 $n = 4$ として 4×4 画素の画素領域を示している。各画素Puv ($1 \leq u \leq a$ 、 $1 \leq v \leq b$)は夫々図示しない光電変換素子及びスイッチを有している。各画素Puvを構成する光電変換素子は入射光に対応した信号を蓄積する。光電変換素子に蓄積された信号は夫々画素内のスイッチを介して出力されるようになっている。画素領域1は垂直方向に2分割、水平方向に2分割の4つの分割領域1乃至4に分割されている。なお、分割数は適宜設定可能である。

30

【0017】

同一行の各画素は共通の水平選択線に接続される。そして、これらの水平選択線は、各画素内のスイッチに行選択信号を供給するようになっている。各画素のスイッチは、水平選択線によって伝送された行選択信号によってオン、オフ制御される。

【0018】

分割領域1、2内の各画素に接続される水平選択線には垂直走査回路2によって行選択信号が供給され、分割領域3、4内の各画素に接続される水平選択線には垂直走査回路3によって行選択信号が供給される。垂直走査回路2、3は相互に同一構成であり、画素領域の各行に対応したパルス転送部及び出力端を有している。垂直走査回路2の各出力端は夫々分割領域1、2の各行の水平選択線に接続され、垂直走査回路3の各出力端は夫々分割領域3、4内の各行の水平選択線に接続される。垂直走査回路2、3は、夫々行選択信号を各行の水平選択線に選択的に供給するようになっている。

40

【0019】

例えば、垂直走査回路2、3は、垂直同期信号に同期した図示しない垂直スタートパルスがパルス転送部に与えられ、図示しない所定のクロックタイミングで次行のパルス転送部に順次パルスを転送して、行選択信号として各行に対応する出力端から出力する。

【0020】

50

一方、分割領域 1, 2 の同一列の各画素は夫々共通の垂直信号線に接続され、分割領域 3, 4 の同一列の各画素は夫々共通の垂直信号線に接続されるようになっている。即ち、各列の各画素の光電変換素子は、画素内のスイッチを夫々介して対応する列の垂直信号線に接続されるようになっている。画素内の各スイッチは、オンとなることによって、各画素に蓄積された信号を接続された垂直信号線に伝送するようになっている。

【 0 0 2 1 】

水平読み出し回路 1 1 乃至 1 4 は相互に同一構成であり、画素領域の各列に応じたパルス転送部（信号出力部を含む）及び入力端を有している。水平読み出し回路 1 1, 1 2 の各入力端は夫々分割領域 1, 2 内の各列の垂直信号線に接続され、水平読み出し回路 1 3, 1 4 の各入力端は夫々分割領域 3, 4 内の各列の垂直信号線に接続される。

10

【 0 0 2 2 】

例えば、各水平読み出し回路 1 1 乃至 1 4 は、図示しない水平スタートパルスが所定列のパルス転送部に与えられ、図示しない所定のクロックタイミングで次段のパルス転送部に順次パルスを転送する。各パルス転送部（信号出力部）は転送されるパルスに基づくクロック期間に各列に対応する入力端に接続された垂直信号線を介して画素信号を取込み、水平読み出し回路 1 1 乃至 1 4 の各出力端から出力 1 乃至 4 として出力する。

【 0 0 2 3 】

このような構成によって、分割領域 1 は垂直走査回路 2 及び水平読み出し回路 1 1 によって画素信号の読み出しが行われ、分割領域 2 は垂直走査回路 2 及び水平読み出し回路 1 2 によって画素信号の読み出しが行われ、分割領域 3 は垂直走査回路 3 及び水平読み出し回路 1 3 によって画素信号の読み出しが行われ、分割領域 4 は垂直走査回路 3 及び水平読み出し回路 1 4 によって画素信号の読み出しが行われる。

20

【 0 0 2 4 】

本実施の形態においては、各分割領域 1 ~ 4 に対応して、擬似信号読み出し回路 2 1 ~ 2 4、擬似信号生成回路 2 5 ~ 2 8 及びレベル制御回路 2 9 ~ 3 2 が設けられている。擬似信号生成回路 2 5 ~ 2 8 は、所望レベルの疑似信号を生成して、夫々擬似信号読み出し回路 2 1 ~ 2 4 に出力する。レベル制御回路 2 9 ~ 3 2 は、夫々疑似信号生成回路 2 5 ~ 2 8 を制御して、生成される疑似信号のレベルを所望のレベルに設定するようになっている。疑似信号読み出し回路 2 1 ~ 2 4 は、夫々疑似信号生成回路 2 5 ~ 2 8 によって生成された疑似信号を読み出して、水平読み出し回路 1 1 ~ 1 4 から出力 1 ~ 4 として出力させるようになっている。

30

【 0 0 2 5 】

次に、このように構成された実施の形態の作用について図 2 乃至図 4 を参照して説明する。図 2 乃至図 4 は読み出しを説明するためのタイミングチャートである。

【 0 0 2 6 】

垂直走査回路 2, 3 及び水平読み出し回路 1 1 ~ 1 4 は、図 2 の垂直同期信号及び水平同期信号に同期して動作する。即ち、水平同期信号の発生周期で、各行が選択され、各分割領域毎に選択された各行の画素の画素信号が読み出される。そして、垂直同期信号の周期で、各分割領域毎に全ての行が選択されて、1 画面の画素の画素信号が得られる。

【 0 0 2 7 】

本実施の形態においては、各水平同期信号の発生後であって、画素領域の各垂直信号線からの画素信号の読み出し前に、各分割領域 1 ~ 4 に夫々対応した疑似信号読み出し回路 2 1 ~ 2 4 から疑似信号が読み出されるようになっている。

40

【 0 0 2 8 】

先ず、図示しない垂直スタートパルスが垂直走査回路 2, 3 に供給され、垂直走査回路 2, 3 は行選択信号の出力を開始する。垂直走査回路 2 は第 1 行目のパルス転送部によって第 1 行目の水平選択線に行選択信号を出力し、垂直走査回路 3 は第 3 行目（分割領域 3, 4 の第 1 行目）のパルス転送部によって第 3 行目の水平選択線に行選択信号を出力する。これにより分割領域 1 ~ 4 の第 1 行目の各画素の画素信号が対応する垂直信号線に出力される。

50

【 0 0 2 9 】

この状態で、疑似信号生成回路 2 5 はレベル制御回路 2 9 に制御されて所望レベルの疑似信号を生成する。疑似信号読み出し回路 2 1 は、疑似信号生成回路 2 5 によって生成された疑似信号を読み出して、水平読み出し回路 1 1 の出力 1 として出力する（図 2 の出力 1 斜線部）。同様に疑似信号生成回路は 2 6 ~ 2 8 は、夫々、レベル制御回路 3 0 ~ 3 2 に制御されて所望レベルの疑似信号を生成する。疑似信号読み出し回路 2 2 ~ 2 4 は、夫々、疑似信号生成回路 2 6 ~ 2 8 によって生成された疑似信号を読み出して、水平読み出し回路 1 2 ~ 1 4 の出力 2 ~ 4 として出力する（図 2 の出力 2 ~ 4 の斜線部）。

【 0 0 3 0 】

その後、図示しない水平スタートパルスが水平読み出し回路 1 1 ~ 1 4 に与えられると、水平読み出し回路 1 1 ~ 1 4 は、各分割領域の第 1 列目の画素 P 11, P 1b, P b1, P bb の画素信号 P 11, P 1b, P b1, P bb を読み出して、出力 1 ~ 4 として出力する。次に、所定のクロックタイミングで水平スタートパルスが次列のパルス転送部に転送されて、水平読み出し回路 1 1 ~ 1 4 は、各分割領域の第 2 列目の画素 P 1a, P 1n, P ba, P bn の画素信号 P 1a, P 1n, P ba, P bn を読み出して、出力 1 ~ 4 として出力する。

【 0 0 3 1 】

次の水平読み出し期間（水平走査期間）には、垂直走査回路 2、3 により行選択信号をシフトさせ、先の水平走査期間と同様に先ず疑似信号を読み出す。その後、水平スタートパルスが水平読み出し回路 1 1 ~ 1 4 に与えられると、水平読み出し回路 1 1 ~ 1 4 は、各分割領域の第 1 列目の画素 P a1, P ab, P n1, P nb の画素信号 P a1, P ab, P n1, P nb を読み出して、出力 1 ~ 4 として出力する。次に、所定のクロックタイミングで水平スタートパルスが次列のパルス転送部に転送されて、水平読み出し回路 1 1 ~ 1 4 は、各分割領域の第 2 列目の画素 P aa, P an, P na, P nn の画素信号 P aa, P an, P na, P nn を読み出して、出力 1 ~ 4 として出力する。

【 0 0 3 2 】

次の垂直走査期間においても同様の読み出しが行われる。こうして、水平読み出し期間の最初の疑似信号読み出し期間において、4 系統の水平読み出し回路 1 1 ~ 1 4 の出力 1 ~ 4 として同時に、疑似信号が出力される。

【 0 0 3 3 】

このように本実施の形態においては、水平読み出し期間毎に、画素信号の読み出し前に疑似信号を出力している。疑似信号はテスト信号としての役割を果たすことができる。従って、出力 1 ~ 4 として出力された信号をモニタすることで、後段の処理回路において水平読み出し回路等の各出力系毎の特性ばらつきを補正することが可能になる。

【 0 0 3 4 】

なお、疑似信号読み出し回路 2 1 ~ 2 4 は、夫々水平読み出し回路 1 1 ~ 1 4 の初段のパルス転送部を利用して構成することができる。各初段のパルス転送部に疑似信号生成回路 2 1 からの疑似信号を与え、2 段目以降のパルス転送部に各分割領域の各列の垂直信号線の出力を与えればよい。そして、水平走査開始後の疑似信号読み出し期間において初段のパルス転送部に水平スタートパルスを与えることで、図 2 と同様の信号読み出しが可能となる。

【 0 0 3 5 】

また、本実施の形態においては、レベル制御回路 2 9 ~ 3 2 によって、出力 1 ~ 4 として出力される疑似信号のレベルを変化させることも可能である。図 3 及び図 4 はこの場合の例を示している。

【 0 0 3 6 】

図 3 は 1 垂直走査期間中の各水平読み出し期間毎に、各出力 1 ~ 4 として出力される疑似信号のレベルを変化させた例を示している。

【 0 0 3 7 】

また、図 4 は 1 垂直走査期間中の各水平読み出し期間に各出力 1 ~ 4 として出力される疑似信号レベルを同一にし、1 垂直走査期間毎に疑似信号のレベルを変化させた例を示して

10

20

30

40

50

いる。このように、各出力系から、所望のレベルの擬似信号を得ることができる。

【0038】

本実施の形態によって出力される擬似信号を用いることで、各出力系のオフセットのばらつきを補正することができる。また、擬似信号のレベルを適宜変更することができるので、各出力系のリニアリティのばらつきについても補正可能である。

【0039】

なお、本実施の形態においては、擬似信号は毎水平読み出し期間の最初に出力される構成としたが、これに限定するものではなく、毎水平読み出し期間の画素信号読み出し後でもまた、垂直走査周期毎などでもよく、さらにはある周期で出力するのではなく、必要な時のみ出力するようにしてもよい。

10

【0040】

図5は本発明の第2の実施の形態を示す説明図である。図5において図1と同一の構成要素には同一符号を付して説明を省略する。

【0041】

第1の実施の形態においては各分割領域毎に、擬似信号読み出し回路、擬似信号生成回路及びレベル制御回路を設けたが、擬似信号生成回路及びレベル制御回路は全分割領域で共用化させることも可能である。本実施の形態はこの場合の例を示している。

【0042】

本実施の形態は図1における擬似信号生成回路25～28及びレベル制御回路29～32を省略して、擬似信号生成回路35及びレベル制御回路36を付加した点が第1の実施の形態と異なる。擬似信号生成回路35はレベル制御回路36に制御されて、所望レベルの擬似信号を生成する。擬似信号生成回路35からの擬似信号は、各分割領域に対応した擬似信号読み出し回路21～24に供給されるようになっている。

20

【0043】

このように構成された実施の形態においては、擬似信号生成回路35が生成した所望レベルの擬似信号は、擬似信号読み出し回路21～24に供給される。擬似信号読み出し回路21～24は、所定のタイミングにおいて、擬似信号生成回路35からの擬似信号を読み出して、出力1～4として出力する。

【0044】

また、レベル制御回路36は、擬似信号生成回路35において生成される擬似信号のレベルを制御する。

30

【0045】

これにより、本実施の形態においても図2乃至図4と同様に、各出力系から擬似信号が付加された信号を出力することができ、第1の実施の形態と同様の効果を得ることができる。更に、本実施の形態においては、擬似信号生成回路及びレベル制御回路を共用化しているので、擬似信号生成回路及びレベル制御回路のばらつきによる悪影響を回避することができる。

【0046】

図6は本発明の第3の実施の形態を示す説明図である。図6において図1と同一の構成要素には同一符号を付して説明を省略する。

40

【0047】

第1の実施の形態においては、擬似信号生成回路を画素領域の外部に構成した。本実施の形態は擬似信号生成回路を画素領域内に構成したものである。

【0048】

画素領域40には、図1の画素領域1と同様に、マトリクス状に配置された画素P11～Pnnが構成されている。更に、本実施の形態における画素領域40には、垂直方向の上端の行（以下、第0行という）に擬似信号生成回路D01～D0nが形成され、垂直方向の下端の行（以下、第m行という）に擬似信号生成回路Dm1～Dmnが形成されている。なお、図6では説明を簡略化するために、 $a = 2$ 、 $b = 3$ 、 $n = 4$ 、 $m = 5$ である。各画素Puv（ $1 \leq u, v \leq n$ ）の構成は図1と同一である。なお、擬似信号生成回路D01～D0aは分割領

50

域 1 に含まれ、疑似信号生成回路 D0b ~ D0n は分割領域 2 に含まれ、疑似信号生成回路 Dm1 ~ Dma は分割領域 3 に含まれ、疑似信号生成回路 Dmb ~ Dmn は分割領域 4 に含まれる。

【 0 0 4 9 】

本実施の形態においては、疑似信号生成回路 D01 ~ D0n, Dm1 ~ Dmn は、レベル制御回路 4 1 に制御されて、所望レベルの疑似信号を生成する。疑似信号生成回路 D01 ~ D0n, Dm1 ~ Dmn は、生成した疑似信号を内部に形成されたスイッチを介して出力するようになっている。本実施の形態においては、疑似信号生成回路 D01 ~ D0n の各スイッチは、画素領域 4 0 内に形成された共通の水平選択線からの行選択信号が供給され、この行選択信号によってオン, オフ制御されるようになっている。また、疑似信号生成回路 Dm1 ~ Dmn の各スイッチは、画素領域 4 0 内に形成された共通の水平選択線からの行選択信号が供給され、この行選択信号によってオン, オフ制御されるようになっている。そして、疑似信号生成回路 D01 ~ D0n の各スイッチに行選択信号を供給する水平選択線は、垂直走査回路 4 2 の先頭行である第 0 行のパルス転送部の出力端に接続され、疑似信号生成回路 Dm1 ~ Dmn の各スイッチに行選択信号を供給する水平選択線は、垂直走査回路 4 3 の第 m 行のパルス転送部の出力端に接続される。

10

【 0 0 5 0 】

垂直走査回路 4 2, 4 3 は、図 1 の垂直走査回路 2, 3 と同様の構成であり、画素領域 4 0 内の第 0 乃至 m 行に対応したパルス転送部出力端を有している。第 1 の実施の形態と同様に、垂直走査回路 4 2, 4 3 は独立として動作し、垂直走査回路 4 2 は分割領域 1, 2 内の第 0 乃至第 a 行の水平選択線に順次行選択信号を出力し、垂直走査回路 4 3 は分割領域 3, 4 内の第 b 乃至第 m 行の水平選択線に順次行選択信号を出力する。

20

【 0 0 5 1 】

また、疑似信号生成回路 D01 内のスイッチは分割領域 1 内の第 1 列の垂直信号線に接続されており、このスイッチがオンとなることによって、疑似信号生成回路 D01 によって生成された疑似信号はこの第 1 列の垂直信号線に出力されるようになっている。同様に、疑似信号生成回路 D0v 内のスイッチは分割領域 1, 2 内の第 v 列の垂直信号線に接続されており、このスイッチがオンとなることによって、疑似信号生成回路 D0v によって生成された疑似信号はこの第 v 列の垂直信号線に出力されるようになっている。また、疑似信号生成回路 Dmv 内のスイッチは分割領域 3, 4 内の第 v 列の垂直信号線に接続されており、このスイッチがオンとなることによって、疑似信号生成回路 Dmv によって生成された疑似信号は分割領域 3, 4 内の第 v 列の垂直信号線に出力されるようになっている。

30

【 0 0 5 2 】

レベル制御回路 4 1 は、レベル制御線によって疑似信号生成回路 D01 ~ D0n, Dm1 ~ Dmn に制御信号を供給して疑似信号生成回路 D01 ~ D0n, Dm1 ~ Dmn を制御し、所望レベルの疑似信号を生成させる。

【 0 0 5 3 】

次に、このように構成された実施の形態の作用について図 7 及び図 8 を参照して説明する。図 7 及び図 8 は各出力系における信号読み出しを説明するためのタイミングチャートである。

【 0 0 5 4 】

本実施の形態においても、垂直走査回路 4 2, 4 3 及び水平読み出し回路 1 1 ~ 1 4 は、図 7 の垂直同期信号及び水平同期信号に同期して動作する。即ち、水平同期信号の発生周期で、各行が選択され、各分割領域毎に選択された各行の画素の画素信号が読み出される。そして、垂直同期信号の周期で、各分割領域毎に全ての行が選択されて、1 画面の画素の画素信号が得られる。この場合には、垂直走査回路 4 2, 4 3 は、疑似信号生成回路 D01 ~ D0n, Dm1 ~ Dmn が配置された第 0 行及び第 m 行についても、通常の画素の読み出しと同様に選択する。

40

【 0 0 5 5 】

いま、各疑似信号生成回路 D01 ~ D0n, Dm1 ~ Dmn は、レベル制御回路 4 1 に制御されて所望レベルの疑似信号を生成しているものとする。図示しない垂直スタートパルスが垂直

50

走査回路 4 2 , 4 3 に供給され、垂直走査が開始されると、垂直走査回路 4 2 , 4 3 は先ず第 0 行 (分割領域 1 , 2 の 1 行目) 及び第 b 行 (分割領域 3 , 4 の 1 行目) の水平選択線に行選択信号を出力する。

【 0 0 5 6 】

これにより、分割領域 1 , 2 については、疑似信号生成回路 D 0 1 ~ D 0 n が生成した疑似信号が各列の垂直信号線に出力される。また、分割領域 3 , 4 については、分割領域 3 , 4 の 1 行目の各画素の画素信号が対応する垂直信号線に出力される。

【 0 0 5 7 】

この状態で、図示しない水平スタートパルスが水平読み出し回路 1 1 ~ 1 4 に与えられると、水平読み出し回路 1 1 ~ 1 4 は、各分割領域の第 1 列目の垂直信号線に出力された信号を取り出して、出力 1 ~ 4 として出力する。即ち、この場合には、図 7 に示すように、出力 1 として疑似信号生成回路 D 0 1 , D 0 a からの疑似信号 D 0 1 , D 0 a が出力され、出力 2 として疑似信号生成回路 D 0 b ~ D 0 n からの疑似信号 D 0 b ~ D 0 n が出力される。一方、出力 3 として画素 P b 1 , P b a からの画素信号 P b 1 , P b a が出力され、出力 4 として画素 P b b , P b n からの画素信号 P b b , P b n が出力される。

【 0 0 5 8 】

次の水平読み出し期間にも同様の読み出しが行われて、水平読み出し回路 1 1 ~ 1 4 の出力 1 ~ 4 として、先ず画素信号 P 1 1 , P 1 b , P n 1 , P n b が出力され、次いで、画素信号 P 1 a , P 1 n , P n a , P n n が出力される。

【 0 0 5 9 】

更に、次の水平読み出し期間にも同様の読み出しが行われて、先ず、水平読み出し回路 1 1 , 1 2 の出力 1 , 2 として、画素信号 P a 1 , P a b が出力され、水平読み出し回路 1 3 , 1 4 の出力 3 , 4 として、疑似信号生成回路 D m 1 , D m b からの疑似信号 D m 1 , D m b が出力される。次いで、水平読み出し回路 1 1 , 1 2 の出力 1 , 2 として、画素信号 P a a , P a n が出力され、水平読み出し回路 1 3 , 1 4 の出力 3 , 4 として、疑似信号生成回路 D m a , D m n からの疑似信号 D m a , D m n が出力される。こうして、図 7 に示す読み出しが行われる。

【 0 0 6 0 】

このように、本実施の形態においても、各出力系から出力 1 ~ 4 として、疑似信号を含む信号の読み出しが可能である。疑似信号のレベルはレベル制御回路 4 1 によって変更可能であり、疑似信号を各出力系の特性補正のためのテスト信号として用いることができる。

【 0 0 6 1 】

なお、図 7 の例では、出力 1 , 2 については最初の水平読み出し期間が疑似信号読み出し期間となり、出力 3 , 4 については最後の水平読み出し期間が疑似信号読み出し期間となるが、垂直走査回路 4 2 , 4 3 の一方の走査方向を逆にすることによって、疑似信号読み出し期間の位置を、出力 1 ~ 4 で一致させることも可能である。

【 0 0 6 2 】

図 8 は 1 垂直走査期間中の各水平読み出し期間に各出力 1 ~ 4 として出力される疑似信号レベルを同一にし、1 垂直走査期間毎に疑似信号のレベルを変化させた例を示している。このように、各出力系から、所望のレベルの疑似信号を得ることができる。

【 0 0 6 3 】

本実施の形態によって出力される疑似信号を用いることで、各出力系のオフセットのばらつきを補正することができる。また、疑似信号のレベルを適宜変更することができるので、各出力系のリニアリティのばらつきについても補正可能である。

【 0 0 6 4 】

本実施の形態においては、疑似信号生成回路を画素領域内に配置したことにより、素子レイアウト上、対象性も良くなり、面積的にも小さくすることができるというメリットがある。

【 0 0 6 5 】

なお、本実施の形態においては、疑似信号生成回路を画素領域の周辺に配置したが、画素

10

20

30

40

50

領域の中央側に配置することも可能である。画素領域内に設けた疑似信号生成回路による画像への影響は、後段の信号処理により目立たなくさせることが可能である。

【 0 0 6 6 】

図 9 は第 3 の実施の形態の変形例を示す説明図である。

【 0 0 6 7 】

図 9 の例は、図 6 のレベル制御回路 4 1 に代えて複数種類のレベル制御が可能なレベル制御回路 4 5 を採用することによって、同一行の疑似信号生成回路からの疑似信号のレベルを個別に制御可能にしたものである。レベル制御回路 4 5 からの一方のレベル制御線は疑似信号生成回路 D 0 1 , D 0 b , D m 1 , D m b にレベル制御のための信号を供給し、レベル制御回路 4 5 からの他方のレベル制御線は疑似信号生成回路 D 0 a , D 0 n , D m a , D m n にレベル制御のための信号を供給する。

10

【 0 0 6 8 】

この場合には、図 1 0 に示すように、疑似信号生成回路 D 0 1 , D 0 b , D m 1 , D m b からの疑似信号 D 0 1 , D 0 b , D m 1 , D m b のレベルと疑似信号生成回路 D 0 a , D 0 n , D m a , D m n からの疑似信号 D 0 a , D 0 n , D m a , D m n のレベルとを变化させることができる。

【 0 0 6 9 】

このように、この例では、画素周期単位で疑似信号レベルを变化させることが可能である。また、レベル制御は疑似信号生成回路毎ではなく複数の単位毎に変える構成でもよいことは明らかである。

【 0 0 7 0 】

20

図 1 1 は本発明の第 4 の実施の形態を示す説明図である。図 1 1 において図 1 又は図 6 と同一の構成要素には同一符号を付して説明を省略する。

【 0 0 7 1 】

本実施の形態は疑似信号生成回路を画素領域内の水平方向の両端の列に構成したものである。

【 0 0 7 2 】

画素領域 5 0 には、図 1 の画素領域 1 と同様に、マトリクス状に配置された画素 P 1 1 ~ P n n が構成されている。更に、本実施の形態における画素領域 5 0 には、水平方向の左端の列（以下、第 0 列という）に疑似信号生成回路 D 1 0 ~ D n 0 が形成され、水平方向の右端の列（以下、第 m 列という）に疑似信号生成回路 D 1 m ~ D n m が形成されている。なお、図 1 1 の例は、 $a = 2$, $b = 3$, $n = 4$, $m = 5$ である。各画素 P u v (1 u , v n) の構成は図 1 と同一である。なお、疑似信号生成回路 D 1 0 ~ D a 0 は分割領域 1 に含まれ、疑似信号生成回路 D 1 m ~ D a m は分割領域 2 に含まれ、疑似信号生成回路 D b 0 ~ D n 0 は分割領域 3 に含まれ、疑似信号生成回路 D b m ~ D n m は分割領域 4 に含まれる。

30

【 0 0 7 3 】

本実施の形態においても、疑似信号生成回路 D 1 0 ~ D n 0 , D 1 m ~ D n m は、レベル制御回路 4 1 に制御されて、所望レベルの疑似信号を生成する。疑似信号生成回路 D 1 0 ~ D n 0 , D 1 m ~ D n m の構成は、図 6 と同様である。

【 0 0 7 4 】

疑似信号生成回路 D 1 0 ~ D n 0 は、垂直走査回路 2 , 3 によって対応する行が選択されることによって、第 0 列の垂直信号線に生成した疑似信号を出力する。分割領域 1 , 3 の疑似信号読み出し回路 5 1 , 5 3 は、夫々分割領域 1 , 3 の第 0 列の垂直信号線に出力された疑似信号を取込んで、出力 1 , 3 として出力する。また、疑似信号生成回路 D 1 m ~ D n m は、垂直走査回路 2 , 3 によって対応する行が選択されることによって、第 m 列の垂直信号線に生成した疑似信号を出力する。分割領域 2 , 4 の疑似信号読み出し回路 5 2 , 5 4 は、夫々分割領域 2 , 4 の第 m 列の垂直信号線に出力された疑似信号を取込んで、出力 2 , 4 として出力する。

40

【 0 0 7 5 】

次に、このように構成された実施の形態の作用について図 1 2 乃至 1 4 を参照して説明する。図 1 2 乃至図 1 4 は各出力系における信号読み出しを説明するためのタイミングチャ

50

ートである。

【 0 0 7 6 】

本実施の形態においても、垂直走査回路 2 , 3 及び水平読み出し回路 1 1 ~ 1 4 の動作は、図 1 と同様である。

【 0 0 7 7 】

いま、各疑似信号生成回路 D 1 0 ~ D n 0 , D 1 m ~ D n m は、レベル制御回路 4 1 に制御されて所望レベルの疑似信号を生成しているものとする。図示しない垂直スタートパルスが垂直走査回路 2 , 3 に供給され垂直走査が開始されると、垂直走査回路 2 , 3 は先ず第 1 , 3 行（各分割領域 1 ~ 4 の 1 行目）の水平選択線に行選択信号を出力する。これにより、分割領域 1 , 2 については、第 1 行目の疑似信号生成回路 D 1 0 , D 1 m が生成した疑似信号が第 0 列、第 m 列の垂直信号線に出力され、画素 P 1 1 , P 1 a , P 1 b , P 1 n からの画素信号が第 1 ~ 第 n 列の垂直信号線に出力される。同様に、分割領域 3 , 4 については、その 1 行目の疑似信号生成回路 D b 0 , D b m が生成した疑似信号が第 0 列、第 m 列の垂直信号線に出力され、画素 P b 1 , P b a , P b b , P b n からの画素信号が第 1 ~ 第 n 列の垂直信号線に出力される。

10

【 0 0 7 8 】

この状態で、分割領域 1 については、疑似信号読み出し回路 5 1 が第 0 列の垂直信号線の出力（疑似信号 D 1 0）を読み出して出力 1 として出力し、分割領域 2 については、水平読み出し回路 1 2 が第 b 列の垂直信号線の出力（画素信号 P 1 b）を読み出して出力 2 として出力する。また、分割領域 3 については、疑似信号読み出し回路 5 3 が第 0 列の垂直信号線の出力（疑似信号 D b 0）を読み出して出力 3 として出力し、分割領域 4 については、水平読み出し回路 1 4 が第 b 列の垂直信号線の出力（画素信号 P b b）を読み出して出力 4 として出力する（図 1 2 参照）。

20

【 0 0 7 9 】

続いて、分割領域 1 については水平読み出し回路 1 1 によって第 1 列目が選択され、分割領域 2 については水平読み出し回路 1 2 によって第 n 列目が選択され、分割領域 3 については水平読み出し回路 1 3 によって第 1 列目が選択され、分割領域 4 については水平読み出し回路 1 4 によって第 n 列目が選択される。

【 0 0 8 0 】

更に、分割領域 1 については水平読み出し回路 1 1 によって第 a 列目が選択され、分割領域 2 については疑似信号読み出し回路 5 2 によって第 m 列目が選択され、分割領域 3 については水平読み出し回路 1 3 によって第 a 列目が選択され、分割領域 4 については疑似信号読み出し回路 5 4 によって第 m 列目が選択される。

30

【 0 0 8 1 】

こうして、図 1 2 に示す読み出しが行われる。このように、各出力 1 ~ 4 を所望のレベルの疑似信号にすることができる。従って、疑似信号はテスト信号としての役割を果たすことができ、これをモニタすることで、後段の処理回路において読み出し回路毎の特性ばらつきを補正することが可能になる。

【 0 0 8 2 】

また、本実施の形態においても、疑似信号生成回路を画素領域内に配置したことにより、素子レイアウト上、対象性も良くなり、面積的にも小さくできるというメリットがある。

40

【 0 0 8 3 】

また、本実施の形態においては、出力 1 ~ 4 における疑似信号出力期間が相互に異なっているが、分割領域 1 , 2 の水平走査方向及び分割領域 3 , 4 の水平走査方向を相互に逆にすることにより、出力 1 ~ 4 の疑似信号出力期間を水平走査期間中の同一期間に設定することが可能となる。

【 0 0 8 4 】

なお、本実施の形態においては、疑似信号生成回路を画素領域の周辺に配置したが、画素領域の中央側に配置することも可能である。画素領域内に設けた疑似信号生成回路による画像への影響は、後段の信号処理により目立たなくさせることが可能である。

50

【 0 0 8 5 】

また、本実施の形態においても、レベル制御回路 4 1 によって、出力 1 ~ 4 として出力される疑似信号のレベルを変化させることが可能である。図 1 3 及び図 1 4 はこの場合の例を示している。

【 0 0 8 6 】

図 1 3 は 1 垂直走査期間中の各水平読み出し期間毎に、各出力 1 ~ 4 として出力される疑似信号のレベルを変化させた例を示している。

【 0 0 8 7 】

また、図 1 4 は 1 垂直走査期間中の各水平読み出し期間に各出力 1 ~ 4 として出力される疑似信号レベルを同一にし、1 垂直走査期間毎に疑似信号のレベルを変化させた例を示している。このように、各出力系から、所望のレベルの疑似信号を得ることができる。

10

【 0 0 8 8 】

このように本実施の形態においても、疑似信号のレベルを水平周期又はフレーム周期で制御することで、水平周期毎又はフレーム周期で変更することが可能である。

【 0 0 8 9 】

なお、第 3 及び第 4 の実施の形態を組み合わせ、疑似信号生成回路を水平及び垂直方向の両方に配置してもよいことは明らかである。

【 0 0 9 0 】

図 1 5 は本発明の第 5 の実施の形態を示す説明図である。図 1 5 (a) は画素の回路構成を示し、図 1 5 (b) は疑似信号生成回路の回路構成を示している。

20

【 0 0 9 1 】

本実施の形態は図 6、図 9 又は図 1 1 中の疑似信号生成回路の具体例を示すものである。

【 0 0 9 2 】

図 1 5 は画素領域内の画素がパッシブ型の電流読み出し方式の画素及び疑似信号生成回路の構成例を示している。図 1 5 (a) においてフォトダイオード 1 1 1 は、光電変換素子であり、入射光量に応じた信号を発生する。フォトダイオード 1 1 1 からの信号は、垂直走査回路からの水平選択線（以下、行選択線ともいう）を介して供給される行選択信号によってオン、オフ制御される MOS トランジスタ 1 1 2 を介して垂直信号線に出力される。

【 0 0 9 3 】

図 1 5 (b) に示す疑似信号生成回路は、図 1 5 (a) の MOS トランジスタ 1 1 2 と同一構成の MOS トランジスタ 1 1 3 を有している。レベル制御線はレベル制御回路によって信号レベルが制御されている。MOS トランジスタ 1 1 3 のソース・ドレインは、レベル制御線と垂直信号線とに接続されており、MOS トランジスタ 1 1 3 が行選択信号によってオンとなることによって、レベル制御線に供給された信号は、MOS トランジスタ 1 1 3 を介して垂直信号線に出力される。この垂直信号線の出力を疑似信号として、疑似信号読み出し回路又は水平読み出し回路によって読み出すようになっている。

30

【 0 0 9 4 】

図 1 6 は本発明の第 6 の実施の形態を示す説明図であり、疑似信号生成回路の他の例を示している。図 1 6 (a) は画素の回路構成を示し、図 1 6 (b) は疑似信号生成回路の回路構成を示している。

40

【 0 0 9 5 】

本実施の形態は図 6、図 9 又は図 1 1 中の疑似信号生成回路の具体例として画素が増幅型（3 トランジスタ型）の電圧読み出し方式の画素を用いた場合の例を示している。

【 0 0 9 6 】

図 1 6 (a) においてフォトダイオード 1 1 4 は、光電変換素子であり、入射光量に応じた信号を発生する。フォトダイオード 1 1 4 からの信号は、画素内アンプ 1 1 6 によって増幅される。アンプ 1 1 6 の出力端は、行選択線を介して供給される行選択信号によってオン、オフ制御される MOS トランジスタ 1 1 7 を介して垂直信号線に接続されている。行選択信号によって MOS トランジスタ 1 1 7 がオンすることによって、フォトダイオ-

50

ド114に蓄積された信号は、アンプ116によって増幅された後、垂直信号線に出力される。

【0097】

なお、フォトダイオード114はMOSトランジスタ115を介してリセット電源に接続されており、行選択線を介してリセット信号が供給されてMOSトランジスタ115がオンすることによって、フォトダイオード114に蓄積された信号はリセットされるようになっている。

【0098】

図16(b)に示す擬似信号生成回路は、図16(a)のMOSトランジスタ117と同一構成のMOSトランジスタ119及び画素内アンプ116と同一構成の画素内アンプ118を有している。レベル制御線はレベル制御回路によって信号レベルが制御されている。MOSトランジスタ119が行選択信号によってオンとなることによって、レベル制御線に供給された信号は、アンプ118によって増幅された後、MOSトランジスタ119を介して垂直信号線に出力される。この垂直信号線の出力を擬似信号として、擬似信号読み出し回路又は水平読み出し回路によって読み出すようになっている。

10

【0099】

図17は本発明の第7の実施の形態を示す説明図であり、擬似信号生成回路の他の例を示している。図17(a)は画素の回路構成を示し、図17(b)は擬似信号生成回路の回路構成を示している。

【0100】

本実施の形態は図6、図9又は図11中の擬似信号生成回路の具体例として画素が増幅型(4トランジスタ型)の画素を用いた場合の例を示している。

20

【0101】

図17(a)においてフォトダイオード120は、光電変換素子であり、入射光量に応じた信号を発生する。MOSトランジスタ121は、垂直走査回路から行選択線に出力される行選択信号によってオン、オフ制御される。MOSトランジスタ121はソース・ドレインがフォトダイオード120とノードFD間に接続されており、オンすることによって、フォトダイオード120の信号電荷をノードFDに転送する。ノードFDにおいて信号電荷は電圧値に変換される。画素内アンプ123は、ノードFDの信号を増幅して電圧信号として出力する。MOSトランジスタ122は垂直走査回路から行選択線に出力される信号によりオン、オフ制御され、オンすることによってノードFDのリセットを行う。

30

【0102】

MOSトランジスタ124は、垂直走査回路から行選択線に出力される行選択信号によりオン、オフ制御される。行選択信号によってMOSトランジスタ124がオンになると画素の選択が行われて、画素内アンプ123により増幅された信号が垂直信号線に出力される。

【0103】

図17(b)において。MOSトランジスタ125は、MOSトランジスタ121と同様の構成であり、垂直走査回路から行選択線に出力される行選択信号によりオン、オフ制御される。また、MOSトランジスタ126は、MOSトランジスタ122と同様の構成であり、垂直走査回路から行選択線に出力される信号によりオン、オフ制御される。また、画素内アンプ127は画素内アンプ123と同様の構成であり、ノードFDの信号を増幅する。

40

【0104】

レベル制御回路に接続されたレベル制御線から入力された信号は、MOSトランジスタ125によってノードFDに転送された後、アンプ127によって増幅され、選択用MOSトランジスタ128がオンすることによって垂直信号線に出力される。垂直信号線の出力を擬似信号読み出し回路又は水平読み出し回路によって出力することで、擬似信号が得られる。

【0105】

50

なお、上記第5乃至7の実施の形態の画素と擬似信号生成回路とを適宜組み合わせることも可能である。擬似信号生成回路からの信号は画素信号と同様な形態で出力されるので、その後の擬似信号読み出し回路の構成も画素信号の読み出し回路と同様な構成を用いることができるというメリットがある。

【0106】

また、上記第5乃至第7の実施の形態における画素及び擬似信号生成回路は一例であり、図6、図9及び図11中の画素及び擬似信号生成回路としては、これに限定されるものではなく、後段の処理回路に用いることができる撮像信号と擬似信号とが得られるものであれば、どのようなものでもよい。

【0107】

図18は本発明の第8の実施の形態を示す説明図である。図18において図1と同一の構成要素には同一符号を付して説明を省略する。

【0108】

上記各実施の形態においては、擬似信号生成回路において異なるレベルの擬似信号の出力を可能にしていた。これに対し、本実施の形態は擬似信号生成回路からは一定レベルの擬似信号を発生させ、擬似信号読み出し回路によって出力する擬似信号のレベルを変化させるものである。

【0109】

本実施の形態は図1の擬似信号読み出し回路21～24に夫々代えて擬似信号読み出し回路61～64を採用し、レベル制御回路29～32に夫々代えてレベル制御回路65～68を採用した点が第1の実施の形態と異なる。

【0110】

擬似信号生成回路25～28は、一定レベルの擬似信号を生成して、夫々擬似信号読み出し回路61～64に出力する。擬似信号読み出し回路61～64は、図1の擬似信号読み出し回路21～24と同様な構成であり、基準電源レベルが可変である点が擬似信号読み出し回路21～24と異なる。レベル制御回路65～68は、夫々、擬似信号読み出し回路61～64の基準電源レベルを制御するようになっている。

【0111】

このように構成された実施の形態においては、レベル制御回路65～68が、夫々、擬似信号読み出し回路61～64の基準電源レベルを制御する。擬似信号生成回路25～28が生成した一定レベルの擬似信号は、擬似信号読み出し回路61～64により読み出される際に、所望のレベルに変換されて出力される。これにより、分割領域1～4に対応した各出力1～4として、所望のレベルの擬似信号が出力される。

【0112】

他の作用は、第1の実施の形態と同様である。

【0113】

このように本実施の形態においては、擬似信号生成回路25～28によって生成した一定レベルの擬似信号を擬似信号読み出し回路61～64において読み出す際に、レベル制御回路65～68によって擬似信号読み出し回路内の基準電源レベルを制御している。これにより、各出力1～4として出力される擬似信号のレベルを所望のレベルに変化させることができる。従って、擬似信号はテスト信号としての役割を果たすことができ、これをモニタすることで、後段の処理回路において読み出し回路毎の特性ばらつきを補正することが可能になる。

【0114】

なお、本実施の形態においては、擬似信号は毎水平読み出し期間の最初に出力される構成としたが、種々のタイミングで出力可能であることは、第1の実施の形態と同様である。

【0115】

図19は本発明の第9の実施の形態を示す説明図である。図19において図5と同一の構成要素には同一符号を付して説明を省略する。

【0116】

本実施の形態も疑似信号生成回路からは一定レベルの疑似信号を発生させ、疑似信号読み出し回路によって出力する疑似信号のレベルを変化させるものである。

【0117】

本実施の形態は図5の疑似信号読み出し回路21～24に夫々代えて疑似信号読み出し回路61～64を採用し、レベル制御回路36に代えてレベル制御回路69を採用した点が第2の実施の形態と異なる。

【0118】

疑似信号生成回路35は、一定レベルの疑似信号を生成して、疑似信号読み出し回路61～64に出力する。疑似信号読み出し回路61～64は、基準電源レベルが可変である点を除き図5の疑似信号読み出し回路21～24と同様の構成である。レベル制御回路69は、疑似信号読み出し回路61～64の基準電源レベルを制御するようになっている。

10

【0119】

このように構成された実施の形態においては、レベル制御回路69が、疑似信号読み出し回路61～64の基準電源レベルを制御する。疑似信号生成回路35が生成した一定レベルの疑似信号は、疑似信号読み出し回路61～64により読み出される際に、所望のレベルに変換されて出力される。これにより、分割領域1～4に対応した各出力1～4として、所望のレベルの疑似信号が出力される。

【0120】

他の作用は、第2の実施の形態と同様である。

【0121】

このように本実施の形態においては、疑似信号生成回路35によって生成した一定レベルの疑似信号を疑似信号読み出し回路61～64において読み出す際に、レベル制御回路69によって疑似信号読み出し回路内の基準電源レベルを制御している。これにより、各出力1～4として出力される疑似信号のレベルを所望のレベルに変化させることができる。従って、疑似信号はテスト信号としての役割を果たすことができ、これをモニタすることで、後段の処理回路において読み出し回路毎の特性ばらつきを補正することが可能になる。

20

【0122】

また、本実施の形態においては、疑似信号生成回路35及びレベル制御回路69が共用化されているので、疑似信号生成回路及びレベル制御回路のばらつきの悪影響がなく、疑似信号を用いた出力系等の補正精度を向上させることができる。

30

【0123】

図20は本発明の第10の実施の形態を示す説明図である。図20において図6と同一の構成要素には同一符号を付して説明を省略する。

【0124】

本実施の形態も疑似信号生成回路からは一定レベルの疑似信号を発生させ、疑似信号読み出し回路によって出力する疑似信号のレベルを変化させるものである。

【0125】

本実施の形態は図6の水平読み出し回路11～14に夫々代えて水平読み出し回路71～74を採用し、レベル制御回路41に代えてレベル制御回路75を採用した点が第3の実施の形態と異なる。

40

【0126】

疑似信号生成回路D01～D0n、Dm1～Dmnは、一定レベルの疑似信号を生成する。水平読み出し回路71～74は、基準電源レベルが可変である点を除き図6の水平読み出し回路11～14と同様の構成である。レベル制御回路75は、水平読み出し回路71～74の基準電源レベルを制御するようになっている。

【0127】

このように構成された実施の形態においては、レベル制御回路75が、水平読み出し回路71～74の基準電源レベルを制御する。疑似信号生成回路D01～D0n、Dm1～Dmnが生成した一定レベルの疑似信号は、水平読み出し回路71～74により読み出される際に、

50

所望のレベルに変換されて出力される。これにより、分割領域 1 ~ 4 に対応した各出力 1 ~ 4 として、所望のレベルの疑似信号が出力される。

【 0 1 2 8 】

他の作用は、第 3 の実施の形態と同様である。

【 0 1 2 9 】

このように本実施の形態においては、疑似信号生成回路 D01 ~ D0n, Dm1 ~ Dmn によって生成した一定レベルの疑似信号を水平読み出し回路 7 1 ~ 7 4 において読み出す際に、レベル制御回路 7 5 によって水平読み出し回路内の基準電源レベルを制御している。これにより、各出力 1 ~ 4 として出力される疑似信号のレベルを所望のレベルに変化させることができる。従って、疑似信号はテスト信号としての役割を果たすことができ、これをモニタすることで、後段の処理回路において読み出し回路毎の特性ばらつきを補正することが可能になる。

10

【 0 1 3 0 】

図 2 1 は第 1 0 の実施の形態の変形例を示す説明図である。

【 0 1 3 1 】

図 2 1 の例は、図 2 0 のレベル制御回路 7 5 に代えて複数種類のレベル制御が可能なレベル制御回路 7 6 を採用することによって、同一行の疑似信号生成回路からの疑似信号のレベルを個別に制御可能にしたものである。レベル制御回路 7 6 からの一方のレベル制御線は水平読み出し回路 7 1 ~ 7 4 にレベル制御のための信号を供給し、レベル制御回路 7 6 からの他方のレベル制御線は水平読み出し回路 7 1 ~ 7 4 にレベル制御のための信号を供給する。

20

【 0 1 3 2 】

水平読み出し回路 7 1 ~ 7 4 は、各分割領域 1 ~ 4 の 1 列目の疑似信号生成回路 D01, D0b, Dm1 及び Dmb の読み出し時には、例えば、一方のレベル制御線によって伝送された信号に基づくレベルの疑似信号を出力し、各分割領域 1 ~ 4 の 2 列目の疑似信号生成回路 D0a, D0n, Dma 及び Dmn の読み出し時には、他方のレベル制御線によって伝送された信号に基づくレベルの疑似信号を出力する。これにより、画素周期単位で疑似信号レベルを変化させることが可能である。また、レベル制御は疑似信号生成回路毎ではなく複数の単位毎に変える構成でもよいことは明らかである。

【 0 1 3 3 】

このように、この場合においても、各出力端子からは所望のレベルの疑似信号が得られることになる。従って、疑似信号はテスト信号としての役割を果たすことができ、これをモニタすることで、後段の処理回路において読み出し回路毎の特性ばらつきを補正することが可能になる。

30

【 0 1 3 4 】

他の効果は第 3 の実施の形態と同様である。

【 0 1 3 5 】

図 2 2 は本発明の第 1 1 の実施の形態を示す説明図である。図 2 2 において図 1 1 及び図 2 0 と同一の構成要素には同一符号を付して説明を省略する。

【 0 1 3 6 】

本実施の形態も疑似信号生成回路からは一定レベルの疑似信号を発生させ、疑似信号読み出し回路によって出力する疑似信号のレベルを変化させるものである。

40

【 0 1 3 7 】

本実施の形態は図 1 1 の疑似信号読み出し回路 5 1 ~ 5 4 に夫々代えて疑似信号読み出し回路 8 1 ~ 8 4 を採用し、レベル制御回路 4 1 に代えてレベル制御回路 7 5 を採用した点が第 4 の実施の形態と異なる。

【 0 1 3 8 】

疑似信号生成回路 D10 ~ Dn0, D1m ~ Dnm は、一定レベルの疑似信号を生成する。疑似信号読み出し回路 8 1 ~ 8 4 は、基準電源レベルが可変である点を除き図 1 1 の疑似信号読み出し回路 5 1 ~ 5 4 と同様の構成である。レベル制御回路 7 5 は、疑似信号読み出し回

50

路 8 1 ~ 8 4 の基準電源レベルを制御するようになっている。

【 0 1 3 9 】

このように構成された実施の形態においては、レベル制御回路 7 5 が、疑似信号読み出し回路 8 1 ~ 8 4 の基準電源レベルを制御する。疑似信号生成回路 D 10 ~ D n 0 , D 1 m ~ D n m が生成した一定レベルの疑似信号は、疑似信号読み出し回路 8 1 ~ 8 4 により読み出される際に、所望のレベルに変換されて出力される。これにより、分割領域 1 ~ 4 に対応した各出力 1 ~ 4 として、所望のレベルの疑似信号が出力される。

【 0 1 4 0 】

他の作用は、第 4 の実施の形態と同様である。

【 0 1 4 1 】

このように本実施の形態においては、疑似信号生成回路 D 10 ~ D n 0 , D 1 m ~ D n m によって生成した一定レベルの疑似信号を疑似信号読み出し回路 8 1 ~ 8 4 において読み出す際に、レベル制御回路 7 5 によって疑似信号読み出し回路 8 1 ~ 8 4 内の基準電源レベルを制御している。これにより、各出力 1 ~ 4 として出力される疑似信号のレベルを所望のレベルに変化させることができる。従って、疑似信号はテスト信号としての役割を果たすことができ、これをモニタすることで、後段の処理回路において読み出し回路毎の特性ばらつきを補正することが可能になる。

【 0 1 4 2 】

他の効果は第 4 の実施の形態と同様である。

【 0 1 4 3 】

なお、第 1 0 及び第 1 1 の実施の形態の両方を適用して、疑似信号生成回路を画素領域内の水平及び垂直方向の両方に配置するようにしてもよい。

【 0 1 4 4 】

図 2 3 は本発明の第 1 2 の実施の形態を示す回路図である。本実施の形態は図 1 8 乃至図 2 2 中の疑似信号読み出し回路又は水平読み出し回路の具体例を示すものである。

【 0 1 4 5 】

図 2 3 において、疑似信号生成回路 9 1 は、図 1 8 乃至図 2 2 中の疑似信号生成回路 2 5 ~ 2 8 , 3 5 , D 0 1 ~ D 0 n , D m 1 ~ D m n 等に相当し、レベル制御回路 9 2 は、図 1 8 乃至図 2 2 中のレベル制御回路 6 5 ~ 6 8 , 6 9 , 7 5 , 7 6 等に相当する。

【 0 1 4 6 】

メモリ素子 2 2 2 は、疑似信号生成回路 9 1 からの疑似信号を記憶するものであり、その基準電源はレベル制御回路 9 2 から与えられるようになっている。M O S トランジスタ 2 2 1 は、疑似信号生成回路 9 1 からの疑似信号を転送するためのものであり、図 1 8 乃至図 2 2 では省略した転送制御線に供給される制御信号によってオン、オフ制御される。スイッチ 2 2 3 は、メモリ素子 2 2 2 に記憶された信号を選択して、出力線に出力する。選択ユニット 2 2 4 は、シフトレジスタ等によって構成されており、スイッチ 2 2 3 をオン、オフ制御する。なお、選択ユニット 2 2 4 及びスイッチ 2 2 3 は、図 1 8 乃至図 2 2 中の水平読み出し回路内のパルス転送部と同様の構成である。

【 0 1 4 7 】

このように構成された疑似信号読み出し回路又は水平読み出し回路においては、疑似信号生成回路 9 1 からの疑似信号をメモリ素子 2 2 2 に供給して記憶させる。その後、レベル制御回路 9 2 によって、メモリ素子 2 2 2 の基準電源レベルを制御する。これにより、メモリ素子 2 2 2 に蓄積された疑似信号は基準電源レベルに応じて変化したレベルでメモリ素子 2 2 2 から出力されることになる。選択ユニット 2 2 4 が選択スイッチ 2 2 3 をオンにすることによって、メモリ素子 2 2 2 の疑似信号は出力線に出力される。

【 0 1 4 8 】

例えば、疑似信号が記憶された直後のメモリ素子 2 2 2 の出力端の信号レベルを V 1、この時の基準電源のレベルを V R 1、記憶後に変更された基準電源線のレベルを V R 2 とすると、外部に出力される疑似信号のレベル (メモリ素子 2 2 2 出力端の信号レベル) V は、 $V = V 1 + (V R 2 - V R 1)$ となる。こうして、基準電源のレベル変化分だけ出力す

10

20

30

40

50

る疑似信号の信号レベルを変化させることが可能となる。

【 0 1 4 9 】

このように、本実施の形態においては、レベル制御回路 9 2 によって基準電源のレベルを制御することにより、所望レベルの疑似信号を得ることができる。

【 0 1 5 0 】

図 2 4 は本発明の第 1 3 の実施の形態を示す回路図である。本実施の形態も図 1 8 乃至図 2 2 中の疑似信号読み出し回路又は水平読み出し回路の具体例を示すものである。図 2 4 において図 2 3 と同一の構成要素には同一符号を付して説明を省略する。

【 0 1 5 1 】

疑似信号生成回路 9 1 として、遮光画素を利用することができる。しかし、遮光画素を用いた場合には、画素毎のばらつきである F P N と呼ばれるノイズが混入する場合がある。本実施の形態は、この F P N をキャンセルすることを可能にしたものである。

【 0 1 5 2 】

メモリ素子 2 2 2 - 1 は、疑似信号生成回路 9 1 からの疑似信号を記憶するものであり、その基準電源はレベル制御回路 9 2 から与えられるようになっている。本実施の形態においては、疑似信号生成回路 9 1 からの F P N を記憶するためのメモリ素子 2 2 2 - 2 が設けられている。メモリ素子 2 2 2 - 2 の基準電源もレベル制御回路 9 2 から与えられるようになっている。M O S トランジスタ 2 2 1 - 1 は、疑似信号生成回路 9 1 からの疑似信号を転送するためのものであり、図 1 8 乃至図 2 2 では省略した信号用転送制御線に供給される制御信号によってオン、オフ制御される。また、M O S トランジスタ 2 2 1 - 2 は、疑似信号生成回路 9 1 からの F P N を転送するためのものであり、図 1 8 乃至図 2 2 では省略した F P N 用転送制御線に供給される制御信号によってオン、オフ制御される。

【 0 1 5 3 】

スイッチ 2 2 3 - 1 は、メモリ素子 2 2 2 - 1 に記憶された疑似信号を選択して信号出力線に出力する。スイッチ 2 2 3 - 2 は、メモリ素子 2 2 2 - 2 に記憶された F P N を選択して F P N 出力線に出力する。選択ユニット 2 2 4 は、シフトレジスタ等によって構成されており、スイッチ 2 2 3 - 1 , 2 2 3 - 2 をオン、オフ制御する。

【 0 1 5 4 】

このように構成された疑似信号読み出し回路又は水平読み出し回路においては、疑似信号生成回路 9 1 からの疑似信号をメモリ素子 2 2 2 - 1 に供給して記憶させる。一方、例えば遮光画素を疑似信号生成回路 9 1 として利用することによって、入射光に基づく電荷が蓄積されていない画素からの信号を F P N としてメモリ素子 2 2 2 - 2 に供給して記憶させる。メモリ素子 2 2 2 - 1 , 2 2 2 - 2 に記憶されている信号同士の差分を求めることで、疑似信号中に含まれる F P N を除去することができる。

【 0 1 5 5 】

疑似信号のレベルを変化させる場合には、レベル制御回路 9 2 は、メモリ素子 2 2 2 - 1 , 2 2 2 - 2 の基準電源レベルを夫々変更する。これにより、メモリ素子 2 2 2 - 1 , 2 2 2 - 2 に夫々蓄積された信号は基準電源レベルの変化に応じたレベルでメモリ素子 2 2 2 - 1 , 2 2 2 - 2 から出力されることになる。選択ユニット 2 2 4 が選択スイッチ 2 2 3 - 1 , 2 2 3 - 2 をオンにすることによって、メモリ素子 2 2 2 - 1 , 2 2 2 - 2 に保持された信号は夫々信号出力線及び F P N 出力線に出力される。

【 0 1 5 6 】

例えば、疑似信号が記憶された直後のメモリ素子 2 2 2 - 1 の出力端の信号レベルを $V_1 + V_{FPN}$ 、この時の基準電源のレベルを V_{R1} 、記憶後に変更された基準電源線のレベルを V_{R2} とし、F P N が記憶された直後のメモリ素子 2 2 2 - 2 の出力端の信号レベルを V_{FPN} 、この時の基準電源のレベルを V_{R1FPN} 、記憶後に変更された基準電源線のレベルを V_{R2FPN} とする。そうすると、信号出力線に出力される信号レベル V_s は、 $V_s = V_1 + V_{FPN} + (V_{R2} - V_{R1})$ となり、F P N 出力線に出力される信号レベル V_n は、 $V_n = V_{FPN} + (V_{R2FPN} - V_{R1FPN})$ となる。これらの出力の差分を求めると、 $V_s - V_n = V_1 + V_{FPN} + (V_{R2} - V_{R1}) - V_{FPN} - (V_{R2FPN} - V_{R1FPN}) = V_1 + ($

10

20

30

40

50

$V_{R2} - V_{R1} - (V_{R2FPN} - V_{R1FPN})$ となる。即ち、出力の差 ($V_s - V_n$) からは FPN がキャンセルされており、また、疑似信号のレベルは基準電源のレベル変化分に応じた値となる。

【0157】

このように、本実施の形態においては、レベル制御回路 92 によって基準電源のレベルを制御することにより、所望レベルの疑似信号を得ることができると共に、FPN を除去した疑似信号を得ることができる。

【0158】

図 25 は図 18 乃至図 22 中の疑似信号読み出し回路又は水平読み出し回路の具体例で、FPN をキャンセル可能にした他の例を示す回路図である。図 25 において図 23 と同一の構成要素には同一符号を付して説明を省略する。

10

【0159】

図 25 の例は信号又は FPN をクランプすることで FPN キャンセル行うものである。

【0160】

図 25 において、クランプ容量 225 は疑似信号生成回路 91 からの FPN をクランプするためのクランプ容量であり、その容量値を C1 とする。サンプリングスイッチ 226 及びクランプスイッチ 227 は、夫々サンプリング制御線又はクランプ制御線を介して伝送される信号によってオン、オフ制御される。ホールド容量 228 は疑似信号生成回路 91 からの FPN が除去された疑似信号を保持する容量であり、その容量値は C2 とする。ホールド容量 228 の基準電源はレベル制御回路 92 によって制御されるようになっている。

20

【0161】

このように構成された読み出し回路においては、先ずサンプリングスイッチ 226 及びクランプスイッチ 227 を導通状態とし、疑似信号生成回路 91 の FPN をクランプ容量 225 にクランプすると共に、ノード A 即ちホールド容量 228 をクランプ電源に固定する。ここで、クランプレベルを VC とする。次に、クランプスイッチ 227 を非導通状態として、疑似信号生成回路 91 からの疑似信号をクランプ容量 225 に供給する。そうすると、ノード A では、FPN と疑似信号との差分を容量 225, 228 で分圧した値だけレベルが変化する。

30

【0162】

即ち、疑似信号生成回路 91 の FPN と疑似信号との差分を FPN レベルを基準として V とすると、ノード A のレベルは、 $V \times C1 / (C1 + C2)$ だけ変化して、 $VC + V \times C1 / (C1 + C2)$ となる。従って、ホールド容量 228 には FPN がキャンセルされた疑似信号が記憶されることになる。ホールド容量 228 に保持された疑似信号は選択スイッチ 223 を介して出力線に出力される。

【0163】

ここで、FPN がキャンセルされた疑似信号がホールド容量 228 に記憶された後に、レベル制御回路 92 によってホールド容量 228 の基準電源のレベルを変化させると、このレベル変化分だけ出力する疑似信号のレベルを変化させることが可能となる。

40

【0164】

このように、図 25 の例においても、基準電源線のレベルを制御することで、所望レベルの疑似信号を得ることができる。

【0165】

なお、図 25 の説明では、FPN をクランプした後に疑似信号を読み出すシーケンスで説明したが、その逆も可能であることは明らかである。また、図 25 のサンプリングスイッチを、クランプ容量の入力側に配置してもよい。

【0166】

図 26 は図 18 乃至図 22 中の疑似信号読み出し回路又は水平読み出し回路の具体例で、FPN をクランプしてキャンセルする他の例を示す回路図である。図 26 において図 25

50

と同一の構成要素には同一符号を付して説明を省略する。

【0167】

図26の読み出し回路はレベル制御回路92がホールド容量228の電源レベルではなく、クランプ電源を変化させる点が図25の例と異なる。

【0168】

このように構成された読み出し回路においては、まずサンプリングスイッチ226及びクランプスイッチ227を導通状態とし、擬似信号生成回路91のFPNをクランプ容量225にクランプすると共に、ノードA即ちホールド容量228をクランプ電源に固定する。ここで、クランプレベルをVCとする。次に、クランプスイッチ227を非導通状態として、擬似信号生成回路91からの擬似信号をクランプ容量225に供給する。そうすると、ノードAでは、FPNと擬似信号との差分を容量225, 228で分圧した値だけレベルが変化する。

10

【0169】

即ち、擬似信号生成回路91のFPNと擬似信号との差分をFPNレベルを基準としてVとすると、ノードAのレベルは、 $V \times C1 / (C1 + C2)$ だけ変化して、 $VC + V \times C1 / (C1 + C2)$ となる。従って、ホールド容量228にはFPNがキャンセルされた擬似信号が記憶されることになる。ホールド容量228に保持された擬似信号は選択スイッチ223を介して出力線に出力される。

【0170】

ここで、クランプレベルVCはレベル制御回路92によって所望のレベルに制御可能である。即ち、擬似信号を出力線に出力する直前のノードA、つまりホールド容量228の信号レベル $VC + V \times C1 / (C1 + C2)$ を変更することができる。こうして、レベル制御回路92によってホールド容量228の信号レベル、つまり、出力する擬似信号のレベルを変化させることが可能となる。

20

【0171】

図26の例においても、擬似信号をクランプした後にFPNを読み出すシーケンスを採用してもよく、また、サンプリングスイッチをクランプ容量の入力側に配置してもよい。

【0172】

なお、図23乃至図26の読み出し回路は一例であり、後段の処理回路に用いることができる擬似信号が得られれば、どのような回路構成を採用してもよいことは明らかである。

30

【0173】

【発明の効果】

以上説明したように本発明によれば、異なる信号経路によって画素信号を出力する場合でも、信号経路毎の特性差を検出可能にすることで、高画質の画像の取得を可能にすることができるという効果を有する。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る撮像素子を示す説明図。

【図2】第1の実施の形態における読み出しを説明するためのタイミングチャート。

【図3】第1の実施の形態における読み出しを説明するためのタイミングチャート。

【図4】第1の実施の形態における読み出しを説明するためのタイミングチャート。

40

【図5】本発明の第2の実施の形態を示す説明図。

【図6】本発明の第3の実施の形態を示す説明図。

【図7】第3の実施の形態における各出力系の信号読み出しを説明するためのタイミングチャート。

【図8】第3の実施の形態における各出力系の信号読み出しを説明するためのタイミングチャート。

【図9】第3の実施の形態の変形例を示す説明図。

【図10】第3の実施の形態の変形例の動作を説明するためのタイミングチャート。

【図11】本発明の第4の実施の形態を示す説明図。

【図12】第4の実施の形態における各出力系の信号読み出しを説明するためのタイミン

50

グチャート。

【図13】第4の実施の形態における各出力系の信号読み出しを説明するためのタイミンググチャート。

【図14】第4の実施の形態における各出力系の信号読み出しを説明するためのタイミンググチャート。

【図15】本発明の第5の実施の形態を示す説明図。

【図16】本発明の第6の実施の形態を示す説明図。

【図17】本発明の第7の実施の形態を示す説明図。

【図18】本発明の第8の実施の形態を示す説明図。

【図19】本発明の第9の実施の形態を示す説明図。

10

【図20】本発明の第10の実施の形態を示す説明図。

【図21】第10の実施の形態の変形例を示す説明図。

【図22】本発明の第11の実施の形態を示す説明図。

【図23】本発明の第12の実施の形態を示す回路図。

【図24】本発明の第13の実施の形態を示す回路図。

【図25】図18乃至図22中の疑似信号読み出し回路又は水平読み出し回路の具体例で、FPNをキャンセル可能にした他の例を示す回路図。

【図26】図18乃至図22中の疑似信号読み出し回路又は水平読み出し回路の具体例で、FPNをクランプしてキャンセルする他の例を示す回路図。

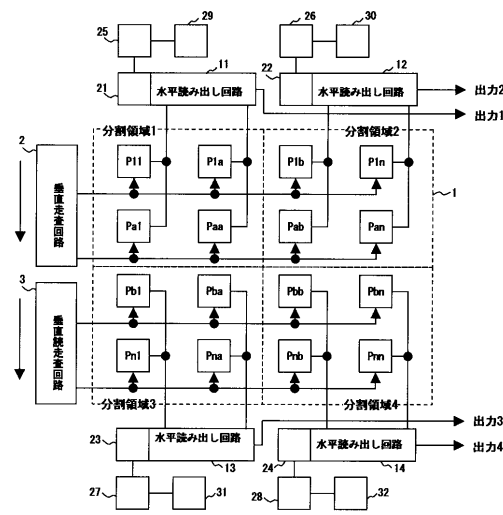
【図27】特許文献1に開示された技術を説明するための説明図。

20

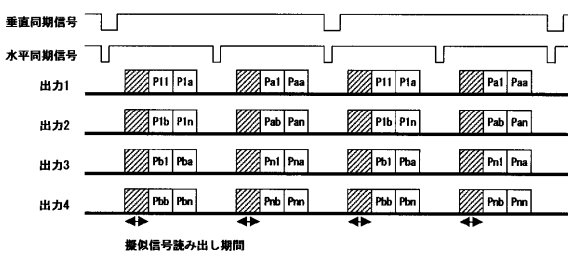
【符号の説明】

1...画素領域、2,3...垂直走査回路、11~14...水平読み出し回路、21~24...疑似信号読み出し回路、25~28...疑似信号生成回路、29...32...レベル制御回路。

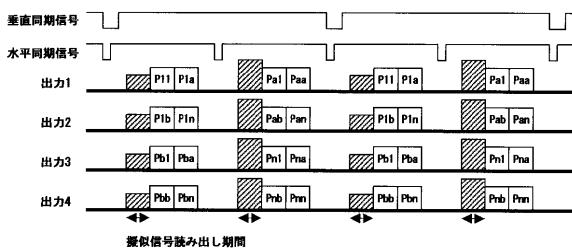
【図1】



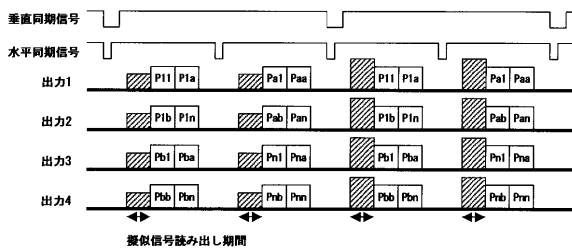
【図2】



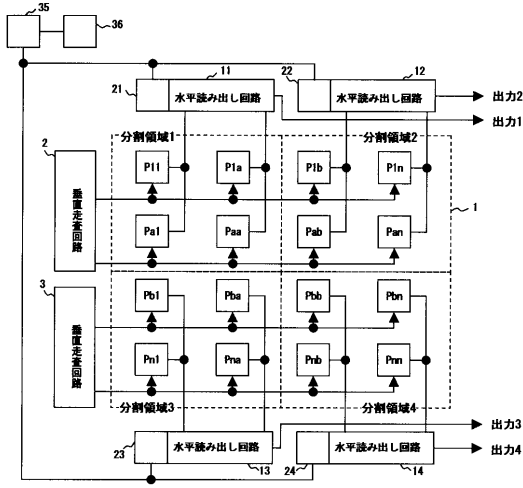
【図3】



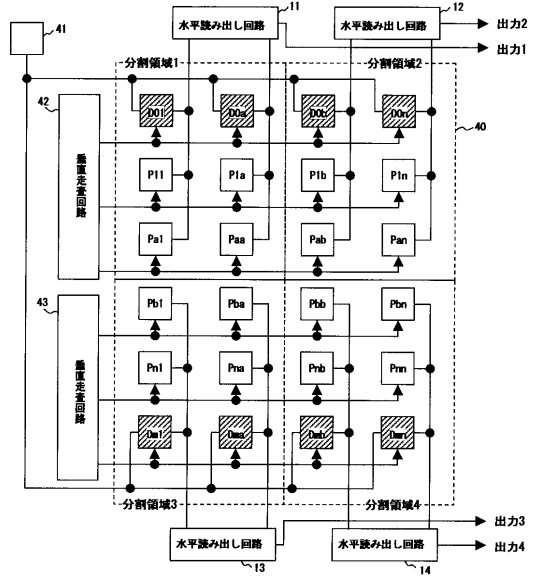
【図4】



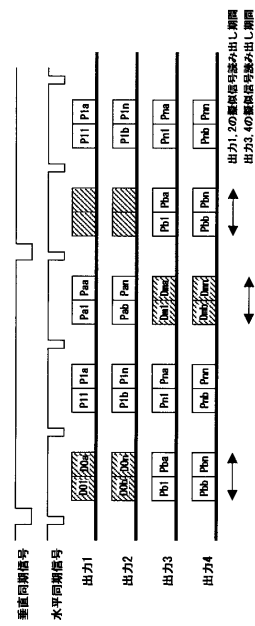
【図5】



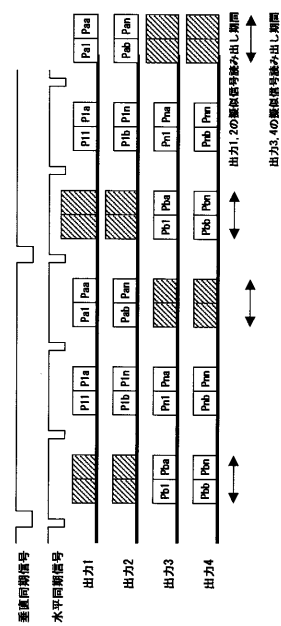
【図6】



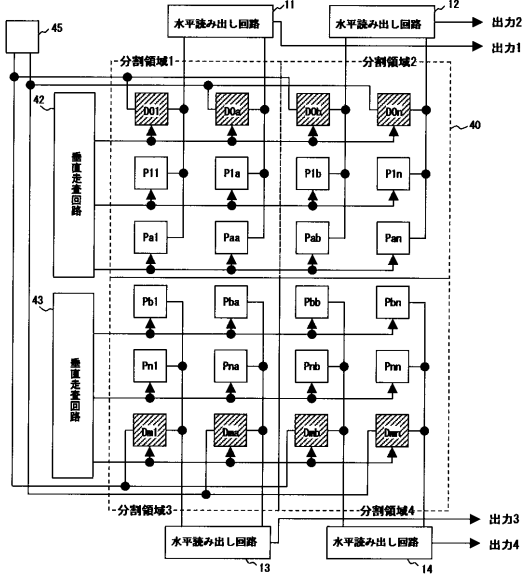
【図7】



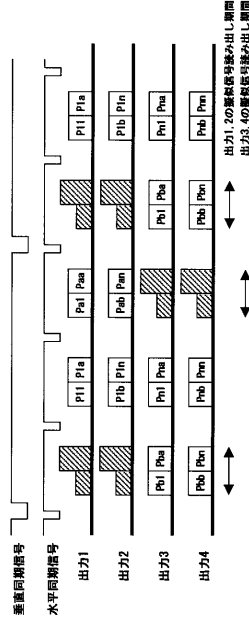
【図8】



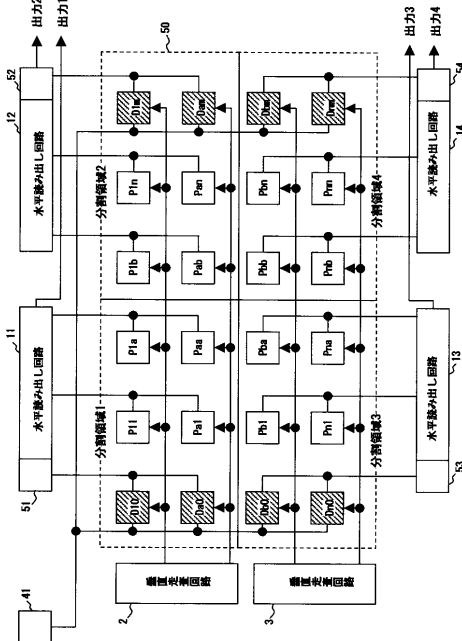
【図9】



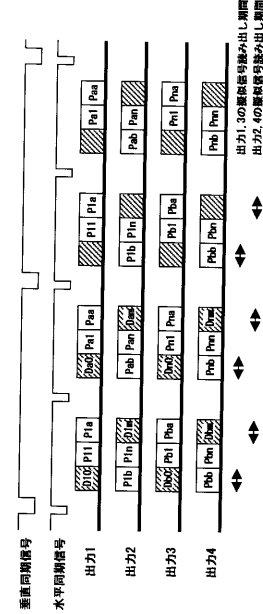
【図10】



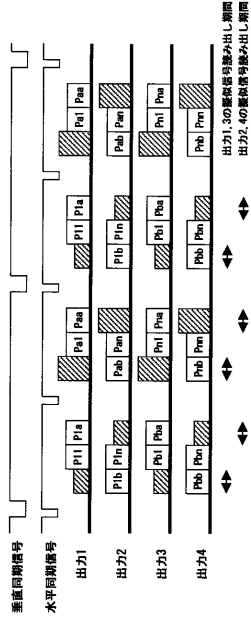
【図11】



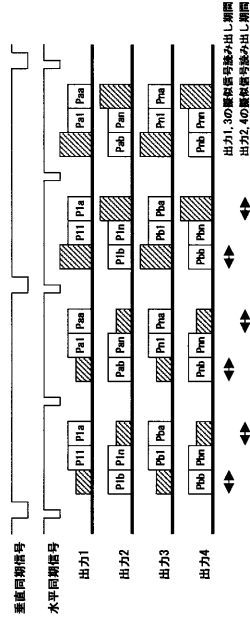
【図12】



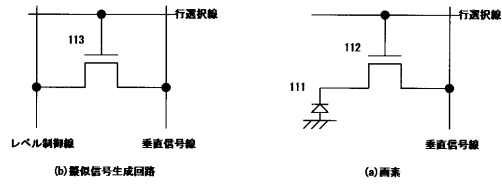
【図13】



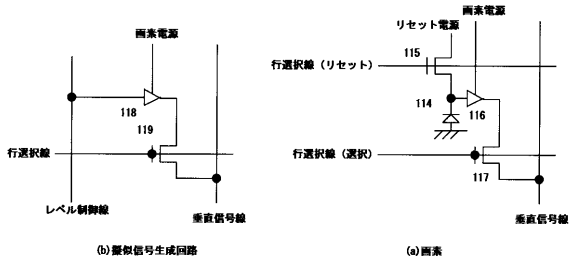
【図14】



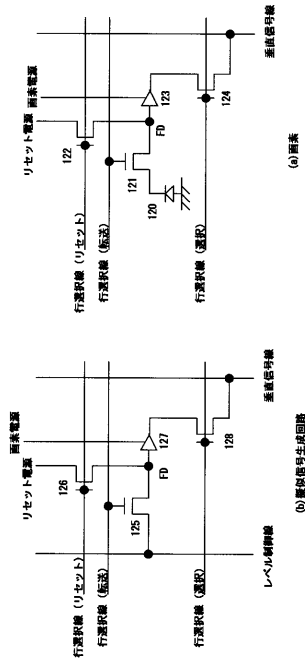
【図15】



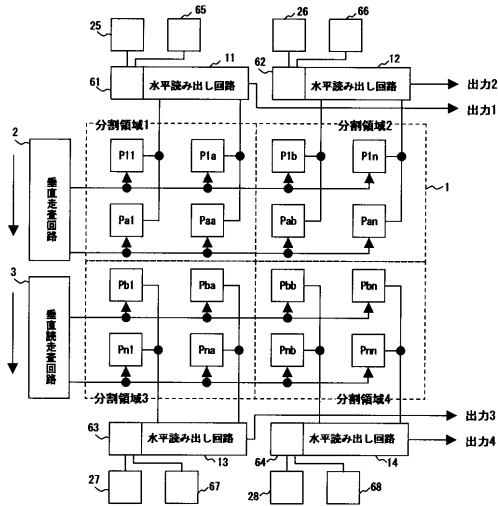
【図16】



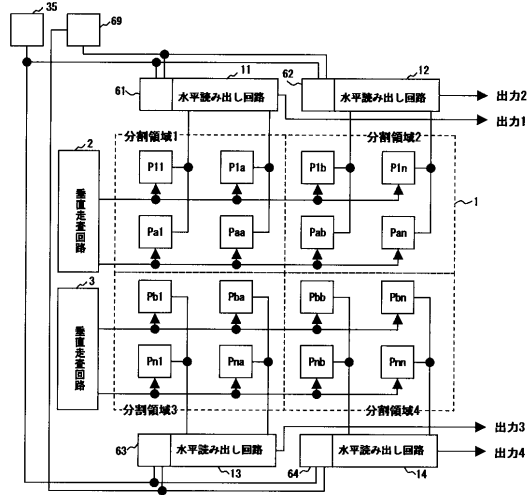
【図17】



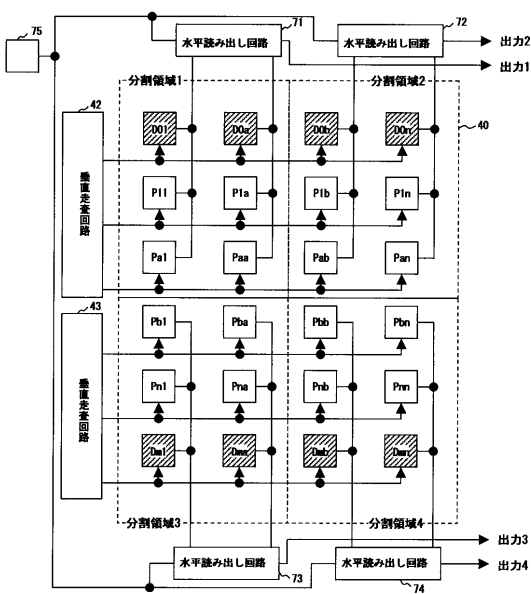
【図18】



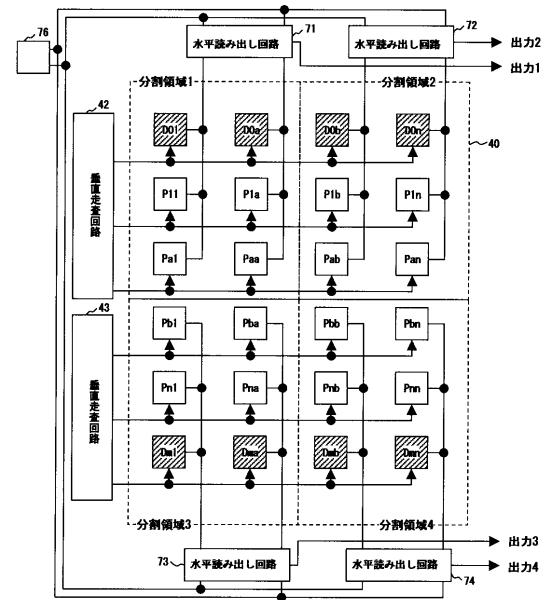
【図19】



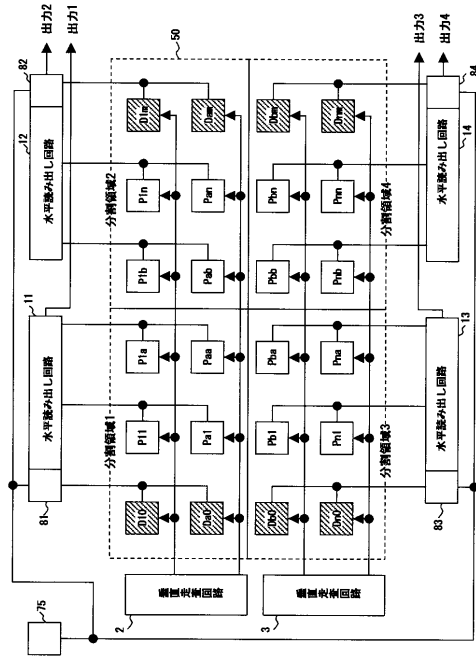
【図20】



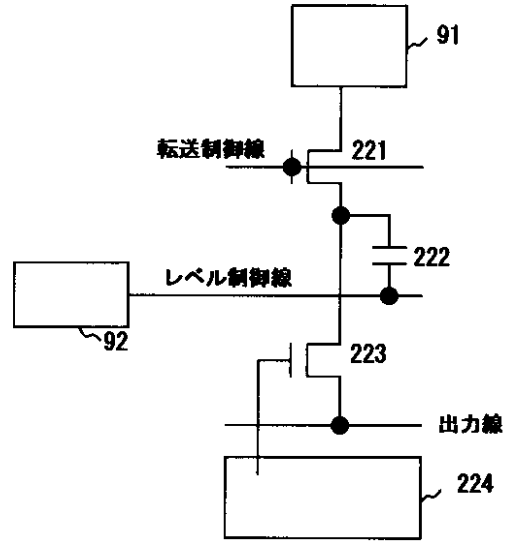
【図21】



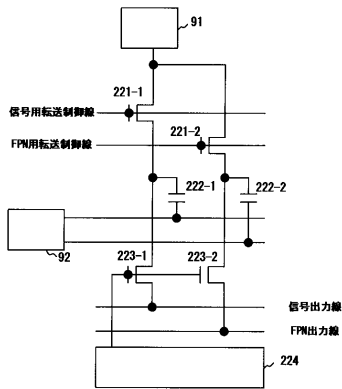
【図22】



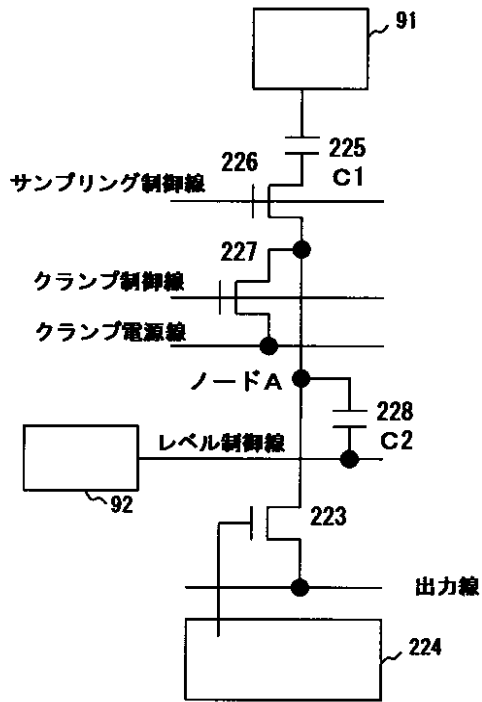
【図23】



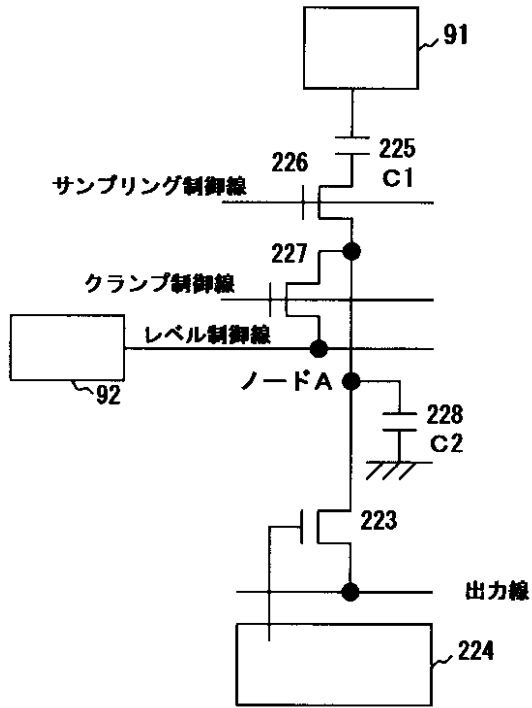
【図24】



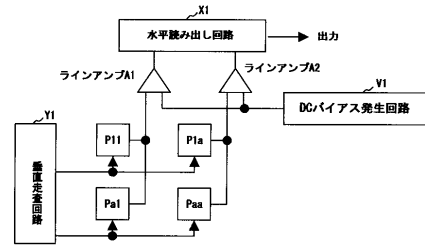
【図25】



【図26】



【図27】



フロントページの続き

- (72)発明者 五味 祐一
東京都渋谷区幡ヶ谷2丁目4番2号 オリパス光学工業株式会社内
- (72)発明者 萩原 義雄
東京都渋谷区幡ヶ谷2丁目4番2号 オリパス光学工業株式会社内

審査官 曾我 亮司

- (56)参考文献 特開平06-326929(JP,A)
特開2000-299818(JP,A)
特開平08-223486(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H04N 5/30- 5/335