



CH 689 286 A5

19



SCHWEIZERISCHE EIDGENOSSENSCHAFT
EIDGENÖSSISCHES INSTITUT FÜR GEISTIGES EIGENTUM

11 CH 689 286 A5

51 Int. Cl.⁶: G 01 R 031/02**Erfindungspatent für die Schweiz und Liechtenstein**

Schweizerisch-liechtensteinischer Patentschutzvertrag vom 22. Dezember 1978

12 PATENTSCHRIFT A5

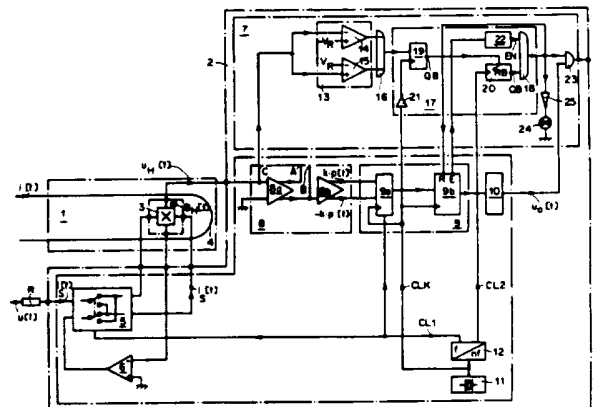
21 Gesuchsnummer: 03539/94

22 Anmeldungsdatum: 24.11.1994

24 Patent erteilt: 29.01.1999

45 Patentschrift
veröffentlicht: 29.01.199973 Inhaber:
Landis & Gyr Technology Innovation AG,
6301 Zug (CH)72 Erfinder:
Petr, Jan, Oberwil b. Zug (CH)
Jeker, Erich, Baar (CH)**54 Anordnung zum Erkennen von Drahtunterbrüchen und/oder von Drahtkurzschlüssen in einer Halbleiterschaltung.**

57 Die Anordnung (7) enthält mindestens einen oder zwei Schwellwertschalter (14 oder 15) zum Erkennen eines Vorhandenseins je einer Sättigungs-Ausgangsspannung in der Halbleiterschaltung. Ein Ausgang des Schwellwertschalters (14 bzw. 15) bzw. eines Verknüpfungs-Gatters (16) ist auf einen Eingang einer Signalaufbereitungs-Anordnung (17) geführt, welche ein Freigabe-Gatter (18) zur Sperrung eines Wirksamwerdens der Anordnung (7) zur Vermeidung eines Ansprechens der Anordnung (7) anlässlich periodischer Umschaltungen im Betrieb der Halbleiterschaltung und einen monostabilen Multivibrator (20) enthält zur Vermeidung eines Ansprechens der Anordnung (7) anlässlich begrenzter Betriebs-Unterbrüche der Halbleiterschaltung. Die Anordnung gestattet falsche durch Drahtunterbruch und/oder Drahtkurzschluss verursachte Ausgangswerte der Halbleiterschaltung als falsch zu erkennen und zu verhindern, dass sie unerkannt oder überhaupt wirksam werden.



CH 689 286 A5

Beschreibung

Die Erfindung bezieht sich auf eine Anordnung zum Erkennen von Drahtunterbrüchen und/oder von Drahtkurzschlüssen in einer Halbleiterschaltung gemäss dem Oberbegriff des Anspruchs 1.

Die erfindungsgemässe Anordnung wird vorzugsweise in Halbleiterschaltungen verwendet, in denen zwei mechanisch getrennte Unteranordnungen elektrisch mittels dünner Drähte, sogenannter Bond-drähte, verbunden sind, wobei anlässlich der Herstellung der Halbleiterschaltungen und/oder später im Betrieb unbemerkt Drahtunterbrüche und/oder Kurzschlüsse zwischen Drähten entstehen können. Diese Kurzschlüsse sind besonders unangenehm, wenn der Kurzschluss zu einem Draht erfolgt, der im Betrieb eine grössere positive oder negative Spannung führt, während ein Drahtunterbruch besonders unangenehm ist, wenn er veranlasst, dass die Eingangsspannung einer nachgeschalteten Unteranordnung der Halbleiterschaltung einen hohen Wert oder ein undefiniertes Potential annimmt, welches letzteres einen hohen Wert besitzen kann. Dies kann in Messgeräten das Vorhandensein eines grossen, in Wirklichkeit gar nicht vorhandenen Messwertes vortäuschen. Die nachgeschaltete Unteranordnung kann normalerweise nicht zwischen einem echten und dem nur vorgetäuschten Messwert unterscheiden, was in Messgeräten, insbesondere in solchen, die der Kostenverrechnung dienen, unzulässig und unbedingt zu vermeiden ist. Die Halbleiterschaltung ist vorzugsweise eine Anordnung zum Messen elektrischer Energie und/oder elektrischer Leistung und z.B. ein Teil eines Elektrizitätszählers.

Der Erfindung liegt die Aufgabe zugrunde, eine Anordnung der eingangs genannten Art zu verwirklichen, welche falsche durch Drahtunterbruch und/oder Drahtkurzschluss verursachte Ausgangswerte der Halbleiterschaltung als falsch erkennt und verhindert, dass sie unerkannt oder überhaupt wirksam werden, wobei vor allem solche Störfälle zu erkennen und ihr Wirksamwerden auf die Ausgangswerte der Halbleiterschaltung zu verhindern sind, deren Auftreten am Ausgang der Halbleiterschaltung ein mindestens zeitweises Vorhandensein eines maximal möglichen Eingangssignals vortäuscht.

Die genannte Aufgabe wird erfindungsgemäss durch die im Kennzeichen des Anspruchs 1 angegebenen Merkmale gelöst. Vorteilhafte Ausgestaltungen der Erfindung ergeben sich aus den abhängigen Ansprüchen.

Ausführungsbeispiele der Erfindung sind in der Zeichnung dargestellt und werden im folgenden näher beschrieben.

Es zeigen:

Fig. 1 ein Schaltbild einer in einem Elektrizitätszähler enthaltenen Halbleiterschaltung mit einer Spannungskomparatoren aufweisenden erfindungsgemässen Anordnung und

Fig. 2 ein Schaltbild mit einem Teil der in der Fig. 1 dargestellten Halbleiterschaltung, in der die Spannungskomparatoren durch Stromkomparatoren ersetzt sind.

Die Halbleiterschaltung ist, wie bereits erwähnt, vorzugsweise eine Anordnung zum Messen elektrischer Energie und/oder elektrischer Leistung, was nachfolgend und in der Zeichnung angenommen wird. Sie enthält in diesem Fall mindestens ein mechanisch selbständiges Messmodul 1, welches über Anschlusskontakte und dünne Drähte (z.B. Bond-drähte) mit einer zugehörigen nachgeschalteten elektronischen Unteranordnung 2 verbunden ist, welche ebenfalls eine mechanisch selbständige Baueinheit ist. Das Messmodul 1 misst zwei Messgrössen, einen elektrischen Wechselstrom $i[t]$ sowie eine dazugehörige elektrische Wechselspannung $u[t]$ und bildet das Produkt $p[t] = u[t] \cdot i[t]$ beider Messgrössen, welches eine Leistung $p[t]$ darstellt, um anschliessend eine zum Resultat der Multiplikation proportionale elektrische Spannung $u_H[t]$ über einen Bonddraht der nachgeschalteten elektronischen Unteranordnung 2 zwecks Weiterverarbeitung und Auswertung zuzuleiten. Das Messmodul 1 enthält einen Magnetfeldsensor 3, der zwischen einem Hin- und Rückleiter einer U-förmigen Stromschleife 4 angeordnet ist, welche im Betrieb vom Wechselstrom $i[t]$ durchflossen wird, der eine magnetische Induktion $B_H[t]$ erzeugt, welche vorzugsweise parallel zur Oberfläche des Magnetfeldsensors 3 wirksam ist. Der letztere ist in vorteilhafter Weise ein Hallelement. Die Unteranordnung 2 enthält jeweils pro Messmodul 1 einen Polwender 5, einen Regelverstärker 6, eine erfindungsgemässe Anordnung 7, einen Verstärker 8, einen Analog/Digital-Wandler 9 und eine Anordnung 10 zur digitalen Quantisierung, wobei die drei letzten Bauelemente 8, 9 und 10 in der angegebenen Reihenfolge in Reihe hintereinander geschaltet sind. Der Verstärker 8 enthält vorzugsweise eine differentielle Eingangsstufe 8a und eine nachgeschaltete Ausgangsstufe 8b. Der Analog/Digital-Wandler 9 enthält einen Sigma-Delta-Modulator 9a sowie ein dem letzteren nachgeschaltetes Digitalfilter 9b.

Die zum Wechselstrom $i[t]$ gehörige und auf ein Bezugspotential Masse bezogene einpolige Wechselspannung $u[t]$ ist über einen Vorwiderstand R auf einen ersten Anschluss eines zweipoligen Eingangs des Polwenders 5 geführt. Der zweipolige Ausgang des letzteren ist mit einem zweipoligen Speiseeingang des Magnetfeldsensors 3 verbunden. Der letztere wird im Betrieb somit mit einem Speisestrom $i_s[t]$ gespeist, dessen Absolutwert proportional der Wechselspannung $u[t]$ ist und dessen Polarität im Takt eines niederfrequenten Taktsignals CL1 mittels des Polwenders 5 periodisch umgeschaltet wird. Der Polwender 5 besteht z. B. aus einem zweipoligen Umschalter, der als Polwender ausgeführt ist und dessen Steuereingang einen Takteingang bildet, der mit dem Taktsignal CL1 gespeist ist, dessen Frequenz z.B. 25 Hz beträgt. Der zweipoligen Umschalter ist vorzugsweise in CMOS-Technologie hergestellt und besteht, nicht dargestellt, z.B. aus vier als «transmission gates» bezeichneten Ein/Aus-Schaltern, die mittels zweier Inverter zu zwei in Gegentakt betrieben werden und so zwei einpolige Umschalter bilden, die synchron umgeschaltet werden. Die periodische Umschaltung des Speisestroms $i_s[t]$ dient der Elimination der Offset-Span-

nung. Ein erster Anschluss eines zweipoligen Ausgangs des Magnetfeldsensors 3 ist über einen der dünnen Drähte auf einen ersten Eingang der Eingangsstufe 8a geführt. Ein zweiter Eingang der letzteren und damit des Verstärkers 8 liegt an Masse. Die Eingangsstufe 8a besitzt einen Gegentakt-Ausgang, der einen zweipoligen Ausgang A; B des Verstärkers 8 bildet, wovon ein Ausgangsanschluss B innerhalb des Verstärkers 8 mit einem Eingang der Ausgangsstufe 8b verbunden ist. Die Spannung eines zweiten Anschlusses des zweipoligen Ausgangs des Magnetfeldsensors 3 wird mittels des Regelverstärkers 6 auf Null geregelt, so dass dieser zweite Anschluss im Betrieb virtuell an Masse liegt. Zu diesem Zweck ist der zweite Anschluss des zweipoligen Ausgangs des Magnetfeldsensors 3 mit einem invertierenden Eingang des Regelverstärkers 6 verbunden, dessen nichtinvertierender Eingang an Masse liegt und dessen Ausgang mit einem zweiten Anschluss des zweipoligen Eingangs des Polwenders 5 verbunden ist.

Der Magnetfeldsensor 3 bildet das Produkt der magnetischen Induktion $B_H[t]$ und des Speisestromes $i[t]$ und damit, wie bereits erwähnt, das Produkt des Wechselstromes $i[t]$ und der zugehörigen Wechselspannung $u[t]$, so dass seine Ausgangsspannung $u_H[t]$ proportional den Leistungswerten $p[t] = u[t] \cdot i[t]$ ist. Die auf den Analog/Digital-Wandler 9 geführten Ausgangssignale des Verstärkers 8 sind dann ebenfalls leistungsproportional und gleich $+k \cdot p[t]$ bzw. $-k \cdot p[t]$, wobei k eine Proportionalitätskonstante darstellt.

Der zweipolige Ausgang des Verstärkers 8 ist mit einem zweipoligen Eingang des Sigma-Delta-Modulators 9a verbunden, der einen Umschalteingang aufweist, der mit dem gleichen Taktsignal CL1 gespeist ist wie der Takteingang des Polwenders 5. Im Sigma-Delta-Modulator 9a ist ein nicht dargestellter Polwender vorhanden, der mittels des Taktsignals CL1 synchron mit dem Polwender 5 periodisch umgeschaltet wird. Dies hat zur Folge, dass das Nutzsignal zweimal synchron umgepolt wird, einmal im Messmodul 1 und einmal im Sigma-Delta-Modulator 9a, so dass im Endeffekt das Nutzsignal ohne Polumkehr den Eingang des Digitalfilters 9b erreicht. Die Polarität der Offset-Spannung wird dagegen nur einmal, nämlich im Sigma-Delta-Modulator 9a, periodisch umgepolt. Anlässlich einer ständigen Mittelwertbildung der Halbwellen im Digitalfilter 9b wird dann der Beitrag der Offset-Spannung zum Ausgangssignal eliminiert. Die leistungsproportionalen Ausgangssignale $\pm k \cdot p[t]$ des Verstärkers 8 werden mit Hilfe des Sigma-Delta-Modulators 9a in ein schnelles 1-Bit-Digitalsignal umgewandelt, welches seinerseits im Digitalfilter 9b in ein langsames Mehrbit-Digitalsignal dezimiert wird unter gleichzeitiger Eliminierung vorhandener Störsignale, wie z.B. eine Modulation der leistungsproportionalen Ausgangssignale durch periodische Schwankungen der momentanen Leistung (doppelte Netzfrequenz) und/oder durch periodische Polaritätsumschaltungen (25 Hz) der Offset-Spannung. Da die Polumschaltfrequenz genau ein Vielfaches der Abtastfrequenz 4 Hz des Digitalfilters 9b ist, ist die Unterdrückung der Offset-Spannungsmodulation perfekt. Ein von

einem Quarz-Oszillator 11 erzeugtes Taktsignal CLK, z.B. der Frequenz 2^{17} Hz, speist je einen Takteingang des Sigma-Delta-Modulators 9a und des Digitalfilters 9b. Die Frequenz des schnellen 1-Bit-Digitalsignals beträgt dann 2^{17} Hz und diejenige des langsameren Mehrbit-Digitalsignals am Ausgang des Digitalfilters 9b z.B. 4 Hz. Die in einem Integrationstakt von dann 4 Hz zur Verfügung stehenden digitalen Ausgangswerte des Digitalfilters 9b sind dem über eine Integrationsperiode ermittelten Mittelwert der gemessenen Momentanleistung jeweils proportional. Am Ausgang des Digitalfilters 9b und damit des Analog/Digital-Wandlers 9 sind digitalisierte Werte der über den Ausgabetaktsignal des Digitalfilters 9b gemittelten Leistungssignale $\pm k \cdot p[t]$ vorhanden, welche Werte nachfolgend abgekürzt digitale Leistungswerte genannt werden. Diese digitalen Leistungswerte werden anschliessend in der Anordnung 10 quantisiert, d.h. fortwährend aufsummiert (akkumuliert) und in konstanten Quanten zerlegt. Jedesmal wenn die Summe im Akkumulator einen bestimmten Wert überschreitet, wird von der Summe eine konstante Zahl (Quantum) abgezogen und gleichzeitig am Ausgang der Anordnung 10 ein Ausgangsimpuls abgegeben. Diese Ausgangsimpulse bilden zusammen ein Ausgangssignal $u_o[t]$ der nicht mit der erfindungsgemässen Anordnung 7 ausgerüsteten Halbleiterschaltung.

Ein Ausgang des Quarzoszillators 11, an dem das Taktsignal CLK ansteht, ist mit einem Eingang eines Frequenzteilers 12 verbunden, der die Frequenz 2^{17} Hz des Taktsignals CLK synchron herunterteilt auf die Frequenz 25 Hz des Taktsignals CL1 und auf eine Frequenz von z.B. 64 Hz eines Taktsignals CL2.

Unter falschen, durch Drahtunterbruch und/oder Drahtkurzschluss verursachten Ausgangswerten der Halbleiterschaltung sind aufgabengemäss vor allem solche zu erkennen, die durch Störfälle verursacht werden, deren Auftreten am Ausgang der Halbleiterschaltung ein mindestens zeitweises Vorhandensein eines maximal möglichen Eingangssignals vortäuschen. Dies ist in der Regel der Fall, wenn die Eingangsstufe 8a des Verstärkers 8, übersteuert und ausserhalb seines Linearbereichs im Sättigungsbereich betrieben wird. Letzteres wird z.B. bei einem bipolaren Eingangsteil durch einen fehlenden Basisstrom und bei einem MOS-Eingangsteil gegebenenfalls durch einen Leckstrom eines Gate-Anschlusses verursacht. Zum Erkennen eines solchen Störfalles enthält die Halbleiterschaltung in der erfindungsgemässen Anordnung 7 eine Schwellwert-Anordnung 13, die mindestens einen Schwellwertschalter 14 oder 15 enthält zum Erkennen des Vorhandenseins einer Sättigungs-Ausgangsspannung in der Halbleiterschaltung. Bei einem Analog-Eingangsteil sind in der Regel eine positive und eine negative Sättigungsspannung vorhanden, so dass in einem Störfall entweder die eine oder die andere Sättigungsspannung auftritt. In diesem Fall, der in der Zeichnung angenommen wurde, enthält die Schwellwert-Anordnung 13 und damit die Anordnung 7 mindestens einen ersten Schwellwertschalter 14 zum Erkennen des Vorhandenseins einer negativen Sättigungs-Ausgangsspannung in der Halb-

leitorschaltung sowie einen zweiten Schwellwertschalter 15 zum Erkennen des Vorhandenseins einer positiven Sättigungs-Ausgangsspannung in der Halbleiterschaltung.

in einer ersten erfindungsgemässen Variante ist die zu überwachende Sättigungs-Ausgangsspannung der Halbleiterschaltung vorzugsweise die Ausgangsspannung des Magnetfeldsensors 3, d.h. die Eingangsspannung des Verstärkers 8. In diesem Fall ist der nicht an Masse liegende Eingang des Verstärkers 8 über einen Anschluss C des Verstärkers 8 mit einem Signaleingang der erfindungsgemässen Anordnung 7 verbunden (siehe Fig. 1). Der bzw. die Schwellwertschalter 14 und/oder 15 sind in der ersten Variante vorzugsweise Spannungskomparatoren, wobei ein invertierender Eingang des Spannungskomparator 14 und ein nichtinvertierender Eingang des Spannungskomparator 15 miteinander verbunden sind und zusammen den Signaleingang der erfindungsgemässen Anordnung 7 bilden. Der nichtinvertierende Eingang des Spannungskomparators 14 liegt dabei an einer negativen Referenzspannung $-V_R$, die in etwa der negativen Sättigungsspannung der Eingangsstufe 8a entspricht, während der invertierende Eingang des Spannungskomparators 15 an einer positiven Referenzspannung V_R liegt, die in etwa der positiven Sättigungsspannung der Eingangsstufe 8a entspricht.

In einer zweiten erfindungsgemässen Variante sind die zu überwachenden Sättigungs-Ausgangsspannungen der Halbleiterschaltung vorzugsweise diejenigen des Gegentakt-Ausgangs der Eingangsstufe 8a. Die Ausgänge A und B des Verstärkers 8 sind dann mit je einem von zwei Signaleingängen der erfindungsgemässen Anordnung 7 verbunden (siehe Fig. 2). In der zweiten Variante sind der bzw. die Schwellwertschalter 14 und/oder 15 vorzugsweise Stromkomparatoren, deren innerer Aufbau aus der Fig. 2 ersichtlich ist.

In beiden Varianten ergibt einer der beiden Schwellwertschalter 14 oder 15 einen bestimmten Logikwert, z.B. einen Logikwert «1», wenn die Eingangsstufe 8a des Verstärkers 8 übersteuert, d.h. in die positive bzw. negative Sättigung gesteuert wird. In beiden Varianten ist ein Ausgang der Schwellwertschalter 14 und 15 auf je einen Eingang eines Verknüpfungs-Gatters 16 geführt (siehe Fig. 1), welches z.B. ein Oder-Gatter ist, zwecks Addition der Ausgangssignale der Schwellwertschalter 14 und 15.

Ein Ausgang des einzigen Schwellwertschalters 14 oder 15 beziehungsweise, falls mindestens zwei Schwellwertschalter 14 und 15 vorhanden sind, ein Ausgang des Verknüpfungs-Gatters 16 ist in der erfindungsgemässen Anordnung 7 auf einen Eingang einer fakultativ vorhandenen Signalaufbereitungs-Anordnung 17 geführt zur zeitweisen Unterdrückung der Wirksamkeit der Anordnung 7. Die Signalaufbereitungs-Anordnung 17 enthält ein Freigabe-Gatter 18 zur Sperrung des Wirksamwerdens der Anordnung 7 und/oder eine Synchronisier- und Unterdrückungsanordnung 19 zur Vermeidung eines Ansprechens der Anordnung 7 anlässlich der mittels des Taktsignals CLK getätigten periodischen Umschal-

tungen im Betrieb der Halbleiterschaltung und/oder einen monostabilen Multivibrator 20 zur Vermeidung eines Rückstellens, anlässlich zeitlich begrenzter Wiederaufhebungen von Betriebsunterbrüchen der Halbleiterschaltung, einer bereits einmal wirksam gewordenen Anordnung 7, z.B. beim Vorliegen eines Wackelkontaktes in den Drahtverbindungen. Die Bauelemente 19, 20 und 18 der Signalaufbereitungs-Anordnung 17 sind in der Zeichnung in der angegebenen Reihenfolge in Reihe geschaltet, wobei diese Reihenfolge jedoch an sich bedeutungslos ist und auch anders sein kann. Ein Eingang der Synchronisier- und Unterdrückungsanordnung 19 bildet einen Eingang der Signalaufbereitungs-Anordnung 17 und ihr QB-Ausgang (QB = Q invertiert) ist mit einem Rückstellausgang RB (RB = «Reset» invertiert) des monostabilen Multivibrators 20 verbunden, dessen QB Ausgang auf einen ersten Eingang des Freigabe-Gatters 18 geführt ist, welches z.B. ein Und-Gatter ist.

Das Taktsignal CLK speist über einen Inverter 21 einen Takteingang der Synchronisier- und Unterdrückungsanordnung 19. Ein Freigabesignal an einem Ausgang E des Digitalfilters 9b speist über einen Zwischenspeicher 22, in dem sein Logikwert gespeichert wird, als Signal EN (EN = «Enable») einen zweiten Eingang des Freigabe-Gatters 18, dessen Ausgang einen Ausgang der Signalaufbereitungs-Anordnung 17 bildet. Das Taktsignal CL2 ist auf einen Takteingang des monostabilen Multivibrators 20 geführt.

Da auch in der intakten Halbleiterschaltung bei jedem mittels des Taktsignals CL1 getätigten Polaritätswechsel die Eingangsstufe 8a während des Umschaltvorgangs für kurze Zeit, z.B. für zirka $1 \mu s$, übersteuert werden kann, bedingt durch eine Übersteuerung des Regelverstärkers 6, wird vorzugsweise die Auswertung der Sättigungsspannungen mittels der Synchronisier- und Unterdrückungsanordnung 19 während des Umschaltvorganges ausgeblendet, d.h. unterdrückt. Das Taktsignal CLK, von dem auch das als Polaritäts-Umschaltsignal verwendete Taktsignal CL1 synchron abgeleitet ist, dient als Steuersignal für das Ausblenden. Zu diesem Zweck wird in der Synchronisier- und Unterdrückungsanordnung 19 das Ausgangssignal des einzigen Schwellwertschalters 14 oder 15 bzw. das Ausgangssignal des Verknüpfungs-Gatters 16 zuerst mittels eines in der Zeichnung nicht dargestellten ersten Flip Flops auf die Frequenz des Taktsignals CLK synchronisiert und werden kurze Signalimpulse, die zum Zeitpunkt der Flanken des Taktsignals CLK erscheinen, mittels eines ebenfalls nicht dargestellten, in Reihe nachgeschalteten zweiten Flip Flops unterdrückt. Ein kurzes Erscheinen einer Sättigungsspannung anlässlich der Polaritätsumschaltung ist somit unwirksam.

Da bei gewissen Drahtunterbrüchen und Drahtkurzschlüssen, z.B. beim Vorliegen von Wackelkontakten, die Übersteuerung und damit der Sättigungszustand der Eingangsstufe 8a des Verstärkers 8 nicht dauernd vorhanden sind, wird vorzugsweise, wie in der Zeichnung dargestellt, das Ausgangssignal der Synchronisier- und Unterdrückungsanordnung 19 mittels des monostabilen Multi-

vibrators 20 um z.B. zirka 80 ms gehalten, d.h. seine Signallücken werden mit Hilfe des monostabilen Multivibrators 20 überbrückt und Unterbrüche bis zu 80 ins in den Sättigungsspannungen unwirksam gemacht. So wird ein Rückstellen anlässlich zeitlich begrenzter Wiederaufhebungen der Betriebsunterbrüche der Halbleiterschaltung einer bereits einmal wirksam gewordenen Anordnung 7 vermieden. Der monostabile Multivibrator 20 ist vorzugsweise ein digitaler monostabiler Multivibrator, der z.B. mittels eines binären oder dezimalen Impulszählers aufgebaut ist, der z.B. bis fünf zählt, bevor er eine Signalfanke an seinem Ausgang erzeugt. Das Taktsignal CL2 des Impulszählers besitzt z.B. die Frequenz 64 Hz, welche mittels des Frequenzteilers 12 durch synchrone Teilung von der Frequenz des Taktsignals CLK abgeleitet wird. Die Zeitkonstante des monostabilen Multivibrators 20 beträgt dann $5/64 \text{ ms} = 78 \text{ ins bis } 6/64 \text{ ins} = 94 \text{ ms}$. Der Impulzzähler ist z.B. im Normalbetrieb im Endzustand und wird durch die Übersteuerung z.B. mittels des Ausgangssignals der Synchronisierungs- und Unterdrückungsanordnung 19 auf Null zurückgestellt, um anschließend die Impulse des 64 Hz-Taktsignals CL2 bis fünf zu zählen.

Infolge einer Übersteuerung wird in das Digitalfilter 9b ein falscher Wert geladen, was zur Folge hat, dass, wenn die Übersteuerung z.B. wegen des Vorliegens eines Wackelkontaktes beendet wird, in den folgenden zwei Filterzyklen ein Maximalwert am Ausgang der Halbleiterschaltung erscheint, obwohl der Ausgang des Sigma-Delta-Modulators 9a bereits wieder richtig angesteuert wird. Um dies zu vermeiden, werden mit einer erkannten Übersteuerung auch die Daten des Digitalfilters 9b auf Null zurückgestellt, jedoch nicht dessen Polumschaltungen noch dessen 4 Hz-Filtertakt. Aus diesem Grund ist der Ausgang der Signalaufbereitungs-Anordnung 17 auf einen Rückstelleingang R des Digitalfilters 9b geführt. Da der Impulzzähler des monostabilen Multivibrators 20 bei einem Einschalten der Speisung oder bei einer allgemeinen Rückstellung der Halbleiterschaltung immer auf Null zurückgesetzt wird, wird bei einem Start des Betriebes der Halbleiterschaltung von der Anordnung 7 immer eine Übersteuerung detektiert. Um dies zu vermeiden, wird die Auswertung der Übersteuerung erst mittels des am Ausgang E des Digitalfilters 9b erscheinenden Freigabesignals und des Freigabe-Gatters 18 freigegeben, wenn ein erster Filterzyklus des Digitalfilters 9b abgeschlossen ist. Das Freigabe-Gatter 18 dient somit der Sperrung des Wirksamwerdens der Anordnung 7 solange das Freigabesignal EN nicht einen Logikwert «1» besitzt.

Die Anordnung 7 enthält am Ausgang jeweils fakultativ noch ein Sperr-Gatter 23 zur Sperrung des Ausgangssignals $u_o[t]$ der Halbleiterschaltung bei einem Ansprechen der Anordnung 7 und/oder eine Anzeige 24 zum Anzeigen eines Ansprechens der Anordnung 7. In der Zeichnung gilt die Annahme, dass beide vorhanden sind. In diesem Fall ist der Ausgang der Signalaufbereitungs-Anordnung 17 auf einen ersten Eingang des Sperr-Gatters 23 und, möglicherweise über einen fakultativ vorhandenen Inverter 25, auf einen ersten Anschluss der Anzeige

24 geführt, deren zweiter Anschluss an Masse liegt. Der Inverter 25 ist vorhanden je nachdem, ob ein Ansprechen oder ein Nichtansprechen der Anordnung 7 mittels der Anzeige 24 angezeigt werden soll. Das Ausgangssignal $u_o[t]$ der Halbleiterschaltung ist auf einen zweiten Eingang des Sperr-Gatters 23 geführt, dessen Ausgang einen Ausgang der Anordnung 7 bildet. Das Sperr-Gatter 23 ist z.B. ein Und-Gatter. Da sein Ausgang in der Regel auf eine nichtdargestellte weitere Anzeige geführt ist, die im Normalbetrieb im Rhythmus der Impulse des Ausgangssignals $u_o[t]$ blinkt, kann diese weitere Anzeige auch als Ersatz für die Anzeige 24 verwendet werden, so dass die letztere nicht mehr erforderlich ist. In diesem Fall ist das Sperr-Gatter 23 vorzugsweise ein Oder-Gatter und das Freigabe-Gatter 18 vorzugsweise ein Nand-Gatter, welches im Normalbetrieb die Impulse des Ausgangssignals $u_o[t]$ durchlässt, was ein Blinken der weiteren Anzeige veranlasst, während bei einem Ansprechen der Anordnung 7 ein Dauer-Logikwert «1» am Ausgang des Sperr-Gatters 23 erscheint, welcher die weitere Anzeige dauernd leuchten lässt. Ein Dauerleuchten der letzteren zeigt somit ein Ansprechen der Anordnung 7 und damit einen Störfall an.

Die Eingangsstufe 8a des Verstärkers 8 besitzt z.B. den in der Fig. 2 dargestellten und an sich bekannten Aufbau: Ein positive Speisespannung V_{DD} speist über eine gemeinsame Stromquelle 26 die miteinander verbundenen Emittoren zweier Bipolartransistoren 27 und 28, deren Basis jeweils einen der beiden Eingänge der Eingangsstufe 8a und damit des Verstärkers 8 bilden. Die Bipolartransistoren 27 und 28 sind z.B. PNP-Transistoren, deren Kollektoren den Gegentaktausgang der Eingangsstufe 8 und damit den zweipoligen Ausgang A; B des Verstärkers 8 bilden. Diese Kollektoren sind mit dem «Drain»-Anschluss je eines Feldeffekttransistors 29 bzw. 30 verbunden, deren Substrat- und Source-Anschlüsse alle an einer negativen Speisespannung V_{SS} liegen. Die Gateanschlüsse beider Feldeffekttransistoren 29 und 30 sind miteinander und mit dem Kollektor eines der beiden Bipolartransistoren, z.B. des Bipolartransistors 27 verbunden. Die Feldeffekttransistoren 29 und 30 sind z.B. N-FET-Transistoren und bilden beide zusammen einen Stromspiegel.

In der Fig. 2 sind die Schwellwertschalter 14 und 15 der Schwellwert-Anordnung 13 Stromkomparatoren, die je aus einem Feldeffekttransistor 31 bzw. 32 und einer zugehörigen Referenz-Stromquelle 33 bzw. 34 bestehen. Die letzteren erzeugen je einen Referenzstrom, der einem Wert der beiden Sättigungsspannungen entspricht. Die Feldeffekttransistoren 31 und 32 sind z.B. N-FET-Transistoren. Die positive Speisespannung V_{DD} speist einerseits über die Referenz-Stromquelle 33 den Drain-Anschluss des Feldeffekttransistors 31 und andererseits über die Referenz-Stromquelle 34 den Drain-Anschluss des Feldeffekttransistors 32. Die Substrat- und Source-Anschlüsse der Feldeffekttransistoren 31 und 32 liegen alle an der negativen Speisespannung V_{SS} . Die Gate-Anschlüsse der beiden Feldeffekttransistoren 31 und 32 bilden jeweils den Eingang des betreffenden Stromkomparators und damit einen der

beiden Signaleingänge der erfindungsgemässen Anordnung 7, während ihre Drain-Anschlüsse jeweils den Ausgang des betreffenden Stromkomparators bildet, der auf einen Eingang des Verknüpfungsgatters 16 (siehe Fig. 1) geführt ist. Die Ausgänge A und B des Verstärkers 8 sind in der zweiten erfindungsgemässen Variante mit den beiden Signaleingängen der Anordnung 7 und damit mit dem Gate-Anschluss je eines der Feldeffekttransistoren 31 bzw. 32 verbunden.

Patentansprüche

1. Anordnung (7) zum Erkennen von Drahtunterbrüchen und/oder von Drahtkurzschlüssen in einer Halbleiterschaltung, dadurch gekennzeichnet, dass die Anordnung (7) mindestens einen Schwellwertschalter (14, 15) enthält zum Erkennen eines Vorhandenseins einer Sättigungs-Ausgangsspannung in der Halbleiterschaltung.

2. Anordnung (7) nach Anspruch 1, dadurch gekennzeichnet, dass die Anordnung (7) mindestens einen ersten Schwellwertschalter (14) zum Erkennen des Vorhandenseins einer negativen Sättigungs-Ausgangsspannung in der Halbleiterschaltung sowie einen zweiten Schwellwertschalter (15) enthält zum Erkennen des Vorhandenseins einer positiven Sättigungs-Ausgangsspannung in der Halbleiterschaltung und dass ein Ausgang der Schwellwertschalter (14, 15) auf je einen Eingang eines Verknüpfungs-Gatters (16) geführt ist zwecks Addition der Ausgangssignale der Schwellwertschalter (14, 15).

3. Anordnung (7) nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass ein Ausgang des Schwellwertschalters (14, 15) beziehungsweise, falls mindestens zwei Schwellwertschalter (14, 15) vorhanden sind, ein Ausgang des Verknüpfungsgatters (16) auf einen Eingang einer Signalaufbereitungs-Anordnung (17) geführt ist zur zeitweisen Unterdrückung der Wirksamkeit der Anordnung (7).

4. Anordnung (7) nach Anspruch 3, dadurch gekennzeichnet, dass die Signalaufbereitungs-Anordnung (17) ein Freigabe-Gatter (18) enthält zur Sperrung eines Wirksamwerdens der Anordnung (7).

5. Anordnung (7) nach Anspruch 3 oder 4, dadurch gekennzeichnet, dass die Signalaufbereitungs-Anordnung (17) eine Synchronisier- und Unterdrückungsanordnung (19) enthält zur Vermeidung eines Ansprechens der Anordnung (7) anlässlich periodischer Umschaltungen im Betrieb der Halbleiterschaltung.

6. Anordnung (7) nach einem der Ansprüche 3 bis 5, dadurch gekennzeichnet, dass die Signalaufbereitungs-Anordnung (17) einen monostabilen Multivibrator (20) enthält zur Vermeidung eines Rückstellens der Anordnung (7), anlässlich zeitlich begrenzter Wiederaufhebungen von Betriebsunterbrüchen der Halbleiterschaltung.

7. Anordnung (7) nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, dass die Anordnung (7) am Ausgang ein Sperr-Gatter (23) enthält zur Sperrung eines Ausgangssignals ($u_0(t)$) der Halbleiterschaltung bei einem Ansprechen der Anordnung (7).

8. Anordnung (7) nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, dass die Anordnung (7) am Ausgang eine Anzeige (24) enthält zum Anzeigen eines Ansprechens der Anordnung (7).

9. Anordnung (7) nach einem der Ansprüche 1 bis 8, dadurch gekennzeichnet, dass der beziehungsweise die Schwellwertschalter (14, 15) Spannungscomparatoren sind.

10. Anordnung (7) nach einem der Ansprüche 1 bis 8, dadurch gekennzeichnet, dass der beziehungsweise die Schwellwertschalter (14, 15) Stromcomparatoren sind.

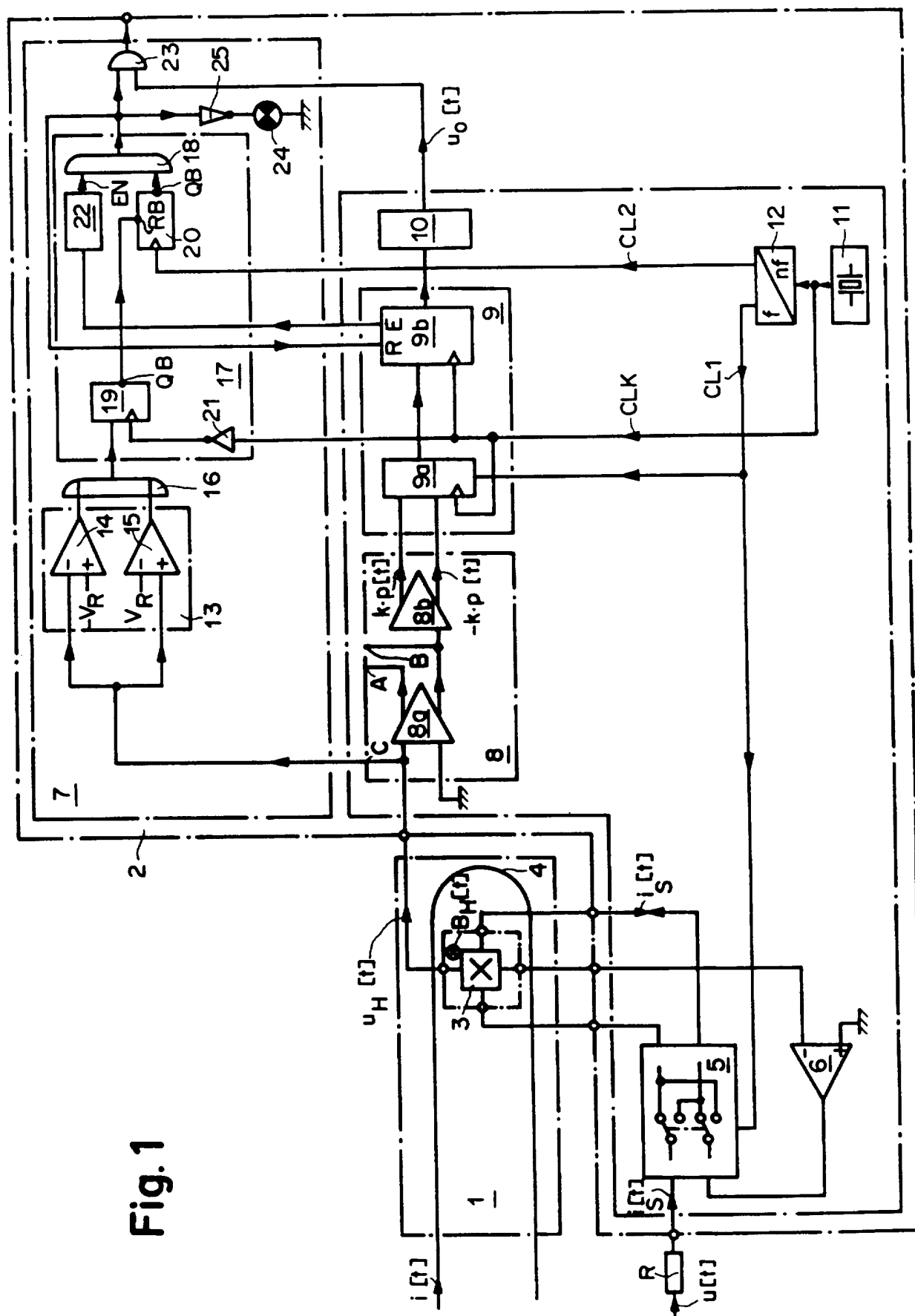


Fig. 2

