

公告本

448448

申請日期	88-03-24
案 號	88104673
類 別	G11C > 9/00

A4
C4

(以上各欄由本局填註)

發 明 型 專 利 說 明 書		
一、發明 名稱	中 文	自動辨認及消除字線-位元線-短路 現象所用之電路配置及方法
	英 文	Circuit-arrangement and method to automatic recognition and elimination of word-lines- bit-lines short-circuit
二、發明 創作人	姓 名	1. 梭萊夫葛拉茲 Thoralf Gratz 2. 帕特里克赫恩 Patrick Heyne 3. 戴特哈爾 Dieter Harle
	國 籍	1.-3. 皆屬德國
	住、居所	1. 德國慕尼黑 D-80809 高茲街 1 號 2. 德國慕尼黑 D-81541 舒利西街 5 號 3. 德國慕尼黑 D-81541 舒利西街 5 號
三、申請人	姓 名 (名稱)	西門斯股份有限公司 SIEMENS AKTIENGESELLSCHAFT
	國 籍	德國
	住、居所 (事務所)	德國慕尼黑 D-80333 威田巴契廣場 2 號
	代 表 人 姓 名	貝斯納 (Basner) 雷哈特 (Reinhardt)

裝 訂 線

經濟部中央標準局員工消費合作社印製

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ， 有 無主張優先權
 德 1998年3月26日 19813504.1

有關微生物已寄存於： ， 寄存日期： ， 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明 ()

本發明係有關自動辨認及消除記憶體單胞配置之字線-位元線-短路現象所用之電路配置及方法，記憶體單胞含有感測放大器以及位元線和備用之位元線，其中感測放大器將記憶體單胞配置劃分成記憶體方塊。

字線-位元線-短路現象已知可對由記憶體之單胞配置之讀出過程或讀入至單胞配置之過程造成阻礙。辨認且消除此種字線-位元線-短路現象因此是非常重要的，這樣才可確保記憶體之操作。

此種字線-位元線-短路現象發生於下述情況中，即，字線和位元線在記憶體製程中由於有缺陷或發生差錯而互相接觸或例如由於導電性之污染微粒而形成低歐姆之連接。

在記憶體(其在位元線中使用已劃分之感測放大器)中，每一感測放大器設有一條位元線之二個分支或設有二條不同之位元線且記憶體單胞配置之記憶體單胞整體上是劃分成二個相鄰之記憶體方塊，則須另外注意的是：在記憶體方塊中即使一條短路至字線之位元線已被取代之後，此條位元線之正確操作會受到其它記憶體方塊之干擾；另一記憶體方塊之位元線之正確的預充電會受到某一記憶體方塊中相對應之位元線和字線之間的短路現象所阻礙，使得由上述某一記憶體方塊中已短路之位元線之相對應的記憶體單胞正確地讀出至上述之另一記憶體方塊中已不再是可能的。

為了克服上述之困難性，則目前為止不只是某一記憶

五、發明說明(>)

體方塊中位元線之有缺陷之分支，而且另一記憶體方塊中位元線之無缺陷之分支或另一條位元線都是由此二個記憶體方塊中一條備用之位元線所取代。這樣所具有之缺點是：實際上須保持二倍數目之位元線以便可作備用之用，當只有這些實際上有缺陷之位元線或其分支必須在各別之記憶體方塊中被取代時。換言之，若考慮此二個記憶體方塊中實際上由於短路而受到干擾之位元線時，現存之記憶體單胞配置之備用情況在使用已劃分之感測放大器時可減少二倍之組件（這和字線-位元線-短路現象之發生有關）。

本發明之目的因此是設計一種電路配置以及自動辨認且消除字線-位元線-短路現象所用之方法，藉此方法可在發生上述之錯誤時提升此種備用狀況，以便達成一種改良之效益。

依據本發明，在申請專利範圍第1或第4項之前言部份中所述之電路配置或方法中上述目的是藉由這些申請專利範圍之特徵部份中所述之特徵來達成。

在本發明中，在每一記憶體方塊之感測放大器之前於位元線中分別設置一個熔絲(Fuse)，熔絲在測試模式中被驅動，使相關之已短路之位元線在相對應之記憶體方塊中可與感測放大器相隔離。另一記憶體方塊中相對應之位元線之分支於是可進行一種正確之操作，此時不須由備用之位元線來進行上述之取代作用。這表示：位元線之備用情況所具有之彈性完全保持著，此乃因這些已

五、發明說明(3)

短路之位元線在測試模式中由於其熔絲受到驅動而與感測放大器相隔離。只有這些已隔離之位元線需要在各別之記憶體方塊中由備用之位元線來取代。

本發明因此可使備用情況大大地減化至二倍之範圍中：只需保持一半數目之備用位元線，以便可取代這些由於字線-位元線-短路現象而受到干擾之位元線。另一方式亦是可能的，即，使用這些已“精簡”之備用位元線以便消除其它之錯誤，這樣即可促進效益。

在測試模式期間位元線各別熔絲之驅動可以各種不同之技藝和方式來進行：因此亦可在各別熔絲和感測放大器之間設置一個電晶體以便驅動熔絲。在測試模式中，字線依序地被驅動且位元線藉由感測放大器中所設置之預充電-和多工(Muxing)電晶體之切斷而互相隔離。即，位元線藉由感測放大器而互相隔離，使某一記憶體方塊中同一條位元線之分支可和另一記憶體方塊中同一條位元線之另一分支相隔離。現在若在已驅動之字線和位元線一分支之間存在一種短路現象，則此位元線分支幾乎可得到此種和字線同樣高之電位。若此位元線分支經由一種在位元線分支之熔絲和感測放大器之間所設置之電晶體而被拉低至一較低之電位處，則此位元線分支之熔絲即被驅動且此位元線分支即由此感測放大器切離。

已短路之位元線分支因此不會再干擾同一條位元線之另一分支之操作，亦不會干擾其它之位元線，因此另一分支不必由備用之位元線所取任。若一條位元線中只有

五、發明說明(4)

其中一個有缺陷之分支在其中一個記憶體方塊中由備用之位元線所取代，則這樣即已足夠。

在熔絲和感測放大器之間設置一個電晶體並非絕對必要。情況需要時亦可使用一般之寫入區段：此處在寫入週期中施加一種低的(0-)電壓至感測放大器及/或同時在字線上施加一種高的電壓。藉由因此而產生之對已短路之字線所形成之電壓差(difference)，則相對應之熔絲可在測試操作中被切斷。

第2圖顯示現有之記憶體單胞配置，其具有字線WL1, WL2, WL3,, 位元線BL1, BL2以及 $\overline{BL1}$, $\overline{BL2}$ 和備用之位元線RBL, \overline{RBL} 。在這些位元線，BL1, BL2或 $\overline{BL1}$, $\overline{BL2}$ 中，其可和相同位元線之二個分支有關或亦可和二條不同之位元線有關。在這些位元線BL1, BL2以及 $\overline{BL1}$, $\overline{BL2}$ 之與字線WL1, WL2, WL3相交處存在一些由電晶體T和電容器C所構成之記憶體單胞。由於結構上以及空間上之原因，字線與位元線之交點中只有每第二個交點才設有上述之記憶體單胞。電容器C之遠離電晶體T之電極分別施加一種定值之電壓(例如，0.9V)。

位元線BL, BL2或 $\overline{BL1}$, $\overline{BL2}$ 如第2圖所示是由感測放大器或讀出放大器SA分別劃分成二個分支("1"或"2")。在感測放大器SA中含有預充電-及多工電晶體(未顯示)。多工電晶體可分別接通位元線BL1, BL2或 $\overline{BL1}$, $\overline{BL2}$ 之"左"分支或"右"分支。

當位元線BL1, BL2之內容被讀出時，則位元線 $\overline{BL1}$,

五、發明說明(5)

$\overline{BL2}$ 用作感測放大器 SA 之參考線 (其具有 0.9V 之參考電壓)。反之，當位元線 $\overline{BL1}$ ， $\overline{BL2}$ 之內容被讀出時，則位元線 $\overline{BL1}$ ， $\overline{BL2}$ 用作感測放大器之參考線 (其具有 0.9V 之參考電壓)。

備用之位元線 \overline{RBL} ， \overline{RBL} 以相同方式構成，就像上述有關位元線者一樣。

在此種電路配置中例如若在位元線 $\overline{BL1}$ ， $\overline{BL2}$ 和字線 $\overline{WL1}$ 之間發生短路現象，則不只位元線 $\overline{BL1}$ ， $\overline{BL2}$ 之分支 ($\overline{BL1}$) 會 "由左方" 受到感測放大器 SA 所干擾，而且另一分支 ($\overline{BL2}$) 亦會由右方受到此感測放大器 SA 所干擾 (已如上所述)，使此種受干擾之位元線必須由備用之位元線 \overline{RBL} (或 \overline{RBL}) 所取代。

本發明以簡易之方式提供一些解決方式，其中 (已如上所述) 在各別之位元線中設有熔絲。

本發明以下將依據圖式作詳述。

圖式簡單說明如下：

第 1 圖 一種具有位元線和字線之電路圖，其是用來說明本發明。

第 2 圖 現有之電路配置。

第 2 圖已詳述在本文開頭中。

在第 1 圖中，與第 2 圖相同之參考符號是用來表示相對應之組件。

第 1 圖顯示一條字線 \overline{WL} ，在與位元線 $\overline{BL1}$ ， $\overline{BL2}$ 之交叉點 1 處存在一種短路現象。字線 \overline{WL} 例如可以是第 2 圖

五、發明說明 (b)

之字線 WL1，而位元線 BL1，BL2則對應於第 2 圖之位元線 BL1，BL2。若發生上述之短路現象，則不只位元線 BL1，BL2之分支 (BL1) 會在感測放大器 SA 之 "左" 側受到干擾，而且位元線 BL1，BL2 之分支 (BL2) 亦會在感測放大器 SA 之 "右" 側受到干擾。即，二個記憶體方塊之位元線都會受到干擾。須再次說明的是：位元線 BL1，BL2 可以是相同位元線之二個分支，亦可以是二條不同之位元線。

現在為了防止：感測器 SA 之 "右" 側處之位元線 BL2 之分支必須由備用之位元線所取代，則須在交叉點 1 和感測放大器 SA 之間設置一個熔絲 FE，在超越一指定之極限電壓值時此熔絲 FE 會燒斷而使電性連接中斷。此種熔絲設置在所有位元線 BL1，BL2 (以及 $\overline{BL1}$ ， $\overline{BL2}$) 中，這些位元線連通至感測放大器 SA。

在測試模式中這些字線 WL 依序被驅動且位元線 BL1，BL2 由於感測放大器 SA 中預充電 - 和多工電晶體之切斷而互相隔離。即，在第 1 和第 2 圖中在預充電 - 和多工電晶體切斷之後位元線 BL1，BL2 之 "左" 分支和 "右" 分支可分別互相隔離。現在若在已驅動之字線 WL 和位元線 BL1 存在一種短路現象，則位元線 BL1 會由於短路現象而獲得幾乎像字線 WL 那樣之高電位。在此情況中若位元線 BL1 經由熔絲 FE 和感測放大器 SA 之間分支而出之電晶體 T1 而被拉低至一較低之電位處，則熔絲 FE 會受到驅動，使位元線 BL1 之相對應之分支可由感測放大器 SA 隔離。為了能達成此種隔離作用，則電晶體 T1 在其開極處藉由一

五、發明說明(7)

種適當之信號 TMWLBL 而被接通，使上述較低之電位可經由電晶體 T1 之源極 - 汲極 - 區段而到達熔絲 FE 與感測放大器 SA 之間的節點。

情況需要時亦可省略電晶體 T1。在此情況中一種較低之 "特殊電壓" 在寫入週期時施加至感測放大器 SA，而相對較高之電壓則傳送至字線 WL。若上述之特殊電壓和較高之電壓之間的電壓差足夠大時，則在字線 WL 和位元線 BL1 之間發生短路時熔絲 FE 會被斷開。

本發明因此涉及一種電路配置或方法，藉此裝置或方法可在測試模式中依序使字線受到驅動且使各條位元線由於預充電 - 和多工電晶體之切斷而互相隔離。在已驅動之字線和位元線之間發生短路現象時，則在測試模式中位元線可得到幾乎像字線那樣高之電位。在此情況中設置在位元線中之熔絲會被驅動，以便使已短路之位元線或其分支由感測放大器斷開。

因此，所須設置之備用位元線之數目可大大地減少。另一種可能性是可使用此種 "已精減" 之備用位元線來消除其它之錯誤，這樣在整體上即可使效益提升。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(8)

符號之說明

BL1, BL2, $\overline{BL1}$, $\overline{BL2}$位元線

WL1, WL2, WL3....字線

SA.....感測放大器

T, T1....電晶體

C.....電容器

FE.....熔絲

1.....交叉點

(請先閱讀背面之注意事項再填寫本頁)

訂
線

四、中文發明摘要(發明之名稱:)

自動辨認及消除字線-位元線-短路
現象所用之電路配置及方法

本發明係關於一種自動辨認及消除字線-位元線-短路現象所用之電路配置和方法，其係用於一種含有感測放大器(SA)之記憶體單胞配置中，感測放大器(SA)將記憶體單胞配置劃分成多個記憶體方塊。在位元線(BL1, BL2)中於各別感測放大器(SA)之前的每一記憶體方塊中設置一個熔絲(FE)，此熔絲在測試模式中藉由施加一適當之電壓差而被切斷。

英文發明摘要(發明之名稱 Circuit-arrangement and method to)
automatic recognition and
elimination of word-lines-bit-lines
short-circuit

This invention relates to a circuit-arrangement and a method to automatic recognition and elimination of word-lines-bit-lines short-circuit of a memory-cells arrangement that contain sensor-amplifiers (SA), wherein the sensor-amplifiers (SA) divide the memory-cells arrangement into some memory-blocks. In the bit-lines (BL1, BL_n) is provided a fuse (FE) in each memory-block before each sensor-amplifier (SA), said fuse (FE) is cut-through in a test-mode by the applying of a corresponding voltage-difference.

六、申請專利範圍

1. 一種自動辨認及消除字線-位元線-短路現象所用之電路配置，其係用在記憶體單胞配置中，記憶體單胞配置含有感測放大器(SA)以及具有位元線(BL1, BL2)和備用之位元線(RBL)，感測放大器(SA)將記憶體單胞配置劃分成多個記憶體方塊，此種電路配置之特徵為：每一記憶體方塊中在感測放大器(SA)之前於位元線(BL1, BL2)中設置熔絲(FE)。
2. 如申請專利範圍第1項之電路配置，其中在熔絲(FE)和感測放大器(SA)之間設置一個電晶體(T1)以便驅動熔絲(FE)。
3. 如申請專利範圍第1項之電路配置，其中在熔絲(FE)可藉由施加一種特殊電壓至感測放大器(SA)及/或施加一種過高(over high)之電壓至字線而被驅動。
4. 一種自動辨認及消除字線-位元線-短路現象所用之方法，其係用在記憶體單胞配置中，記憶體單胞配置含有感測放大器(SA)以及具有位元線(BL1, BL2)和備用之位元線(RBL)，感測放大器(SA)將記憶體單胞配置劃分成多個記憶體方塊，此種方法之特徵為：在測試模式中短路至字線(WL)之位元線(BL1, BL2)是藉由熔絲(FE)之驅動而斷開。
5. 如申請專利範圍第4項之方法，其中在熔絲(FE)之驅動是藉由熔絲和感測放大器(SA)之間供應一種電壓而達成。
6. 如申請專利範圍第4項之方法，其中在熔絲(FE)之驅動是藉由字線(WL)和位元線(BL1, BL2)之間供應一種具有適當電壓差之電壓而達成。

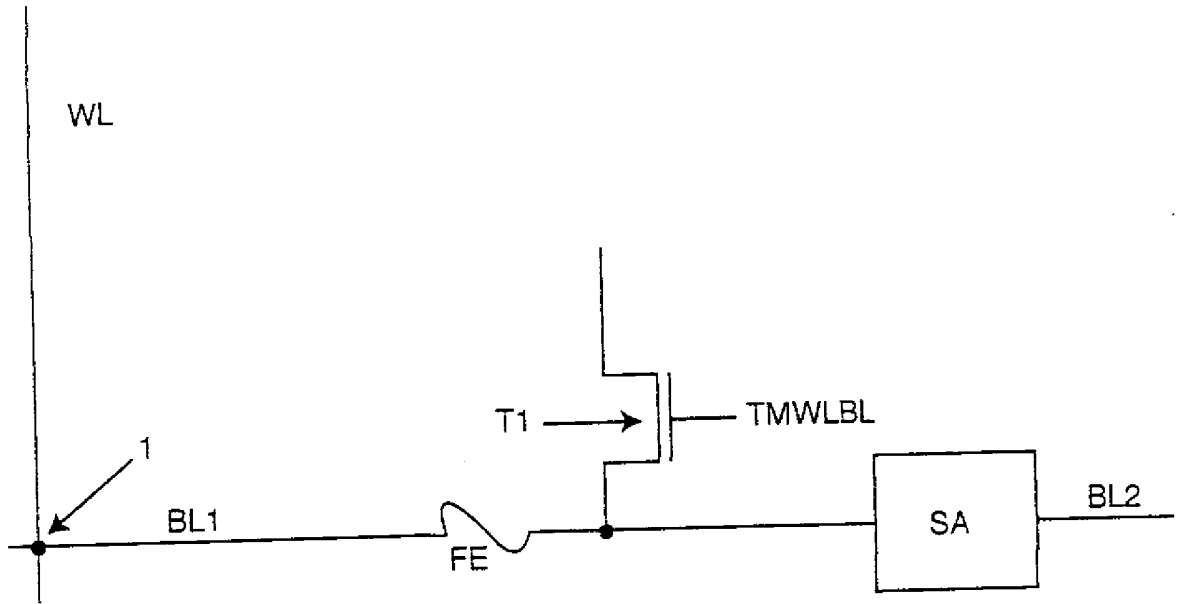
(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

第 1 圖



第 2 圖

