

[51] Int. Cl.⁷

G11C 11/40

[12] 发 明 专 利 说 明 书

[21] ZL 专利号 94193386.5

[45]授权公告日 2000 年 4 月 5 日

[11]授权公告号 CN 1051164C

[22]申请日 1994.9.20 [24]颁证日 1999.11.20

[21]申请号 94193386.5

[30] 优先权

[32]1993.9.30 [33]US[31]08/129,866

[86] 国际申请 PCT/US94/10648 1994.9.20

[87]国际公布 WO95/09423 英 1995.4.6

[85]进入国家阶段日期 1996.3.13

[73]专利权人 塞瑞斯逻辑公司

地址 美国加利福尼亚州

[72]发明人 帕维斯·凯施特伯德

[56]参考文献

US5,108,939 1992. 4.28 H01L21/76

审查员 王晓光

[74] 专利代理机构 永新专利商标代理有限公司

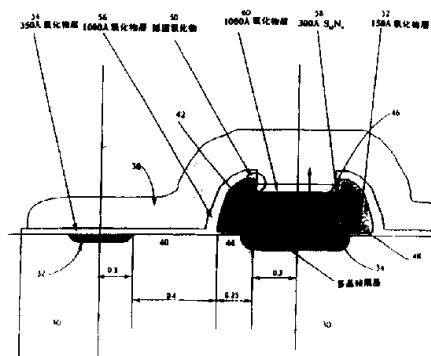
代理人 程 伟

权利要求书 5 页 说明书 17 页 附图页数 11 页

[54]发明名称 隔层快速单元工艺

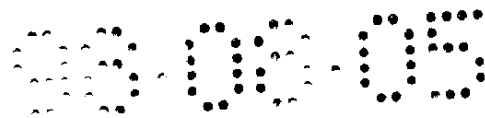
[57]摘要

一种快速 EPROM 单元,通过在编程期间在浮动栅(42)与位线(46)之间提供垂直耦合而具有减小的单元尺寸。擦除操作是通过从多晶硅隔层(42)的尖端到控制栅极(38)的电子隧穿而完成的。单元是配装的,从而阵列内各单元的源极(32)是一个邻接单元的源极,而漏极(34)为对另一个邻接单元的漏极。该单元是通过最好是场氧化物的第一绝缘物(106)中的开口将漏极区形成在衬底(104)中而形成的。在衬底(104)上的第一绝缘体(106)上及沿开口的侧壁最好淀积一薄层第二绝缘体(112),从而开口覆盖有一薄的绝缘层。在绝缘开口中填充一个第一掺杂的多晶硅层(114)。有选择地去除场氧化物(106)。生长栅极氧化物(118)及构成一个第二多晶硅层,然后加以蚀刻以构成沿第一多晶硅(114)第二绝缘物结构(112)的边沿的隔层(124)。有选择地蚀刻第二多晶硅及在其上形成隧道绝缘层。在隧道绝缘层上形成一个第三多晶硅层(38)。



专利文献出版社出版

ISSN 1008-4274



权 利 要 求 书

1. 一种非易失性存储器单元，包括：

- a. 一块平面衬底；
- b. 藕合到该衬底上的一个浮动栅极；

所述非易失性存储器单元的特征在于：

该浮动栅极由被绝缘材料包围的导电材料构成，进而，其中的浮动栅极具有沿一条轴长于沿其另一条轴的截面，该浮动栅极至少具有一个平行于基本上垂直于衬底的较长轴的一个表面，该浮动栅极在距衬底最远的表面的一端具有一个尖端；以及

- c. 一个控制栅极，该控制栅极与衬底藕合，从而使该浮动栅极位于该控制栅极与衬底之间，其中，该控制栅极由该绝缘材料与该浮动栅极隔开，使得该控制栅极只与距衬底最远的一部分浮动栅极重叠，并且只与这一重叠区中的浮动栅极紧密地接近。

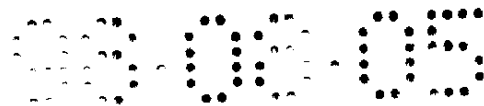
2. 根据权利要求 1 所述的存储器单元，其中，该单元是电可擦除的。

3. 根据权利要求 2 所述的存储器单元，其中，该单元是通过控制栅极与浮动栅极的尖端紧密接近处的绝缘材料擦除的。

4. 根据权利要求 1 所述的存储器单元，其中，该衬底是由单晶硅构成的。

5. 根据权利要求 1 所述的存储器单元，其中，该浮动栅极由掺杂的多晶硅构成。

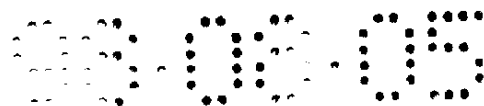
6. 根据权利要求 1 所述的存储器单元，其中，该控制栅极由掺杂的多晶硅构成。



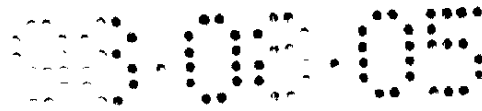
7. 根据权利要求 1 所述的存储器单元, 其中, 该绝缘材料是由 Si_3N_4 沿基本上垂直于该衬底的浮动栅极的一部分表面构成的, 而其它部分则由 SiN_2 构成。
8. 根据权利要求 7 所述的存储器单元, 其中由 SiN_2 构成的该绝缘材料是由三个分离的 SiN_2 层构成的, 第一层位于该浮动栅极与该衬底之间, 第二层位于该浮动栅极与该控制栅极之间, 而第三层则沿基本上垂直于该衬底但不被 Si_3N_4 复盖的该浮动栅极的表面。
9. 根据权利要求 1 所述的存储器单元, 其中, 在隔层重叠的尖端区中的浮动栅极与控制栅极之间的距离大约为 $200\text{\AA}$, 其它部分则为大约 $1000\text{\AA}$ 。
10. 一种非易失性存储器单元, 包括:
 - a. 具有一个表面的一块半导体材料平面衬底, 其中, 该衬底被掺杂成具有互相分隔开并形成在该表面内的一个漏极区及一个源极区的第一导电类型;

所述非易失性存储器单元的特征在于包括:

- b. 具有至少一个垂直于该衬底的平面第一侧壁的第一导电材料, 其中, 该第一导电材料形成在漏极区上并由一个第一绝缘层将其与该漏极隔开, 其中, 该第一绝缘层包含一个沿藕合在第一绝缘层上的第一侧壁的基本平面的第二绝缘层;
 - c. 具有基本为平面形的第二侧壁的第二导电材料, 其中, 该第二导电层形成在与衬底邻接的第一导电层上且在漏极与源极区之间但与源极区隔开, 从而使得该第二侧壁藕合到第二绝缘层上, 以及其中, 该第二导电层由一个第三绝缘层包围, 以及其中, 该第二导电层从衬底延伸得比第一导电层远, 从而留出该第二侧壁的一个暴露与绝缘的部分; 以及



- d. 在衬底上形成的第三导电材料，该第三导电材料从源极区延伸到漏极区，使得该第二导电区位于该第三导电区与衬底之间，以致该第三导电材料沿背离该衬底与第二侧壁的该第二导电材料的一个表面离开第二导电材料一个第一距离，而沿该第二侧壁的暴露与绝缘部分离开一个第二距离，其中，该第二距离小于该第一距离。
11. 根据权利要求 10 所述的存储器单元，其中，该第一导电材料是掺杂的多晶硅，该第二导电材料是掺杂的多晶硅，且该第三导电材料是掺杂的多晶硅。
12. 根据权利要求 10 所述的存储器单元，其中，该第一导电材料与漏极是电耦合的。
13. 根据权利要求 10 所述的存储器单元，其中，该第一绝缘层与该第二绝缘层由 Si_3N_4 构成。
14. 根据权利要求 10 所述的存储器单元，其中，该第三绝缘层为 SiO_2 。
15. 根据权利要求 10 所述的存储器单元，其中，该第一距离大约为 1000Å 而该第二距离大约为 200Å。
16. 根据权利要求 10 的存储器单元，其中，该第一导电材料与该第二导电材料之间的电容耦合大约为 0.75，而该第二导电材料与该第三导电材料之间的电容耦合大约为 0.15。
17. 根据权利要求 10 所述的存储器单元，其中，该单元不能克服擦除。



18. 一种构成非易失性存储器单元的方法，包括下述步骤：

- a. 形成具有一个表面的半导体材料平面衬底，其中，该衬底被掺杂成第一导电类型，该第一导电类型具有互相分隔开且在该表面内形成的一个漏极区及一个源极区；

所述方法的特征在于：

- b. 构成具有至少一个垂直与该衬底的平面形的第一侧壁的第一导电材料，其中，该第一导电材料在该漏极区上构成且由一个第一绝缘层与该漏极隔开，其中，该第一绝缘层包含一个沿藕合在该第一绝缘层上的第一侧壁的基本平面形的第二绝缘层；
- c. 构成具有一个基本平面形的第二侧壁的第二导电材料，其中，该第二导电层在该衬底上形成，与第一导电层邻接且在漏极与源极区之间但与源极区隔开，从而使得该第二侧壁藕合在该第二绝缘层上，而其中，该第二导电层被一个第三绝缘层包围，以及其中，该第二导电层从衬底上延伸得比第一导电层远，留出该第二侧壁的一个暴露与绝缘的部分；以及
- d. 构成一种第三导电材料，该第三导电材料在衬底上构成且从源极区延伸到漏极区，从而使得该第二导电区位于第三导电区与衬底之间，进而使得第三导电材料沿背离衬底与第二侧壁的第二导电材料的表面与该第二导电材料隔开一个第一距离，而沿第二侧壁的暴露与绝缘部分隔开一个第二距离，其中，该第二距离小于该第一距离。



19. 一种构成非易失性存储器单元的方法，包括下述步骤：

a. 在一块半导体衬底上形成一个场氧化物层；

所述方法的特征在于：

b. 形成通过该场氧化物层的一个具有侧壁的开口以暴露一部分衬底；

c. 通过该开口掺杂一部分衬底以构成一个漏极；

d. 在衬底的暴露部分及侧壁上淀积一个第一绝缘薄层；

e. 在该开口内形成一个第一掺杂多晶硅层，并且由第一绝缘层将第一掺杂多晶硅层与场氧化物层和衬底隔开，使得第一绝缘层的一部分暴露在开口内；

f. 去除场氧化物层，暴露未被第一掺杂的多晶硅层和第一绝缘层复盖的该部分衬底，并暴露第一绝缘层的一个外侧侧壁；

g. 在暴露的衬底上形成一个第二绝缘层；

h. 沿该外侧侧壁且在第二绝缘层上构成一个掺杂的多晶硅隔层；

i. 去除第一绝缘层的暴露部分；

j. 用一个第三绝缘层包围隔层的所有暴露表面，从而使得该第三绝缘层在去除了第一绝缘层的暴露部分处有一第一厚度而在其它地方则为第二厚度，该第二厚度比该第一厚度厚；以及

k. 用一个第二掺杂的多晶硅层有选择地复盖从步骤j得出的结构。

说明书

隔层快速单元工艺

本发明所属技术领域

本发明涉及制造半导体电子器件工艺。更具体地，本发明涉及采用隔层技术制作快速 EPROM (可擦除可编程只读存储器) 存储器单元的工艺。

与本发明相关的背景技术

有时称作快速器件的非易性电子编程与可擦除的存储器件在先有技术的各种操作中已有说明。其中称作 EPROM 的部分通常包括两个串联的 N 沟道金属氧化物半导体晶体管，其中的晶体管之一具有一个浮动的并夹在栅极与沟道之间的附加控制栅极。该栅极用于存储确定该 EPROM 状态的正或负电荷。另一个晶体管用于选择的目的。该浮动栅的充电是通过将电子 Fowler-Nordheim 隧道贯穿出或入该浮动栅而完成的。先有技术中报导的沟道与浮动栅极之间的氧化层厚约为 100Å。这些传统的快速器件要求高电压，编程慢，并且由于在浮动栅与控制栅之间所需的大电容藕合而占用大的空间。

Intel 的快速专利教导了另一种快速器件，它采用带有一个插入该器件的控制栅极与沟道之间的浮动栅极的一个单一的 N-MOS (N 沟道金属氧化物半导体) 晶体管。这种快速单元的氧化物厚度也是 100Å 左右。通过注入该

晶体管的源极与漏极之间的电荷在迁移期间在沟道中所生成的高能电子，而将负电荷存储进该浮动栅极。这对控制栅的电压要求很低，但却要求较大的源极到漏极电流。负电荷的擦除或消除完全与 EEPROM(电子擦除可编程只读存储器)单元一样，但这必须在控制下进行以防止过度擦除该单元，这在该浮动栅上保留了正电荷，从而使晶体管永远保持“导通”而丧失单元选择性。这种快速单元小于 EEPROM 单元并只需较低的编程电压，但却存在过度擦除与大电流需求的缺点。这种快速单元的大电流需求使之不适于用蓄电池作为其电源。这种快速单元的进一步复杂化来自对擦除电压 V_t 的控制。由于对存储器中所有单元都必须避免过度擦除，被擦除单元的 V_t 的下限不能小于 0.5 V。由于所有单元并不以相同方式擦除，存储器中可能存在 V_t 高达 3.0 伏的单元。3.0 伏的 V_t 导致不可能用 3.0 伏作为栅极的控制电压来操作该单元。

本发明的目的

因此，本发明提供了一种采用一个浮动多晶硅隔层作为一个存储元件的一种快速单元。

本发明的技术方案

最好采用一个氮化硅层作为单元位线与浮动存储元件之间的藕合介质。单元的位线是通过在场氧化物中形成的沟道中填充掺杂多晶体硅，然后去掉单元区中的场氧化物而构成的。由于与先有技术中用于将浮动栅藕合在控制元件上的二氧化硅层相比具有较高的介电常数，氮化硅绝缘层在位线与浮动存储元件之间具有良好的藕合特性。

存储元件构成一个与控制晶体管串联的浮动晶体管。控制晶体管的栅极由一个厚的氧化物层与存储元件隔开。与先有技术 (Intel 专利) 利用一个硅氮化物/氧化物层来增强耦合相反, 这一层减小浮动栅极与控制栅极之间的耦合。控制栅极与浮动栅极之间的低耦合以浮动栅极上的非常少量的负电荷来保持该浮动栅极晶体管“断开”, 从而使本发明的快速单元借助于漏极与位线上的低电压需求进行快速编程。

擦除操作是由在该浮动栅存储元件上生成的薄氧化物实现的。为了生长这一氧化物薄层, 要将浮动栅侧的一小部分氮化硅去除, 然后再生长该薄氧化物层。由于在控制栅上施加一个高电压而同时将其它电极接地, 在浮动栅中俘获的电子将隧穿这一薄氧化物层。最好从该浮动栅上隧穿剩余的电子而使其保持为正电荷。

本发明的有益效果

与先有技术 (Intel 专利) 相反, 本发明示教的是没有称作过度擦除的情况。该单元的控制栅与漏极是不连接在一起的。在所有编程操作期间, 将控制栅与漏极连接在数量级约为 10-12V 的高电压上。在读操作中, 将漏极耦合到 2V 左右的低电压上。位线电压可以是零或 2V。将位线连接到零伏可降低耦合在浮动栅上的电压, 并因此降低浮动栅上的负电压需求, 从而甚至进一步保持该单元断开。注意这会使单元的设计复杂化。

附图的简要说明

图 1 示出根据本发明制造的一个单元的剖视图。

图 2 示出根据本发明制造的一个存储器阵列的一部分的几何配置。

图 3 至图 11 示出了图 1 的半导体器件经过实现本发明的工艺步骤的各个阶段后的剖视图。

表 1 描绘用于构成根据本发明的一个快速 EPROM 单元的制造工艺。

本发明的最佳实施例

本发明最好用于 CMOS (互补金属氧化物半导体) 工艺并将对此描述。然而，对于本技术领域的普通技术人员而言，本发明的基本特征显然也能同样良好地应用在 NMOS 或 PMOS (P 沟道金属氧化物半导体) 工艺上。此外，可以理解本发明亦能应用在 EPOM 技术上。

单元结构

图 1 中示出了最佳实施例的单元。该单元是在一块 P 型半导体衬底 30 上构成的。该单元包括控制晶体管的一个漏极 34，一个源极 32，一条沟道 40，以及该单元的浮动栅晶体管的一条沟道 44。漏极 34 为位于所示单元右侧的单元共用，而源极 32 则为位于所示单元左侧的单元共用。浮动栅 42 通过绝缘体 48 电容耦合在位线 46 上。

浮动栅 42 与沟道 44 构成确定该单元状态的浮动栅晶体管。存储在该浮动栅中的负电荷切断沟道 44 中的电流，这称作该单元的“断开”状态。浮动栅上的正电荷保持该浮动栅晶体管导电，称作该单元的“导通”状态。控制栅 38 与沟道 40 构成用于选择单元的控制晶体管。

绝缘氧化物层 56 形成在浮动栅 42 与控制栅 38 之间。这一氧化物层 56 的厚度最好大于 1000Å，以降低浮动栅 42 与控制栅 38 之间的电容耦合，从而保证该控制晶体管与浮动栅晶体管的独立操作。

最好通过在沟中填充多晶体硅构成位线 46。多晶体硅填充物 48 凹下以便将氮化硅绝缘物 58 蚀刻掉一小部分。在浮动栅 42 上去掉氮化硅层的区域中生长厚度为 120 至 200Å 左右的一个薄氧化物层 50。浮动栅 42 是由一个多晶硅隔层构成的。通过蚀刻淀积在由位线构成的一个台阶上的多晶硅层而构成的这一多晶硅隔层在其顶部将有一个尖角。这一尖角将增强薄氧化物层 50 中的电场，而协助减少所需要的擦除时间与擦除电压。

图 2 示出诸如图 1 中所示的单元阵列的一部分的平面图。由于存在着至少一个图 1 中的元件，图 2 中所示的那些元件将以字母后缀以区别各相似的元件。示出了十二个完整的单元及六个部分单元。本技术中的普通技术人员将能理解，漏极 34X 是在各个位线 46X 下方形成的，因而在图 2 中看不见。从而，漏极的参照数字 34X 用虚线表示。

下面识别一个单元。一个源极 32A 通过一条沟道 36X 与其漏极 34B 互相耦合。藕合了一个控制栅 36B 来控制沟道 36X 的一部分 40X。配置了一个浮动栅 42I 来控制该沟道 44X 的第二部分。通过把一个适当的电压信号加在控制栅 38A 上，并根据该浮动栅 42I 是否已编程，沟道 36X 为从源极

到漏极的电流提供一条通路。

单元操作

参照图-1 中所示的单元描述该单元的操作。本技术中的普通技术人员很容易理解，根据系统性能需求，这些电压可与把用于一个单一单元的这些信号顺序地或并行地加到一个或多个外加单元上。

单元编程

为了编程一个单元，将一个数量级为 10 至 12 伏的电压作用在该单元的漏极 34 和位线 46 上。位线 46 与浮动栅 42 是相对地强地互相电容耦合的。这些电极之间的电容耦合率最好在 0.75 左右。从而，把 10 至 12V 加在位线 46 与漏极 34 上，在浮动栅 42 上将出现 8 至 9.6V 电压。同时，源极 32 接地而控制栅 38 则连接在 1.5 至 2V 电压上。这一电压为 0.5 至 1V，它大于控制晶体管的阈值电压。

在这些条件下，沟道 40 被反向而沟道 44 则被非常强地反向。由于浮动栅晶体管的阈值接近零且在浮动栅 42 上为一高电压(8 至 9.6V)，这一点尤其如此。沟道 40 与 44 之间的间隙被栅极 38 与 42 的边缘场弱反向。由于控制栅 38 上的高漏极与低栅极电压，从源极 32 进入沟道 40 的电子在高电平电场控制下加速去往沟道 44。沟道 44 与 40 之间的间隙中的电场尤其高。这是由于这一区域中的弱反向产生了少数携带电流的电子，并且由于来自源极 32 与漏极 44 的总电流是常量，在较高的电场中的电子移动得较快。其中一些快速移动的电子中便注入了具有较高电位的浮动栅中。随着电子被注入到该浮动栅，其电位下降到沟道区 44 不能维持反向的电位点上。此时，电流下降到零而该单元的编程停止。由于编程的减慢是逐渐发

生的，用户无须等待沟道完全切断，而在浮动栅 42 上的电压下降至大约 3 至 4V 时便能停止编程操作。对于本技术中的普通技术人员将是显而易见的，在位线 46 与漏极 34 的较高电位上，这一改变将在较短的时间内发生。随着位线 46 与漏极 34 上的编程电压的去除，浮动栅 42 上将俘获大约 3 至 4 伏的负电荷，从而防止沟道 44 反向。

读取一个单元

为了读取一个单元，源极 32 连接到地电位，漏极 34 (及用户自由决定的位线 46) 连接到 1 至 1.5V 电压，而将控制栅 38 连接到 3 至 5V 电压。控制栅 38 与浮动栅 42 之间的电容耦合率非常小，在 0.1 至 0.15 的数量级上，最好是 0.10。在这些条件下，耦合到浮动栅 42 上的总电压将为 1.1 至 1.95 伏。在一个擦除的单元中，由于自然产生的过度擦除情况，浮动栅通常带正电荷。对于单元的操作并不需要过度擦除，但在擦除周期中，它经常发生而且无需费力去防止它。在任何情况下，带有沟道 44 的浮动栅晶体管的阈值不是零便是负，而随着在适当的单元元件上施加适当的读电压，沟道 44 将被反向。由于在控制栅 38 上加有 3 至 5V 电压，控制晶体管的沟道 40 也被反向。这导致电流从漏极 34 流向源极 32。

在一个编程的单元中，存储在浮动栅 42 上的负电荷超过来自控制栅 38 与位线 46 的电容耦合的正电荷，因此沟道 44 不能被反向，从而防止了电流从漏极 34 流向源极 32。在一次读操作中，可将位线 46 耦合到地，同时将漏极 34 连接到 1 至 1.5V 电压。这便将浮动栅 42 上的耦合电荷的量减少到甚至更低的值，这意味着在编程过程中，该单元在浮动栅上需要甚至更少的负电荷，这说明用较低的漏极 34 与位线 46 电压能得到甚至更快的编程。

擦除一个单元

单元擦除操作是通过在其它电极为地电位的同时在控制栅 38 上施加一个电压而完成的。所需求的电压取决于擦除速度的需求，速度越快控制栅上要求的电压就越高。对于本发明的单元而言，典型的擦除电压为 12 至 15V 左右。在一个擦除周期中，在浮动栅 42 中俘获的电荷隧道贯穿构成隧道的氧化物层 50 并离开浮动栅 42，借此提高浮动栅 42 上的电位。

随着浮动栅 42 上的电位升高，浮动栅电压与控制栅电压之差越来越小，从而减慢隧道贯穿过程。这意味着擦除一个未编程的单元不会损伤该单元，因为会更快地在浮动栅上建立一个正电压，并且比编程一个单元更快地停止擦除。在这一操作中将擦除所有共用同一公共控制栅 38 的单元。这在先有技术中称为一个段擦除操作，因为包含相当于一段数据的所有单元具有一个公共的控制栅。通过在希望保持编程的单元的位线与漏极上施加适当的电压，便有可能进行有选择的单元擦除操作。

用于结合 CMOS 工艺构成快速单元的最佳工艺

本专利文件还公开了通过在诸如熟悉半导体先有技术的人员所知的传统 CMOS 工艺上增加工艺步骤而制造本发明的快速单元的技术。表 1 中概述了最佳实施例的工艺，其中采用了通常在传统的 N-阱 CMOS 工艺中见到的许多工艺步骤。

通过 N-阱工艺，扩散掩膜和适当蚀刻，以及场氧化对晶片进行过处理之后，采用一块多晶硅位线掩膜在场氧化物中制造深沟。将这些沟一直蚀刻到硅衬底。然后进行砷注入以构成该单元的漏极，进而在复盖场氧化物及所有沟的底面与侧面的整个晶片上淀积一层数量级为 300 至 500Å 的薄氮化

硅层，将位线与单元的漏极绝缘。

可供选用的是采用埋置的触点掩膜将位线连接在单元的漏极上。还可采取其它措施将两者连在一起，例如金属与触点。然后在沟中填充多晶硅。通过用多晶硅复盖晶片即可完成这一任务。该多晶硅层中掺杂有磷，并对其进行蚀刻以使沟中只留有多晶硅，借此将这些沟填满到顶。在这一处理中还消除了复盖晶片表面的氮化硅。

在工艺中的这一点上(表 1 中的步骤 X)，在晶片上生长一个氧化物层以消耗沟中的一些多晶硅。氧化物层最好是 1000Å。在这一氧化步骤之后，去除前面用来限定作用区的氮化硅，如先有技术中所知的。在步骤 XI 中利用一块掩膜以有选择地去除单元区中的场氧化物，这导致多晶硅填充的沟突出并由氮化硅复盖它们的侧面。

在单晶硅衬底上生长 850Å 的牺牲氧化物然后将其蚀刻掉。由于多晶硅是磷重掺杂的，大约 2600Å 的氧化物生长在多晶硅层的顶面上。蚀刻步骤之后，在沟中的多晶硅的顶部留下厚约 1600Å 的氧化物。适当地实现阈值调节之后，生长 150Å 的第一栅氧化物。在这一点上，沟中的多晶硅顶部的氧化物大约厚为 1700Å 且与氮化硅在同一水平上。

现在淀积一厚层多晶硅。然后掩膜多晶硅以在周边中构成薄氧化物晶体管并在单元阵列中构成多晶硅隔层。用掩膜和砷注入而构成单元的源极。在下一步骤中，蚀刻掉多晶硅顶上的所有氧化物并在暴露的硅区中生长厚约 350Å 的一个氧化物层。这一氧化物层构成单元中的控制晶体管以及周边中所有处理大于 7 伏电压的晶体管的栅氧化物。图 10 示出在工艺的这一点上两个多晶硅层是如何互相相对地定位的。然后在热磷酸中蚀刻氮化

硅的暴露部分，并在多晶硅上生长厚约 200Å 的一个沟道氧化物层。

现在淀积第三多晶硅层并将其限定以构成单元的控制栅以及高电压晶体管栅极。在限定了这一多晶硅之后，将空间中的暴露部分去除掉并与控制多晶硅层自对准，如先有技术中已知的。在自对准蚀刻中可能需要采用额外的掩膜以防止损坏用作该单元的源极的埋置的 N_1 。在这一步骤后面跟着氧化，它密封浮动多晶硅的侧面以防止电荷泻漏。其余的处理步骤与本技术中所周知的传统 CMOS 工艺十分相似。

下面参照图 3 至图 11 对本发明的工艺进行更详细的描述。采用一块半导体晶片作为衬底。用任何已知的掩膜技术掩膜该晶片。

在下面的描述中，适当时，与表 1 中的所示的工艺单个步骤相关的正文的各节将以对应的罗马数字开头。

- I. 掩膜该晶片以形成大小与位置的 N 阱。这些 N 阱是通过光刻胶掩膜用注入要求剂量的 N 型掺杂物而构成的；
- II. 施加一个氮化物层，对其进行掩膜处理以便有选择地防止场氧化物的形成。用作沟道阻塞的场注入被用于晶片；
- III. 在部分晶片上有选择地生长 6000Å 的场氧化物层；
- IV. 掩膜该场氧化物层并有选择地去掉衬底的暴露部分；以及
- V. 通过开口注入砷并在随后的高温步骤中退火以构成漏极，通过各开口构成两个漏极。

图 3 示出在工艺的这一阶段的部分晶片的剖面。该单元是在只作为参照点画出的两条垂直线 100 与 102 之间构成的。在一块 P 型衬底 104 上形成一个厚的场氧化物层 106。通过场氧化物层 106 形成一个暴露衬底 104 的一部分的开口 108。对最终形成为对两个单元的漏极的一个区域 110 注入砷。

- VI. 如图 4 中所示, 在图 3 的结构表面上淀积一薄层氮化物 (Si_3N_4), 其厚度最好是 300Å;
- VII. 接着用掩埋的触点掩膜将多晶硅位线连接在扩散区; 这一步骤也能用任何传统技术在工艺中的后面阶段用连接扩散区的金属来替代;
- VIII. 然后在结构的表面上淀积一个第一多晶硅层, 如图 5 中所示。所淀积的第一多晶硅层应厚于 3000Å, 从而复盖场氧化层 106 的表面。将第一多晶硅掺杂成导电的;
- IX. 蚀刻第一多晶硅层从而再度暴露场氧化物 106 的表面, 如图 6 中所示, 并形成一个填充的多晶硅区 116;
- X. 接着, 生长一个厚为 1000Å 的氧化物层 118, 如图 7 所示。氧化物层 118 的生长降低了所填充的多晶硅区 116 的高度;
- XI. 对晶片进行掩膜, 只暴露电路的单元区。通过蚀刻暴露的单晶衬底 104 与填充的多晶硅 116 去除场氧化物;
- XII. 在衬底 104 与填充的多晶硅上生长牺牲氧化物。氧化物生长厚度在单晶硅上为 850Å 而在填充的多晶硅层 116 上则为 2600Å;

- XIII. 将晶片进行一次 850Å 氧化物蚀刻, 去掉衬底 104 上的所有氧化物及填充的多晶硅层 116 上 ~ 950Å 的氧化物层;
- XIV. 进行注入以调节 CMOS 晶体管的阈值电压;
- XV. 接着生长一个厚度为 122 到 150Å 的第一栅极氧化物层。填充的多晶硅层 116 上的氧化物层 118 现在大约为 1700Å, 如图 8 中所示 (注意其中未示出 V_t 调节注入以免本发明被不必要的细节所冲淡);
- XVI. 淀积一个厚 35000Å 的第二多晶硅层, 将其掺杂成导电的;
- XVII. 用一个薄氧化物层晶体管掩膜来界定低电压 CMOS 晶体管。用等离子蚀刻来形成 CMOS 晶体管的栅极以及沿氮化物层 112 侧壁的多晶硅隔层 124, 如图 9 中所示;
- XVIII. 掩膜该电路并在源极区 126 中注入砷;
- XIX. 用氧化物蚀刻从单元的沟道区中去除氧化物。在最佳实施例中, 该氧化物蚀刻为 30 秒 50:1 HF 蚀刻。然后在这一结构上生长一个氧化物层, 它包括在衬底上生成的厚为 325Å 的氧化物层 128 及在多晶硅隔层 124 上生长一个厚为 900Å 的氧化物层 130, 如图 10 中所示;
- XX. 用热磷酸氮化物蚀刻去除填充的多晶硅 116 与氧化物层 118 的残留部分上的氮化物层 112 的暴露部分;

XXI. 在这一结构上生长隧道氧化物层，其在衬底上的厚度在 50Å-70Å 之间，从而该单元的栅极氧化物厚度大约为 350Å。在多晶硅隔层 124 上形成大约为 150-200Å 的氧化物层，从而使浮动栅极（隔离结构）与控制栅极（尚未构成）之间的间隔大约为 1000Å，如图 11 中所示。注意在浮动栅极的垂直侧壁上形成了一个薄氧化物层；

XXII. 在图 11 的结构上形成一个第三多晶硅层；

XXIII. 掩膜第三多晶硅层；以及

XXXIV. 去掉掩膜。

该第三多晶硅层依随浮动栅极的轮廓，从而它沿背离衬底 104 的曲面与该浮动栅极相隔大约 1000Å。浮动栅极与控制栅极之间沿垂直侧壁的短的重叠长度的间隔只有大约 200Å。浮动栅极与控制栅极之间的重叠大约为 700Å。在界定并蚀刻多晶硅 3 之后，用一自对准的掩膜来复盖周边以及单元的源极。利用该掩膜把浮动多晶硅 42 与位线 46 顶部蚀刻掉 1000Å。然后采用非垂直多晶硅蚀刻从控制栅极之间去掉隔层 42。在这一蚀刻中，从多晶硅填充的位线中蚀刻掉大约厚为 3000Å 的多晶硅，而在控制栅极之间的位线中保留大约厚为 2000Å 的多晶硅。

工艺中的其余步骤(XXXV 至 XXXXII)用于构成与该单元分离的电路部分。表 1 中列出的这些步骤为构成这些步骤的传统步骤的代表，并且只是为了完整性而包含进去的。本技术中的普通技术人员能够容易地开发构成这些所要求的结构与电路的其它步骤。

已相对于一个最佳实施例描述了本发明。将会容易地理解，厚度与特定的处理步骤能够及将会根据任何特定的电路设计与工艺要求的精度需求而变化。只在阅读了本公开之后才对本技术中的普通技术人员显而易见的变形处于本发明及所附的权利要求书的精神与范围之内。

表 1

- I. N 阱掩膜/处理/注入;
- II. 扩散掩膜/氮化物蚀刻/场注入;
- III. 场氧化物层 6000Å;
- IV. 多晶硅位线掩膜/等离子体蚀刻;
- V. 砷注入/去掉光刻胶;
- VI. 氮化物淀积;
- VII. 掩埋触点掩膜(将多晶硅位线连接在扩散区上);
- VIII. 多晶硅填充/多晶硅掺杂;
- IX. 多晶硅蚀刻;
- X. 氧化物层 1000Å;
- XI. 场氧化物蚀刻掩膜;
- XII. 牺牲氧化物生长: 单晶硅上 850Å, 多晶硅上 2600Å;
- XIII. 氧化物蚀刻 850Å(总共去除氧化物层-950Å);
- XIV. V_t 调节注入;
- XV. 栅极氧化物 1 为 150Å (多晶硅上氧化物 1700Å);

- XVI. 多晶硅 2 淀积 3500Å/掺杂。
- XVII. 薄氧化物晶体管掩膜 + 隔层构成;
- XVIII. 砷注入掩膜/砷注入;
- XIX. 氧化物蚀刻/生长栅极氧化物: 栅极氧化物(高电压) 300Å(多晶硅上 900Å)。
- XX. 热磷酸氮化物蚀刻;
- XXI. 隧道氧化物: 硅上 70Å, 多晶硅上 200Å(栅极氧化物总厚度为 350Å, 多硅氧化物总厚度为 1000Å);
- XXII. 多晶硅 3 淀积/掺杂(多晶硅侧);
- XXIII. 多晶硅 3 掩膜;
- XXIV. 多晶硅 3 去除自对准掩膜/多晶硅蚀刻;
- XXV. LDDPh. 注入掩膜/Ph 注入;
- XXVI. 隔层氧化物淀积;
- XXVII. 隔层蚀刻;
- XXVIII. N+S/D 注入掩膜/砷注入;
- XXIX. P+S/D 注入掩膜/硼注入;
- XXX. S/D 氧化;

- XXXI. BPSG 淀积;
- XXXII. 触点掩膜;
- XXXIII. 钛喷镀/Nitradization;
- XXXIV. 金属 1 淀积;
- XXXV. 金属 1 掩膜/蚀刻;
- XXXVI. ILD 淀积;
- XXXVII 整平;
- XXXVIII. 通过掩膜/通过蚀刻;
- XXXIX. 金属 2 淀积;
- XXXX. 金属 2 掩膜/蚀刻;
- XXXXI. 形成保护膜; 以及
- XXXXII. 垫片掩膜。

说明书附图

图1

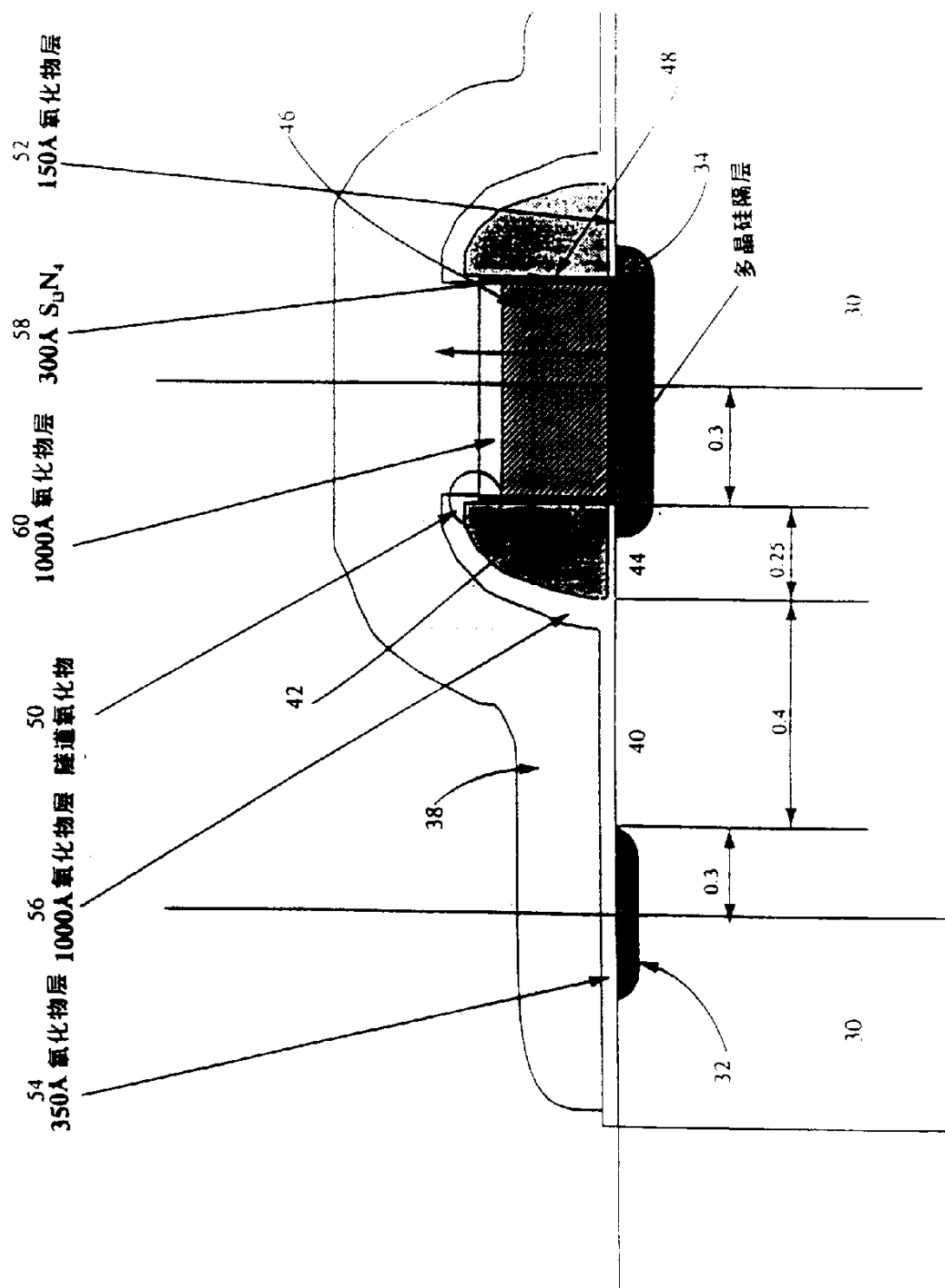
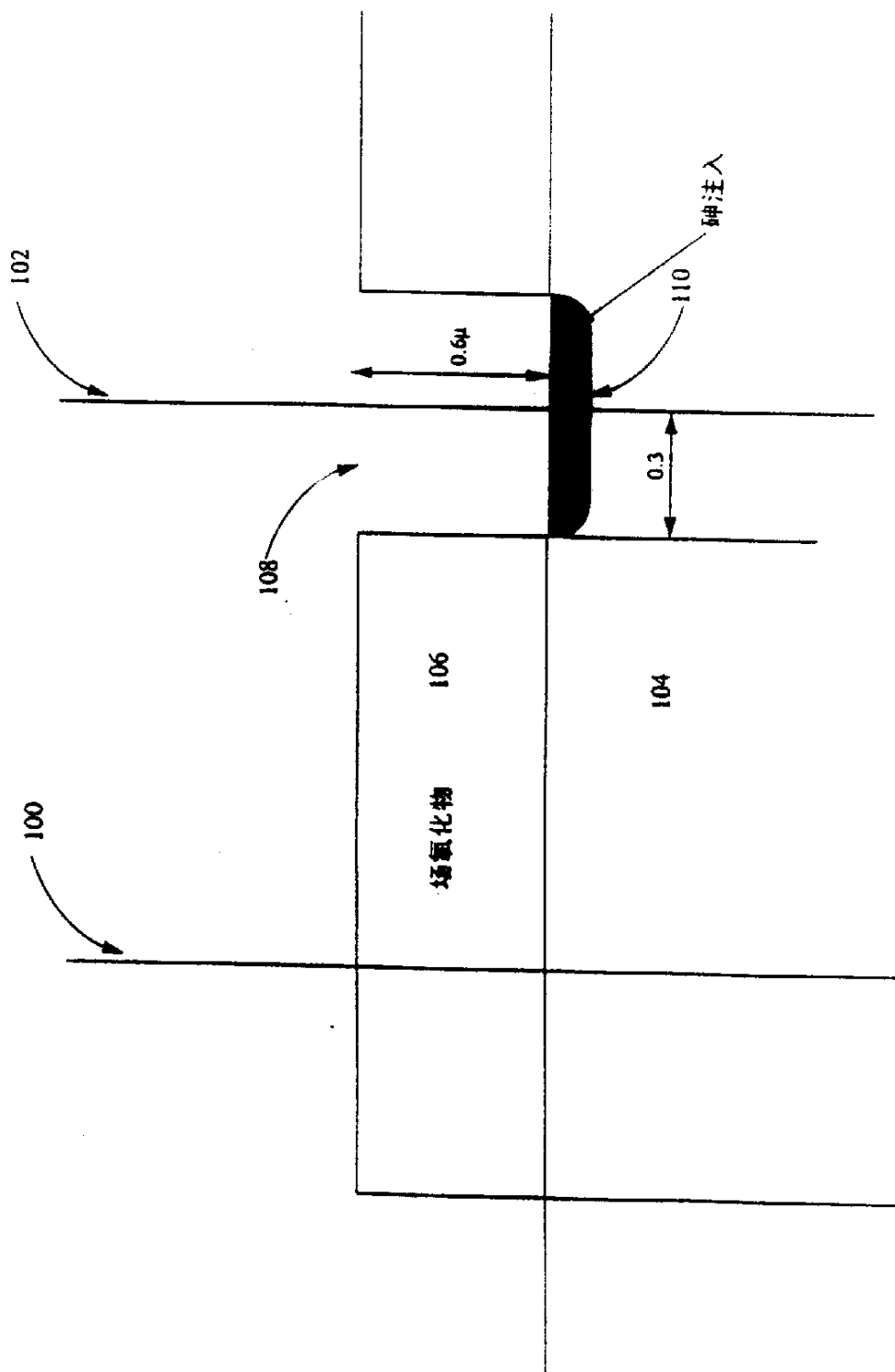
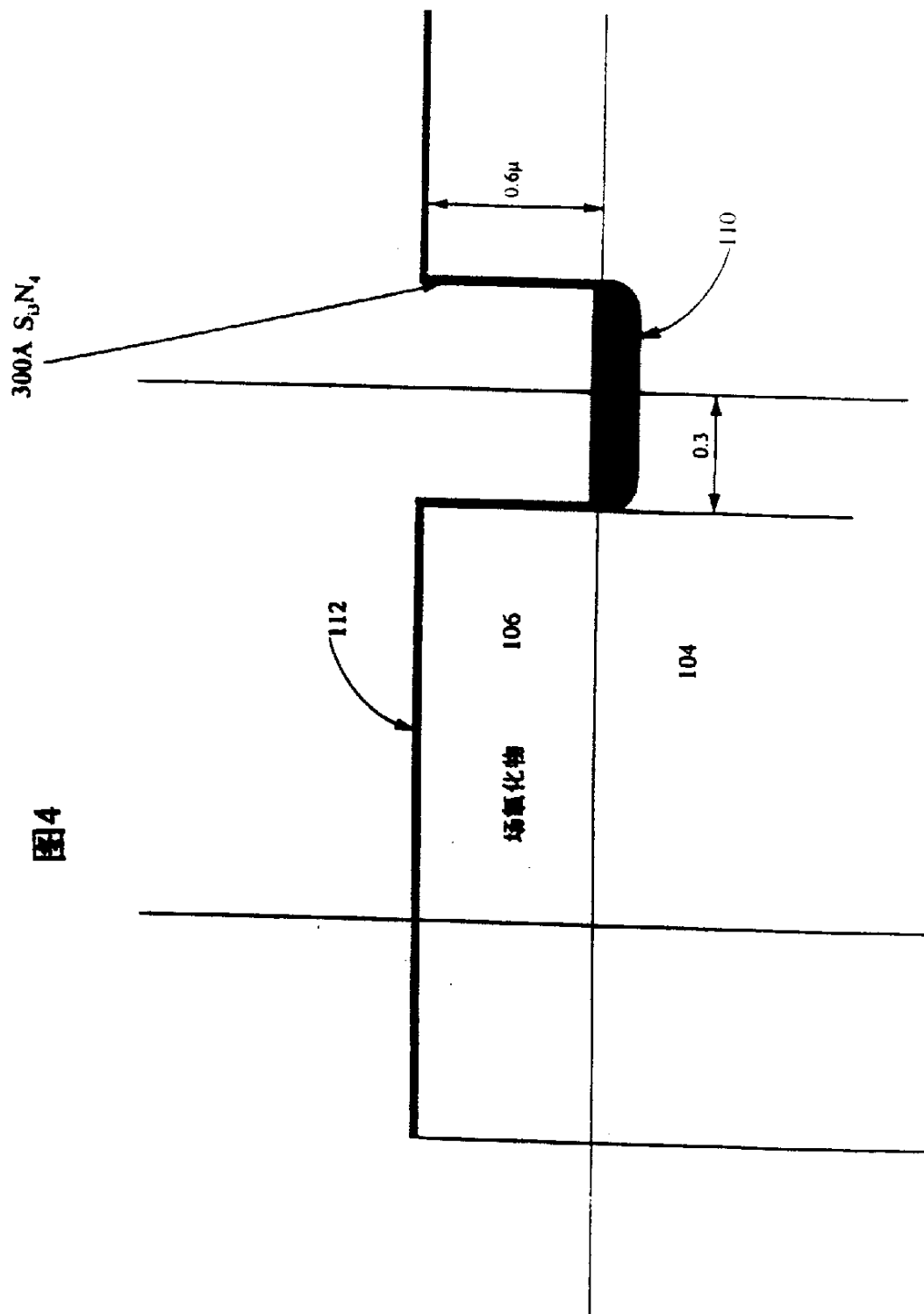


图3





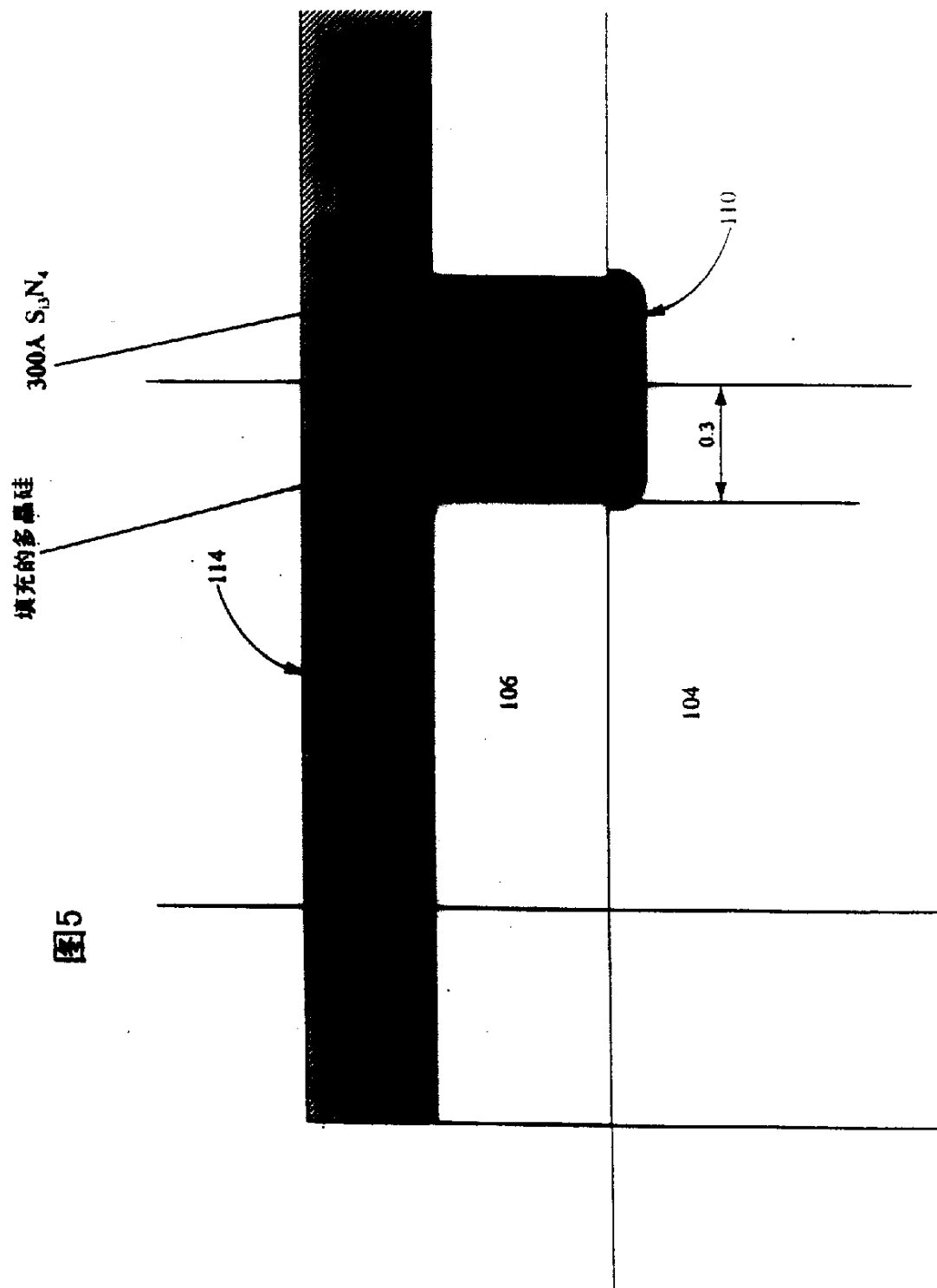


图5

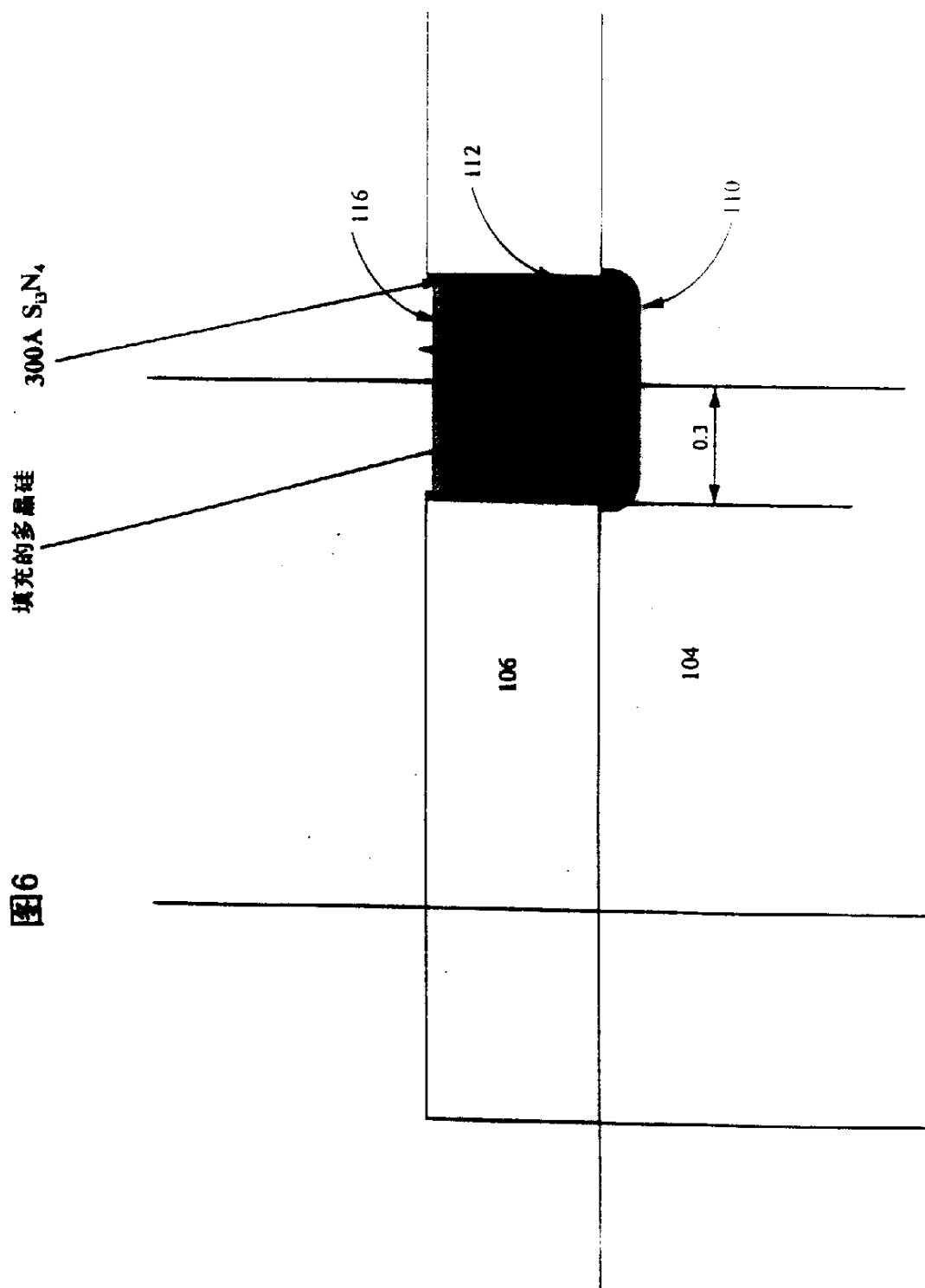


图6

图7

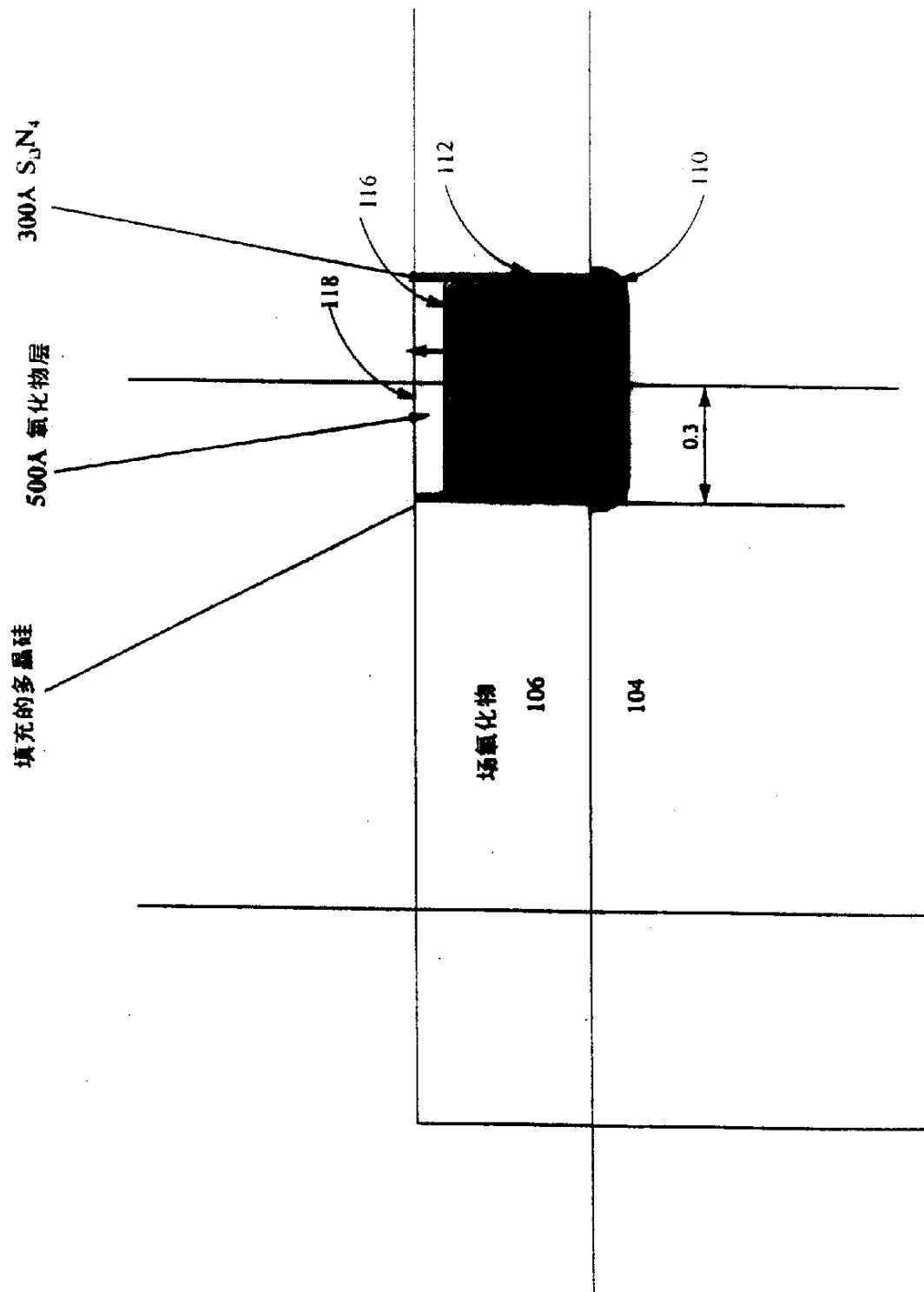


图 8

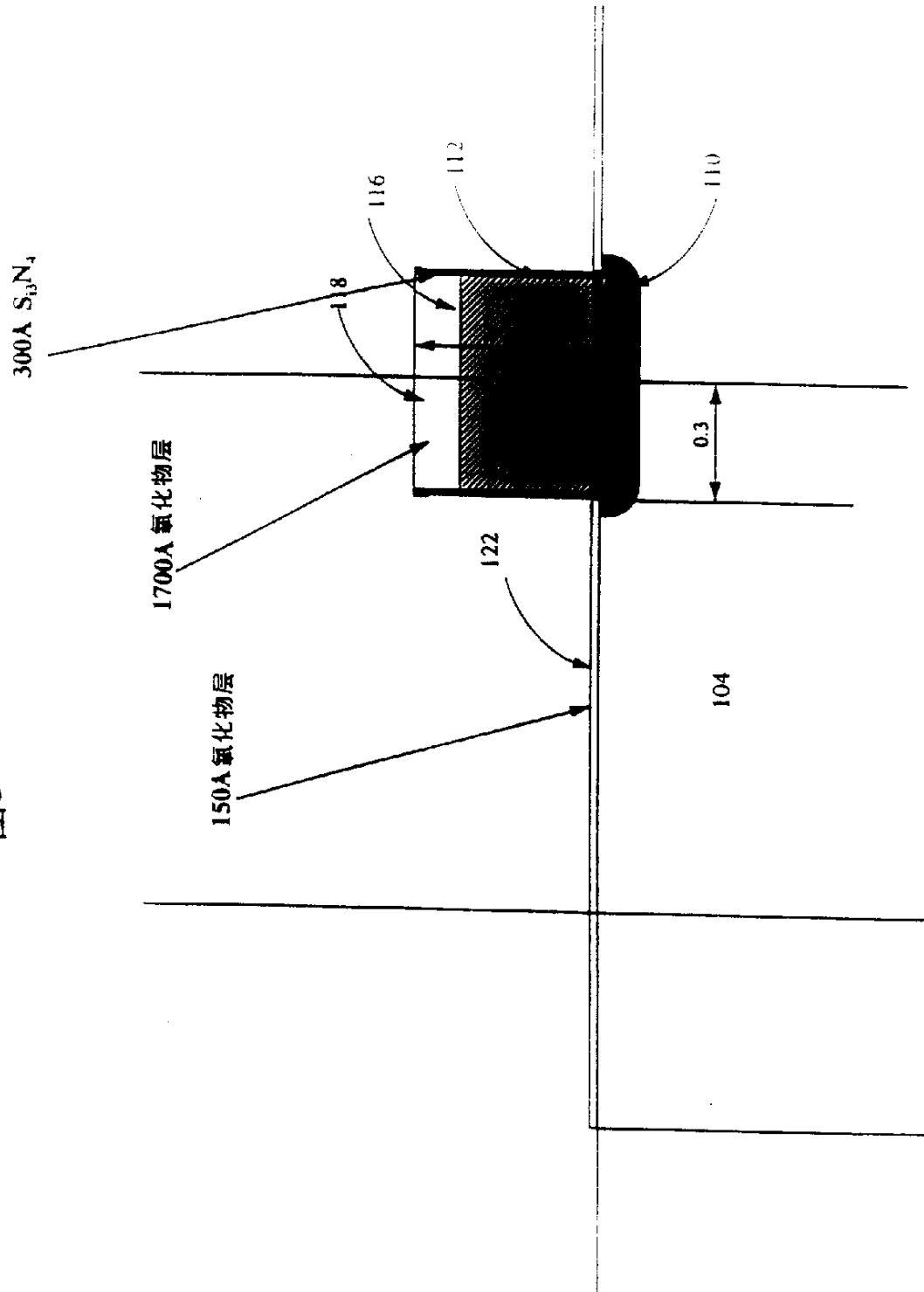


图9

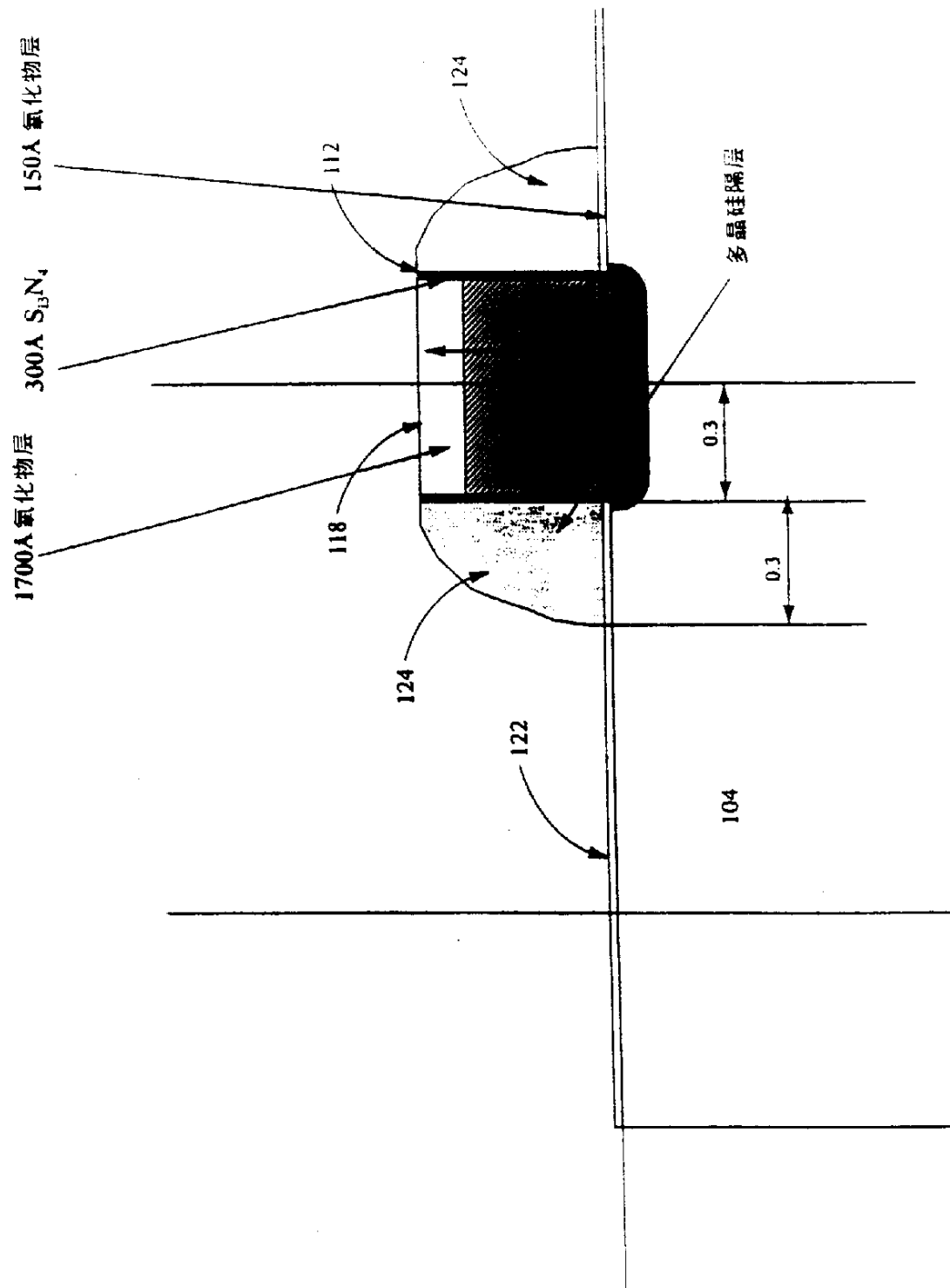


图10

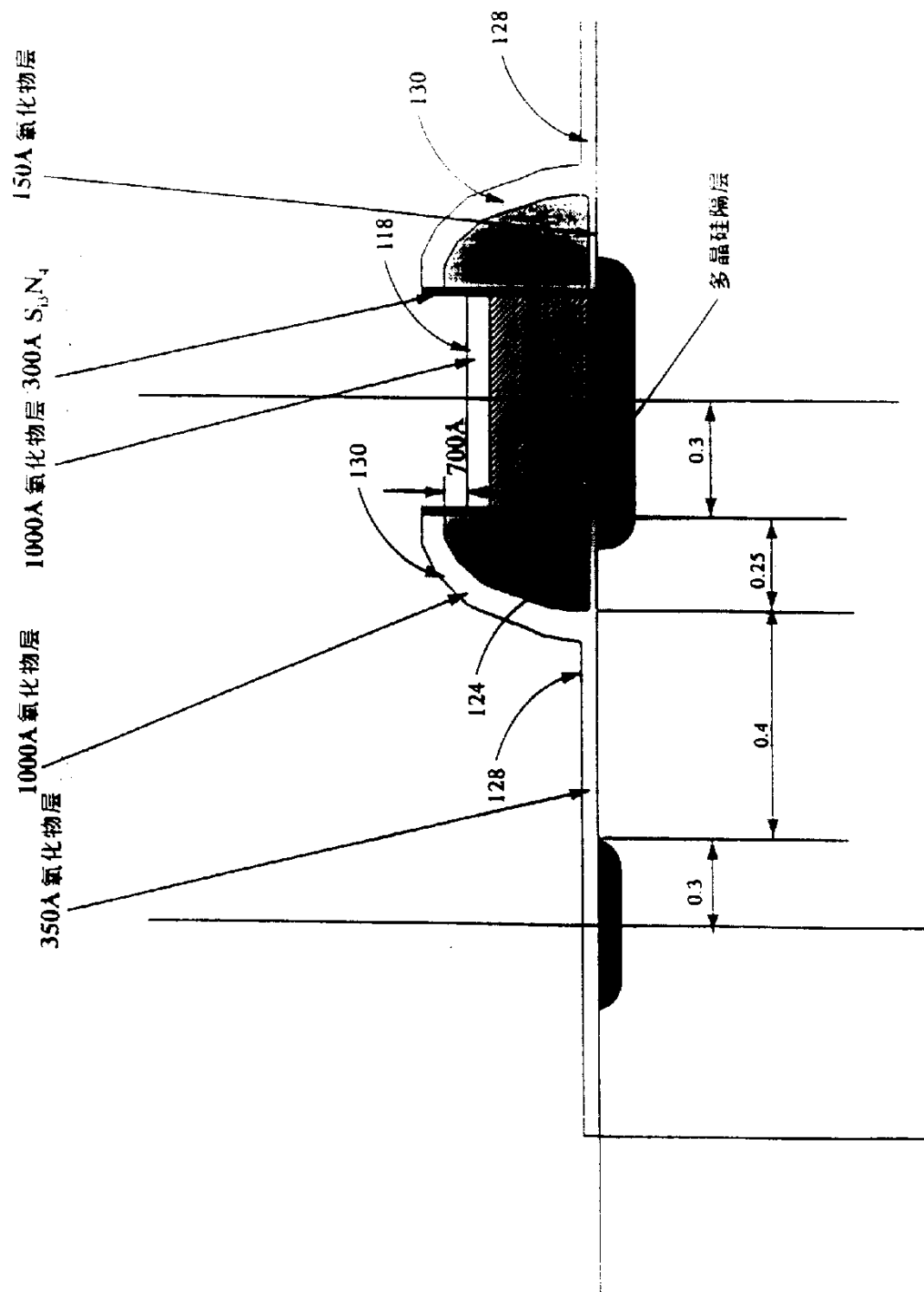


图11

