

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2006年7月6日 (06.07.2006)

PCT

(10) 国際公開番号
WO 2006/070652 A1

(51) 国際特許分類:

H01L 21/3205 (2006.01) H01L 25/10 (2006.01)
H01L 23/52 (2006.01) H01L 25/11 (2006.01)
H01L 25/065 (2006.01) H01L 25/18 (2006.01)
H01L 25/07 (2006.01) H05K 3/42 (2006.01)

(71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 Tokyo (JP). NECエレクトロニクス株式会社 (NEC ELECTRONICS CORPORATION) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部1753番地 Kanagawa (JP).

(21) 国際出願番号: PCT/JP2005/023451

(22) 国際出願日: 2005年12月21日 (21.12.2005)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2004-377760

2004年12月27日 (27.12.2004) JP

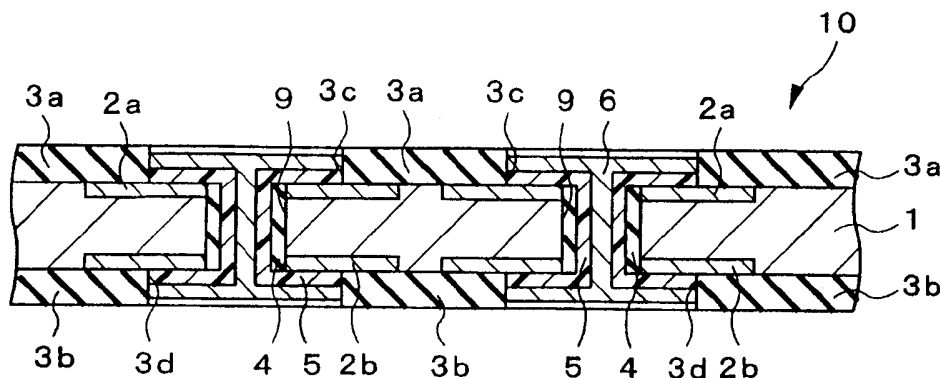
(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 曾川 禎道 (SO-GAWA, Yoshimichi) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 山崎 隆雄 (YAMAZAKI, Takao) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 栢山 一郎 (HAZEYAMA, Ichirou) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 北城 栄 (KITAJOU, Sakae) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME, WIRING BOARD AND METHOD FOR MANUFACTURING SAME, SEMICONDUCTOR PACKAGE, AND ELECTRONIC DEVICE

(54) 発明の名称: 半導体装置およびその製造方法と、配線基板およびその製造方法と、半導体パッケージ並びに電子機器



(57) Abstract: Passivation films (3a, 3b) are so formed as to cover both sides of a semiconductor substrate (1) respectively having terminal pads (2a, 2b). Openings (3c, 3d) are formed in the passivation films (3a, 3b) in positions overlapping the terminal pads (2a, 2b). A through hole (9) penetrating the terminal pad (2a), the semiconductor substrate (1) and the terminal pad (2b) is formed inside of each opening (3c, 3d). The inner surface of the through hole (9) is provided with an insulating layer (4) which is composed of SiO₂, SiN, SiO or the like. A buffer layer (5) composed of a conductive adhesive is so formed as to cover the insulating layer (4) and the terminal pads (2a, 2b) inside the openings (3c, 3d). Further, a conductive layer (6) composed of a metal film is formed on the buffer layer (5) by electrolytic plating or electroless plating.

(57) 要約: 両面に端子パッド2a, 2bを有する半導体基板1の両面を覆うようにパッシベーション膜3a, 3bが形成されている。このパッシベーション膜3a, 3bの、端子パッド2a, 2bと重なる位置に、開口部3c, 3dが設けられている。開口部3c, 3dの内側に、端子パッド2aと半導体基板1と端子パッド2bを貫通する貫通孔9が形成されている。貫通孔9の内面に、SiO₂、SiN、またはSiO等からなる絶縁層4が形成されている。絶縁層4と、開口部3c, 3d内の端子パッド2a, 2bとを覆うように、導電性接着剤からなるバッファ層5が形成されている。さらに、電解めっきまたは無電解めっき等により、バッファ層5上に、金属膜からなる導電層6が形成されている。



電気株式会社内 Tokyo (JP). 高橋 信明 (TAKAHASHI, Nobuaki) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部 1 7 5 3 番地 NECエレクトロニクス株式会社内 Kanagawa (JP).

(74) 代理人: 宮崎 昭夫, 外(MIYAZAKI, Teruo et al.); 〒1070052 東京都港区赤坂 1 丁目 9 番 2 0 号 第 1 6 興和ビル 8 階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO,

RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2 文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

半導体装置およびその製造方法と、配線基板およびその製造方法と、半導体パッケージ並びに電子機器

技術分野

[0001] 本発明は、貫通ビアが設けられた半導体装置およびその製造方法と、貫通ビアが設けられた配線基板およびその製造方法と、これらの半導体装置および配線基板のうちの少なくとも一方を備えた半導体パッケージ、並びにこの半導体パッケージを備えた電子機器に関する。

背景技術

[0002] 電子機器の高性能化に伴い、半導体装置の高密度化への要求が高まっている。この要求に対応するために、近年では、1つのパッケージ内に複数の半導体チップを収容することにより実装密度を高めた半導体パッケージ、いわゆるマルチチップパッケージの開発が盛んに行われている。このマルチチップパッケージの中でも、特に、複数の半導体チップを厚さ方向に積層したスタック型のマルチチップパッケージは、半導体装置の高機能化および小型化の両方を実現することができるため、広く使用されている。また、このスタック型のマルチチップパッケージをさらに高機能化すると共に小型化するために、半導体チップに貫通ビアを形成し、この貫通ビアにより、一つの半導体チップの表面電極と他の半導体チップの裏面電極とを相互に接続して、半導体チップ同士を3次元的に接続した構造の半導体パッケージが開発されている（例えば、特開2001-60654号公報および特開2000-260934号公報を参照）。

[0003] 図1は特開2001-60654号公報に記載された従来の半導体パッケージの構造を示す断面図である。図1に示されている半導体パッケージ100は、半導体基板101の表面上に、トランジスタ、抵抗、およびコンデンサ等により構成された素子（図示せず）と、電極部102とが形成されている複数個の半導体装置105が、各電極部102が互いに位置合わせされて積層された構成である。これらの半導体装置105の半導体基板101には、電極部102の下面に達する貫通孔106が形成されている。半導体基板101の裏面、即ち、素子が形成されていない側の面と、貫通孔106の内面には

、二酸化シリコン等からなる絶縁層104が形成されている。各貫通孔106にはそれぞれ導電材103が充填されて、貫通ビアが形成されている。そして、この貫通ビアが形成された複数の半導体装置105を積層し、加熱および加圧することにより、上下方向に隣接する半導体装置105が接続されている。

[0004] 通常、貫通孔106に充填される導電材103として、はんだや導電性接着剤等が使用されている。導電材103としてはんだを使用すると、貫通ビア内の電気抵抗を小さくすることができると共に、大きな接合力が得られる。また、導電材103として導電性接着剤を使用する場合は、加熱が不要になるため、工程を簡略化することができると共に、熱によるダメージを避けることができる。半導体パッケージ100をこのような構造にすることにより、ワイヤを使用せずに各半導体チップを電氣的に接続することができるため、従来の方法に比べて小型化、薄型化、および高周波数化することができる。

[0005] また、特開2001-60654号公報には、予め貫通ビアが設けられた複数の半導体装置が積層されるのではなく、複数の半導体装置が積層された後に貫通ビアが設けられた半導体パッケージも開示されている。図2および図3は、特開2001-60654号公報に記載されている、他の従来の半導体パッケージ110、120の構造を示す断面図である。図2に示されている半導体パッケージ110は以下のように製造される。まず、複数の半導体装置115を、それらの表面に形成された各電極部112の位置がそれぞれ重なるように積層する。その後、レーザ等を使用して、半導体基板111および電極部112を貫通する貫通孔116を形成する。そして、貫通孔116の、半導体基板111に形成された部分の内面に絶縁層114を形成した後、貫通孔116の内面全体に蒸着またはめっき等によって金属膜113を形成する。こうして、複数の半導体装置115を電氣的に接続させる。

[0006] また、図3に示す半導体パッケージ120は以下のように製造される。2つの半導体装置125の裏面を対向させて積層する。これらの半導体基板121および電極部122を貫通する貫通孔126を形成した後、この貫通孔126の、半導体基板121に形成された部分に絶縁層124を形成する。さらに、この貫通孔126の内面全体に金属膜123を形成する。こうして、2つの半導体装置125を電氣的に相互に接続させる。

- [0007] 図2および図3に示されている構造の半導体パッケージ110, 120は、複数の半導体装置に一括して貫通ビアを形成することができるため、積層数が増加した場合にも工程を簡略化できる。
- [0008] さらに、特開2001-60654号公報には、貫通孔内に導電材として導電性接着剤が充填された構成の貫通ビアを有する半導体装置も開示されている。図4は特開2001-60654号公報に記載された、他の従来の半導体パッケージ130の構造を示す断面図である。図4に示されている半導体パッケージ130は以下のように製造される。まず、半導体基板131の表面に素子形成部(図示せず)を覆うようにパッシベーション膜137が形成されている複数の半導体装置135を積層する。そして、それらの半導体基板131および電極部132を貫通する貫通孔136を形成する。貫通孔136の、半導体基板131に設けられた部分の内面にのみ絶縁層134を形成した後、貫通孔136内に導電性接着剤133を充填する。こうして、各半導体装置135を電氣的に接続させる。
- [0009] 貫通ビアを形成する方法としては、上述した方法以外に、貫通孔の内面にCVD(C hemical Vapor Deposition: 化学気相成長)法またはスパッタリング法等によって、密着性が優れたシード層を形成した後、電解めっきにより貫通孔の内部に金属等の導電材料を充填する方法もある。
- [0010] しかしながら、前述した従来の技術には以下に記す問題点がある。例えば、貫通孔内に導電性接着剤が充填された貫通ビアの場合、導電性接着剤中に樹脂が相当量含有されているため、金属膜に比べて電気抵抗が極めて大きく、低抵抗化することが困難であるという問題点がある。また、導電性接着剤は硬化時に硬化収縮するため、厚膜化し難く、貫通孔内の全体に充填することが困難であるという問題点もある。
- [0011] CVD法またはスパッタ法と電解めっきとを組み合わせた方法によると、密着性の良い導電膜を貫通孔の内面に形成することができる。しかし、CVD法およびスパッタ法には高価な設備が必要であるため、低コストで貫通ビアを形成することができないという問題点がある。
- [0012] 一方、無電解めっき法は高価な設備を使用しないため、貫通孔の内面に低コストで導電層を形成できるという特徴がある。しかし、この方法は、CVD法およびスパッタ法

等の成膜方法に比べて、密着性に優れた導電膜を形成することができず、接続の信頼性が極めて悪いという問題点がある。特に、半導体チップに形成された貫通ビアは、貫通孔の内面に形成された薄い絶縁層の上に、膜厚が比較的厚い導電層が形成された構成であるため、膜自体の残留応力と、半導体基板と導電層との間の熱膨張率差に起因する熱応力とによって、導電層が剥離しやすいという問題点がある。

発明の開示

- [0013] 本発明は、前記した問題点に鑑みて、貫通孔の内面に形成された導電層が剥離しにくく信頼性が高い半導体装置およびその製造方法、配線基板およびその製造方法、半導体パッケージ並びに電子機器を提供することを目的とする。
- [0014] 本発明の半導体装置は、半導体基板と、半導体基板の表面に形成された第1の端子パッドと、第1の端子パッドおよび半導体基板を、それらの厚さ方向に貫通する貫通孔と、貫通孔の内面から半導体基板の表面に至るように形成された、樹脂からなるバッファ層と、バッファ層を覆うように形成された導電層と、を有することを特徴とする。
- [0015] 本発明の配線基板は、配線基板本体と、配線基板本体の表面に形成された第1の端子パッドと、第1の端子パッドおよび配線基板本体を、それらの厚さ方向に貫通する貫通孔と、貫通孔の内面から配線基板本体の表面に至るように形成された、樹脂からなるバッファ層と、バッファ層を覆うように形成された導電層と、を有することを特徴とする。
- [0016] このような構成の、本発明の半導体装置または配線基板によると、絶縁層と導電層との間に、樹脂からなるバッファ層が形成されているため、半導体基板または配線基板本体と導電層との間の熱膨張率の差に起因する熱応力と、導電層形成時の残留応力とによる導電層の剥離を抑制することができ、それによって信頼性が向上する。
- [0017] これらの構成において、バッファ層は、金属フィラーを含有する導電性樹脂からなり、導電層と第1の端子パッドの間にバッファ層が介在して、導電層と第1の端子パッドはバッファ層により導通していてもよい。これにより、バッファ層と、貫通孔の内面および導電層との密着性が高まり、導電層の剥離を抑制する効果が向上する。また、導電層はバッファ層上から第1の端子パッドまで延びており、導電層と第1の端子パッドは直接接触していてもよい。これにより、貫通孔内部の抵抗値を下げることができる。

さらに、導電層は、金属フィラーと同じ金属、またはその金属を含む合金により形成されていてもよい。さらにまた、金属フィラーは、無電解めっきの還元剤に対して触媒活性がある材料を含んでいてもよい。これにより、導電層とバッファ層との密着性がより向上する。さらにまた、金属フィラーの粒径を $1\mu\text{m}$ 以下にすることもできる。これにより、貫通孔の直径が小さい場合でも、容易にバッファ層を形成することができる。

[0018] あるいは、バッファ層は絶縁性を有し、導電層はバッファ層上から第1の端子パッドまで延びており、導電層と第1の端子パッドは直接接触していてもよい。これにより、バッファ層として、一般的な樹脂を使用することができるため、材料選択の幅が広がると共に、低コスト化することができる。バッファ層の導電層側の表面に凹凸が形成されていることが望ましい。これにより、バッファ層と導電層との密着性を向上させることができる。

[0019] この半導体装置または配線基板においては、バッファ層と貫通孔の内面との間に、貫通孔の内面に形成された絶縁層が介在していてもよい。また、半導体基板または配線基板本体の裏面の、第1の端子パッドと整合する位置に、第2の端子パッドが形成されている場合、貫通孔は、第1の端子パッドと、半導体基板または配線基板本体と、第2の端子パッドとを貫通するように形成され、バッファ層は、貫通孔の内面から配線基板本体または配線基板本体の表裏両面に至るように形成されてもよい。すなわち、バッファ層は、第1の端子パッドの少なくとも一部と第2の端子パッドの少なくとも一部と絶縁層を覆うように形成されていてもよい。このとき、導電層はバッファ層上から第2の端子パッドまで延びており、導電層と第2の端子パッドは直接接触していてもよい。これにより、貫通孔内部を低抵抗化することができる。

[0020] さらに、バッファ層を形成する樹脂の弾性率が 1GPa 以下であると、熱応力および残留応力による導電層の剥離が大幅に抑制され、信頼性をより向上させることができる。さらにまた、導電層が管状に形成されていてもよい。これにより、製造時間を短縮し、低コスト化することができる。

[0021] 本発明の半導体パッケージは、前述した構成の半導体装置が複数個積層されていることを特徴とする。また、本発明の他の半導体パッケージは、前述した構成の配線基板が複数個積層され、積層された複数の配線基板が少なくとも1つの半導体装置

と電氣的に接続されていることを特徴とする。本発明においては、導電層が剥離しにくい半導体装置または配線基板を使用しているため、従来の半導体パッケージよりも信頼性が向上する。

[0022] 本発明の電子機器は、前述した半導体パッケージを有することを特徴とする。この電子機器は、例えば、携帯電話、ノート型パーソナルコンピュータ、デスクトップ型パーソナルコンピュータ、液晶デバイス、インターポザー、またはモジュールである。

[0023] 本発明の半導体装置の製造方法は、半導体基板と、半導体基板の表面に形成された端子パッドとを、それらの厚さ方向に貫通する貫通孔を形成する工程と、樹脂からなるバッファ層を、貫通孔の内面から端子パッドの表面まで延びるように形成する工程と、バッファ層を覆うように導電層を形成する工程と、を含むことを特徴とする。

[0024] 本発明の配線基板の製造方法は、配線基板本体と、配線基板本体の表面に形成された端子パッドとを、それらの厚さ方向に貫通する貫通孔を形成する工程と、樹脂からなるバッファ層を、貫通孔の内面から端子パッドの表面まで延びるように形成する工程と、バッファ層を覆うように導電層を形成する工程と、を含むことを特徴とする。

[0025] これらの製造方法によると、絶縁層と導電層との間に、樹脂からなるバッファ層を形成するため、半導体基板または配線基板本体と導電層との間の熱膨張率の差に起因する熱応力と、導電層形成時の残留応力とによる導電層の剥離を抑制することができる。こうして、信頼性が高い半導体装置または配線基板を製造することができる。

[0026] バッファ層を、金属フィラーを含有する導電性樹脂により形成してもよい。また、金属フィラーが無電解めっきの還元剤に対して触媒活性がある材料を含んでいる場合、導電層を無電解めっきにより形成することができる。さらに、金属フィラーの粒径が1 μm 以下であってもよい。

[0027] あるいは、バッファ層を絶縁性樹脂によって形成し、導電層を、バッファ層上から端子パッドに至るまで形成して、導電層と端子パッドとを直接接触させ、かつバッファ層の導電層側の表面に凹凸を形成してもよい。

[0028] また、貫通孔を形成した後に、貫通孔の内面に絶縁層を形成し、絶縁層上にバッファ層を形成することもできる。さらに、弾性率が1GPa以下の樹脂を使用してバッファ層を形成してもよい。これにより、導電層が剥離しにくく、信頼性が高くなる。さらにま

た、導電層をめっきにより形成してもよい。これにより、低コストで導電層を形成することができる。

図面の簡単な説明

- [0029] [図1]従来の半導体パッケージの構造を示す断面図である。
- [図2]他の従来の半導体パッケージの構造を示す断面図である。
- [図3]さらに他の従来の半導体パッケージの構造を示す断面図である。
- [図4]さらに他の従来の半導体パッケージの構造を示す断面図である。
- [図5A]本発明の第1の実施形態の半導体装置の構造を示す断面図である。
- [図5B]本発明の第1の実施形態の半導体装置の貫通ビアを示す拡大図である。
- [図6A]本発明の第1の実施形態の半導体装置の製造方法を工程順に示す断面図である。
- [図6B]本発明の第1の実施形態の半導体装置の製造方法を工程順に示す断面図である。
- [図6C]本発明の第1の実施形態の半導体装置の製造方法を工程順に示す断面図である。
- [図6D]本発明の第1の実施形態の半導体装置の製造方法を工程順に示す断面図である。
- [図7]本発明の第2の実施形態の半導体装置の構造を示す断面図である。
- [図8]本発明の第3の実施形態の半導体装置の構造を示す断面図である。
- [図9]本発明の第4の実施形態の半導体装置の構造を示す断面図である。
- [図10A]本発明の第4の実施形態の半導体装置の製造方法を工程順に示す断面図である。
- [図10B]本発明の第4の実施形態の半導体装置の製造方法を工程順に示す断面図である。
- [図10C]本発明の第4の実施形態の半導体装置の製造方法を工程順に示す断面図である。
- [図11A]本発明の第5の実施形態の半導体装置の構造を示す断面図である。
- [図11B]本発明の第5の実施形態の半導体装置の貫通ビアを示す拡大図である。

[図12]本発明の第6の実施形態の半導体パッケージの構造を示す断面図である。

発明を実施するための最良の形態

[0030] 以下、本発明の実施の形態について、添付の図面を参照して具体的に説明する。

先ず、本発明の第1の実施形態に係る半導体装置について説明する。図5Aは本発明の第1の実施形態に係る半導体装置の構造を示す断面図であり、図5Bはその貫通ビアを示す拡大図である。なお、本明細書中で述べている半導体装置とは、半導体集積回路全般を意味しており、DRAM、SRAM、フラッシュメモリ、ロジック、ASICなどを含むLSIと定義できる。

[0031] 図5Aに示すように、本実施形態の半導体装置10においては、表面に素子(図示せず)が形成された半導体基板1の両面に、絶縁層(図示せず)を介して端子パッド2aおよび端子パッド2bが、相互に整合した位置に形成されている。また、半導体基板1の表面および裏面を覆うように、パッシベーション膜3aおよび3bがそれぞれ形成されている。このパッシベーション膜3aおよび3bには、端子パッド2aおよび2bの直上の領域にそれぞれ開口部3cおよび3dが形成されている。そして、この開口部3cおよび3dを連通させるように、端子パッド2aと半導体基板1と端子パッド2bとを貫通する貫通孔9が形成されている。この貫通孔9の内面には SiO_2 、 SiN 、または SiO 等からなる絶縁層4が形成されている。そして、絶縁層4と、開口部3cおよび3d内の端子パッド2aおよび2bとを覆うように、導電性接着剤からなるバッファ層5が形成されている。さらに、このバッファ層5を覆うように、金属膜からなる導電層6が形成されている。導電層6は、表面に絶縁層4およびバッファ層5がこの順番に形成された後の貫通孔9の空隙を埋めるように形成されている。こうして、端子パッド2aと半導体基板1と端子パッド2bとを貫通する貫通ビアが形成されている。

[0032] 図5Bに示すように、本実施形態の半導体装置10におけるバッファ層5は、絶縁層4および導電層6に対して十分な密着強度が得られるように、バインダ樹脂8中に金属フィラー7が分散された導電性接着剤により形成されている。バッファ層5中の金属フィラー7の割合は、例えば40乃至95質量%である。バッファ層5中のバインダ樹脂8の含有量が多く、金属フィラー7の含有量が40質量%未満であると、絶縁層4との密着強度は向上するが、電気抵抗が大きくなると共に、導電層6との密着強度が低

下する。一方、金属フィラー7の含有量が95質量%を超えると、導電層6との密着強度は向上するが、バインダ樹脂8の含有量が少ないために絶縁層4との密着強度が低下する。バッファ層5に含まれる金属フィラー7の材料としては、例えば、Ag、Ni、Pd、Cu、Au等の金属、またはそれらの合金材料を使用することができる。また、バインダ樹脂材料8は、弾性率が1GPa以下である低弾性材料であることが好ましく、例えば、エポキシ系樹脂、アクリル系樹脂、ポリイミド系樹脂、ウレタン系樹脂、ポリエステル系樹脂、ビスマルイミド系樹脂、スチレン系樹脂、ポリ塩化ビニル系樹脂、ナイロン系樹脂、ポリエチレン系樹脂、ポリプロピレン系樹脂、酸無水物系樹脂、フルオロ系樹脂、フェノール系樹脂、シリコン系樹脂、またはフッ素シリコン系樹脂等を使用することができる。これにより、半導体基板1と導電層6の間の熱膨張率差に起因する応力と、導電層6の形成時の残留応力を緩和することができるため、高い接続信頼性を得ることができる。

[0033] 以下、本実施形態の半導体装置10の製造方法について説明する。図6A乃至6Dは、本実施形態の半導体装置10の製造方法をその工程順に示す断面図である。先ず、図6Aに示すように、表面に素子(図示せず)が形成された半導体基板1の両面に、それぞれ絶縁層(図示せず)を介して端子パッド2aおよび2bが形成されている半導体チップ11を用意する。この半導体チップ11の表面および裏面には、端子パッド2aおよび2bの直上の領域に開口部3cおよび3dを有するパッシベーション膜3aおよび3bが形成されている。次に、図6Bに示すように、ドライエッチング法またはウェットエッチング法により、半導体チップ11の開口部3cおよび3dをつなぐように、半導体基板1および端子パッド2bを貫通する貫通孔9を形成する。

[0034] 次に、図6Cに示すように、自然酸化、熱酸化、CVD法、スパッタリング法、または真空蒸着法等により、貫通孔9の内面に SiO_2 、SiN、またはSiO等からなる絶縁層4を形成する。その後、図6Dに示すように、開口部3cおよび3d内の端子パッド2aおよび2bと、絶縁層4とを覆うように、バッファ層5を形成する。バッファ層5の形成方法としては、例えば、樹脂中に金属フィラーが分散されている導電性接着剤を、印刷法またはインクジェット法等を用いて半導体チップ11の表面上および裏面上に塗布することにより、開口部3aおよび3b内の端子パッド2aおよび2bの表面と貫通孔9の内面

とに付着させた後、硬化させる方法がある。このような方法を適用することにより、低コストでバッファ層5を形成することができる。このとき、バッファ層5を形成しない部分を予めレジスト等で被覆しておいてもよい。

[0035] また、一般に、パッケージ化される半導体チップに形成される貫通ビアの貫通孔は小径であり、例えば、直径が $100\mu\text{m}$ 以下の場合がある。このような小径のビアを形成する場合には、樹脂中に、直径が例えば $1\mu\text{m}$ 以下の金属フィラー7が分散されたナノペーストを使用してバッファ層5を形成することができる。これにより、貫通孔9の直径が $100\mu\text{m}$ 以下であっても容易にバッファ層5を形成することができる。なお、このナノペーストは、 150°C 程度以下の比較的低い温度で焼結することができる。

[0036] 次に、電解めっきまたは無電解めっき等により、バッファ層5を覆うように導電層6を形成し、図5Aに示す半導体装置を形成する。導電層6を形成する材料としては、例えば、Cu、Ni、Pd、Ag、Au等の金属、またはそれらの合金材料が挙げられるが、導電性接着層5に含まれる材料と同じものを使用すると、バッファ層5と導電層6との密着性を向上させることができる。また、電解めっきおよび無電解めっきによると、密着性に優れた導電層6を低コストで形成することができる。特に、電界めっきは、金属フィラー7の材質にかかわらずバッファ層5上に導電層6を形成することができる。

[0037] さらに、バッファ層5の中に含まれる金属フィラー7に、無電解めっきの還元剤に対して触媒活性がある材料を使用することにより、特殊な前処理を行わなくてもバッファ層5と導電層6との密着性を向上させることができる。無電解めっきの還元剤に対して触媒活性がある材料としては、例えば、Pd、Ni、Cu、Pt、Au等の触媒活性が高い金属、またはそれらの合金材料等が挙げられる。但し、金属フィラー7として触媒活性がない材料を使用する場合でも、無電解めっきの前処理としてPd触媒処理などを行うことにより、導電層6との密着性を向上させることができる。なお、金属フィラー7の全てが、無電解めっきの還元剤に対する触媒活性を有している必要はなく、金属フィラー7として、触媒活性がある金属と触媒活性がない金属とを混在させて用いてもかまわない。これは、触媒活性の高い貴金属の使用量を抑えて低コスト化を図る場合や、バインダーと金属フィラー7の密着度および分散度を最適化する場合に有効である。

- [0038] 一般的に、密着性が高い導電性接着剤は樹脂含有量が多く、また硬化時の収縮により十分な膜厚が確保できないため、貫通孔内に導電性接着剤を充填すると、貫通ビア内の電気抵抗が大きくなってしまう。しかし、本実施形態の半導体装置10においては、導電性接着剤により形成したバッファ層5の上に、さらに、無電解めっきまたは電解めっき等の低コストの成膜法によって、金属膜からなる導電層6を形成しているため、貫通ビア内の電気抵抗を低くすることができる。また、本実施形態の半導体装置10は、導電層6と絶縁層4との間にバッファ層5が設けられているため、半導体基板1と導電層6との間の応力が緩和され、接続信頼性を高めることができる。特に、バッファ層5を形成する導電性接着剤のバインダ樹脂として低弾性率の樹脂を使用すると、半導体基板1と導電層6との間の熱応力と、導電層6形成時の残留応力を緩和することもできる。
- [0039] さらに、バッファ層5は、導電層6との密着性が良い金属フィラー7と、絶縁層4に対して密着強度を確保できるバインダ樹脂8とを含む導電性接着剤により形成されているため、絶縁層4および導電層6の両方に対して良好な密着強度が得られる。特に、導電性接着剤として、樹脂中に粒径が小さい金属フィラー7を分散させたナノペーストを使用すると、貫通孔の直径が小さい場合でも、その貫通孔の内部に、均一性と密着性に優れたバッファ層5を形成することができる。
- [0040] また、金属フィラー7として、無電解めっき中の還元剤に対して触媒性のある金属を使用すると、導電層6を形成する前の前処理が不要であり、且つ低コストな無電解めっきで導電層6を成膜することができると共に、バッファ層5との密着強度の強い導電層6を形成することができる。無電解めっきは、バッファ層5に対するつきまわり性(均一電着性)に優れているため、はんだペースト等の導電材料を印刷によって貫通孔の内部に充填する従来の方法に比べて、充填不良が生じにくく、かつボイドができにくい。従って、無電解めっきによると、密着強度が高く、信頼性が高い導電層6を形成することができる。このとき、金属フィラー7として、導電層6と同じ材料を使用すると、バッファ層5と導電層6との密着性をより向上させることができる。
- [0041] なお、本実施形態の半導体装置10においては、バッファ層5を、バインダ樹脂8中に金属フィラー7を分散させた導電性接着剤により形成しているが、本発明はこれに

限定されるものではない。例えば、導電性接着剤の代わりに、導電性は持たないが絶縁層4に対する密着性が高い樹脂材料を用いてもよい。その場合、絶縁性樹脂からなるバッファ層の表面を粗化した後、その上に導電層6を形成することにより、バッファ層と導電層6との間に高い密着性を確保することができ、信頼性が高い半導体装置が得られる。この半導体装置においても、導電層6と絶縁層4との間にバッファ層が設けられているため、半導体基板1と導電層6との間の応力を緩和することができる。さらに、バッファ層を形成する樹脂材料として低弾性率の樹脂を使用すると、より信頼性が高い半導体装置を得ることができる。

[0042] 次に、本発明の第2の実施形態に係る半導体装置20について説明する。図7は本実施形態の半導体装置20の構造を示す断面図である。なお、図7において、図5A、5Bに示す半導体装置10の構成要素と同じものには同じ符号を付し、詳細な説明は省略する。

[0043] 図7に示すように、本実施形態の半導体装置20は、開口部3cおよび3d内の端子パッド2aおよび2bの全面がバッファ層15によって覆われているのではなく、端子パッド2aおよび2bと導電層16とが部分的に接触している構成である。端子パッド2aおよび2bと導電層16との密着性は、絶縁層4と導電層16との密着性ほど弱くない。したがって、端子パッド2aおよび2bと導電層16とを接触させ、これらを電氣的に接続することにより、密着性を低下させずに、貫通ビアの内部を低抵抗化することができる。

[0044] 次に、本実施形態の半導体装置20の製造方法について説明する。本実施形態の半導体装置20は以下のようにして形成される。まず、図6A乃至6Cに示されている工程と同様に、貫通孔9内に絶縁層4を形成する。その後、端子パッド2aおよび2bの、バッファ層15を形成しない部分をレジスト(図示せず)等によりマスクした状態で導電性接着剤を塗布して硬化させ、バッファ層15を形成する。こうしてバッファ層15を形成した後、レジストを除去することにより、端子パッド2aおよび2bの表面の一部を露出させる。その後、前述した第1の実施形態の半導体装置10と同様の方法で、導電層16を形成する。これにより、端子パッド2aおよび2bと導電層16とを直接接続することができる。なお、本実施形態の半導体装置20における上記以外の構成および効果は、前述の第1の実施形態の半導体装置10と同様である。

[0045] 次に、本発明の第3の実施形態に係る半導体装置30について説明する。図8は本実施形態の半導体装置30の構造を示す断面図である。なお、図8においては、図5A、5Bに示す半導体装置10の構成要素と同じものには同じ符号を付し、詳細な説明は省略する。

[0046] 図8に示すように、本実施形態の半導体装置30は、貫通孔9内が完全に充填されておらず、貫通ビアの中心部、即ち、導電層26の中心部に孔27が存在している構成である。これは、貫通孔9の内部を完全に充填するには時間とコストがかかるため、生産性の向上を目的とした構成である。具体的には、導電層26を、貫通孔9の内部を完全には充填しないように形成している。なお、本実施形態の半導体装置30において、導電層26を形成した後で、図示しないが孔27内に樹脂または半田等を充填して貫通ビアを密閉することもできる。なお、本実施形態の半導体装置30における上記以外の構成および効果は、前述した第1の実施形態の半導体装置10と同様である。

[0047] 次に、本発明の第4の実施形態に係る半導体装置40について説明する。図9は本実施形態の半導体装置40の構造を示す断面図である。なお、図9においては、図5A、5Bに示す半導体装置10の構成要素と同じものには同じ符号を付し、詳細な説明は省略する。

[0048] 図9に示すように、本実施形態の半導体装置40は、半導体基板1の裏面側に端子パッドおよびパッシベーション膜が形成されていない点で、前述した第1の実施形態の半導体装置10と異なっている。この半導体装置40は、半導体基板1の裏面に端子パッドを形成する必要がないため、前述した第1の実施形態の半導体装置10のように半導体基板1の両面に端子パッドを設ける場合に比べて、低コストで製造することができる。

[0049] 本実施形態の半導体装置40の製造方法について説明する。図10A乃至10Cは、本実施形態の半導体装置40の製造方法を工程順に示す断面図である。

[0050] 先ず、図10Aに示すように、表面に素子(図示せず)が形成された半導体基板1の表面のみに、絶縁層(図示せず)を介して端子パッド2aが形成されている半導体チップ31を用意する。この半導体チップ31の表面上には、端子パッド2aの直上の領域

に開口部3cを有するパッシベーション膜3aが形成されている。次に、図10Bに示すように、ドライエッチング法またはウェットエッチング法により、半導体チップ31の開口部3cの内側に、深穴39を形成する。次に、図10Cに示すように、前述した第1の実施形態の半導体装置10と同様の工程で、深穴39の内部に絶縁層34を形成し、開口部3cおよび3d内の端子パッド2aと絶縁層34を覆うようにバッファ層35を形成し、さらに、このバッファ層35を覆うように導電層36を形成する。その後、半導体基板1を裏面側から研磨して深穴39の底部を除去して貫通孔にし、図9に示す半導体装置40を形成する。

[0051] 本実施形態の半導体装置40のように、半導体基板1の一方の面にのみ端子パッド2aが設けられる場合には、厚い半導体基板1を使用し、貫通ビアを形成した後に裏面を研削して所定の厚さにすればよい。したがって、図5A, 5Bに示す半導体装置10のように両面に端子パッド2a, 2bが設けられている半導体装置に比べて、半導体基板1が厚い状態で加工することができるため、ハンドリング性に優れている。なお、本実施形態の半導体装置40における上記以外の構成および効果は、前述の第1の実施形態の半導体装置10と同様である。

[0052] 次に、本発明の第5の実施形態に係る半導体装置について説明する。図11Aは本実施形態の半導体装置50の構造を示す断面図であり、図11Bはその貫通ビアを示す拡大図である。なお、図11Aおよび11Bにおいては、図7に示す半導体装置20の構成要素と同じものには同じ符号を付し、詳細な説明は省略する。

[0053] 図11Aに示すように、本実施形態の半導体装置50は、バッファ層45が、導電性をもたない樹脂、即ち、絶縁性樹脂により形成され、前述した第2の実施形態の半導体装置20と同様に、端子パッド2aおよび2bの一部が導電層16に直接接続されている構成である。本実施形態の半導体装置50においては、バッファ層45として、導電性接着剤ではなく、一般的な樹脂を使用することができるため、材料選択の幅が広がると共に、低コスト化することができる。

[0054] また、半導体装置50においては、バッファ層45と導電層16との間の密着性を確保するため、図11Bに示すように、バッファ層45の表面に凹凸が形成されていることが望ましい。また、バッファ層45を低弾性率の樹脂により形成すると、半導体基板1と導

電層16との間の熱応力と、導電層16の形成時の残留応力を緩和することができるため、導電層16の剥離を抑制することができる。従って、バッファ層45は、低弾性率の樹脂により形成することがより好ましい。

[0055] バッファ層45の表面に凹凸を形成する方法としては、例えば、前述した第2の実施形態の半導体装置20と同様の方法で、絶縁層4と端子パッド2aおよび2bの一部を覆うようにバッファ層45を形成した後、バッファ層45の表面を、過マンガン酸カリウムによる処理またはプラズマ処理等によって粗化する。そして、バッファ層45上にパラジウム触媒層を形成した後、Pd、Ni、Cu、Pt、Au等の金属、またはそれらの合金材料を無電解めっきすることにより、バッファ層45上に導電層16を形成し、半導体装置50を形成する。なお、本実施形態の半導体装置50における上記以外の構成および効果は、前述した第1の実施形態の半導体装置10と同様である。

[0056] 次に、本発明の第6の実施形態に係る半導体パッケージ60について説明する。図12は本実施形態の半導体パッケージ60を示す断面図である。図12に示すように、本実施形態の半導体パッケージ60は、図5A、5Bに示されている半導体装置10を複数個積層し、上下方向に隣接する半導体装置10の貫通ビア同士を、はんだバンプ51を介して相互に接続することにより、各半導体装置10を電氣的に接続したものである。

[0057] 本実施形態の半導体パッケージ60は、複数個の半導体装置10を高密度に実装可能であるため、携帯電話、ノート型パーソナルコンピュータ、デスクトップ型パーソナルコンピュータ、液晶デバイス、インターポザー、およびモジュール等の電子機器用として好適であり、小型化、薄型化、および高周波化に対応した高信頼性の電子機器を構成することができる。なお、本実施形態の半導体パッケージ60においては、前述した第1の実施形態の半導体装置10を複数個積層しているが、本発明はこれに限定されるものではなく、半導体装置10の代わりに、前述した第2乃至5の実施形態の半導体装置20、30、40、50のいずれか1つまたは複数を任意に積層してもよい。その場合にも同様の効果が得られる。

[0058] なお、前述した第1乃至第5の実施形態においては、半導体基板1の表面に素子が形成されている半導体装置について述べたが、インターポザー基板のように、素

子が形成されていない配線基板に同様の貫通ビアを形成することにより、多段実装が可能で高信頼性の配線基板が得られる。

[0059] なお、前述した第1乃至第5の実施形態においては、半導体基板1の表面に素子が形成されている半導体装置について述べたが、インターポーザー基板のように、素子が形成されていない配線基板に同様の貫通ビアを形成することにより、多段実装が可能で高信頼性の配線基板が得られる。複数の配線基板を積層させる場合には、積層された複数の配線基板を少なくとも1つの半導体装置と電気的に接続させて、半導体パッケージを構成することができる。

[0060] 本発明は、前記したシリコンを基材とする配線基板に限られず、通常のプリント基板やフレキシブル材料などから構成された、配線を有するインターポーザー基板などにも適用できる。

[0061] 従来、シリコン基板の貫通孔の内面に剥離しにくい導電層を形成するのは困難であったので、本発明は、このようにシリコン基板の貫通孔に剥離しにくい導電層を形成する場合に最も効果的である。また、プリント基板のような樹脂基板の貫通孔であっても、導電層が破壊して断線が生じてしまうおそれがある場合には、シリコン基板の場合と同様に、本発明は非常に効果的である。

請求の範囲

- [1] 半導体基板と、
前記半導体基板の表面に形成された第1の端子パッドと、
前記第1の端子パッドおよび前記半導体基板を、それらの厚さ方向に貫通する貫通孔と、
前記貫通孔の内面から前記半導体基板の表面に至るように形成された、樹脂からなるバッファ層と、
前記バッファ層を覆うように形成された導電層と、
を有する半導体装置。
- [2] 前記バッファ層は、金属フィラーを含有する導電性樹脂からなり、
前記導電層と前記第1の端子パッドの間に前記バッファ層が介在して、前記導電層と前記第1の端子パッドは前記バッファ層により導通している、請求項1に記載の半導体装置。
- [3] 前記導電層は前記バッファ層上から前記第1の端子パッドまで延びており、前記導電層と前記第1の端子パッドは直接接触している、請求項2に記載の半導体装置。
- [4] 前記導電層は、前記金属フィラーと同じ金属、またはその金属を含む合金により形成されている、請求項2に記載の半導体装置。
- [5] 前記金属フィラーは、無電解めっきの還元剤に対して触媒活性がある材料を含む、請求項2に記載の半導体装置。
- [6] 前記金属フィラーの粒径が $1\mu\text{m}$ 以下である、請求項2に記載の半導体装置。
- [7] 前記バッファ層は絶縁性を有し、
前記導電層は前記バッファ層上から前記第1の端子パッドまで延びており、前記導電層と前記第1の端子パッドは直接接触している、請求項1に記載の半導体装置。
- [8] 前記バッファ層の前記導電層側の表面に凹凸が形成されている、請求項7に記載の半導体装置。
- [9] 前記半導体基板の裏面の、前記第1の端子パッドと整合する位置に、第2の端子パッドが形成されており、
前記貫通孔は、前記第1の端子パッドと前記半導体基板と前記第2の端子パッドを

貫通するように形成されており、

前記バッファ層は、前記貫通孔の内面から前記半導体基板の表裏両面に至るように形成されている、請求項1に記載の半導体装置。

[10] 前記導電層は前記バッファ層上から前記第2の端子パッドまで延びており、前記導電層と前記第2の端子パッドは直接接触している、請求項9に記載の半導体装置。

[11] 前記バッファ層を形成する樹脂は、弾性率が1GPa以下である、請求項1, 2, 7, 9のいずれか1項に記載の半導体装置。

[12] 前記導電層は管状に形成されている、請求項1, 2, 7, 9のいずれか1項に記載の半導体装置。

[13] 配線基板本体と、

前記配線基板本体の表面に形成された第1の端子パッドと、

前記第1の端子パッドおよび前記配線基板本体を、それらの厚さ方向に貫通する貫通孔と、

前記貫通孔の内面から前記配線基板本体の表面に至るように形成された、樹脂からなるバッファ層と、

前記バッファ層を覆うように形成された導電層と、

を有する配線基板。

[14] 前記バッファ層は、金属フィラーを含有する導電性樹脂からなり、

前記導電層と前記第1の端子パッドの間に前記バッファ層が介在して、前記導電層と前記第1の端子パッドは前記バッファ層により導通している、請求項13に記載の配線基板。

[15] 前記導電層は前記バッファ層上から前記第1の端子パッドまで延びており、前記導電層と前記第1の端子パッドは直接接触している、請求項14に記載の配線基板。

[16] 前記導電層は、前記金属フィラーと同じ金属、またはその金属を含む合金により形成されている、請求項14に記載の配線基板。

[17] 前記金属フィラーは、無電解めっきの還元剤に対して触媒活性がある材料を含む、請求項14に記載の配線基板。

[18] 前記金属フィラーの粒径が1 μ m以下である、請求項14に記載の配線基板。

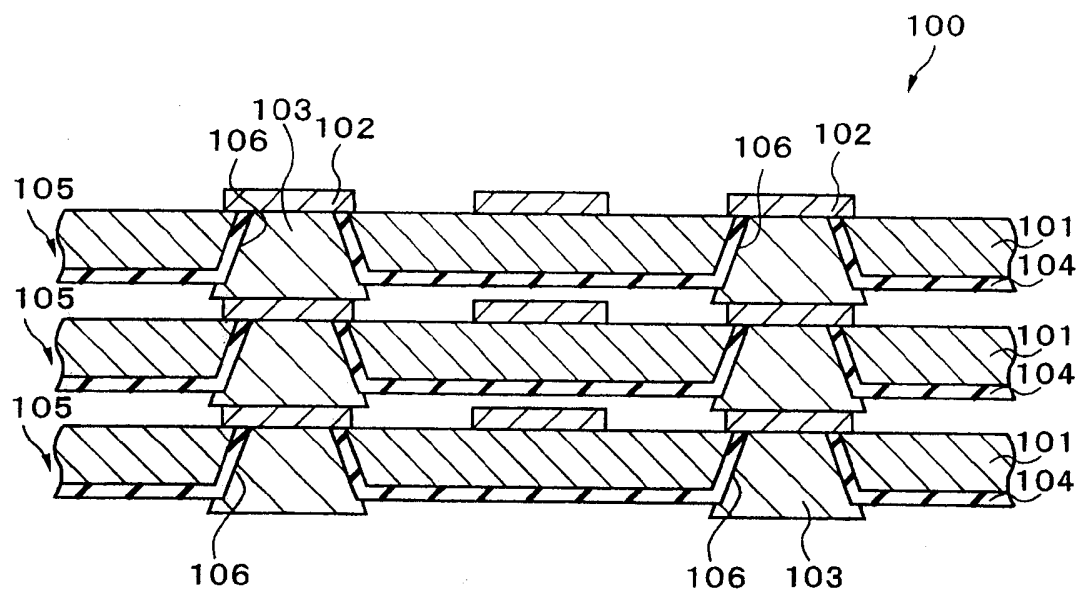
- [19] 前記バッファ層は絶縁性を有し、
前記導電層は前記バッファ層上から前記第1の端子パッドまで延びており、前記導電層と前記第1の端子パッドは直接接触している、請求項13に記載の配線基板。
- [20] 前記バッファ層の前記導電層側の表面に凹凸が形成されている、請求項19に記載の配線基板。
- [21] 前記半導体基板の裏面の、前記第1の端子パッドと整合する位置に、第2の端子パッドが形成されており、
前記貫通孔は、前記第1の端子パッドと前記配線基板本体と前記第2の端子パッドを貫通するように形成されており、
前記バッファ層は、前記貫通孔の内面から前記配線基板本体の表裏両面に至るように形成されている、請求項13に記載の配線基板。
- [22] 前記導電層は前記バッファ層上から前記第2の端子パッドまで延びており、前記導電層と前記第2の端子パッドは直接接触している、請求項21に記載の配線基板。
- [23] 前記バッファ層を形成する樹脂は、弾性率が1GPa以下である、請求項13, 14, 19, 21のいずれか1項に記載の配線基板。
- [24] 前記導電層は管状に形成されている、請求項13, 14, 19, 21のいずれか1項に記載の配線基板。
- [25] 請求項1乃至12に記載の半導体装置が複数個積層されている半導体パッケージ。
- [26] 請求項13乃至24に記載の配線基板が複数個積層され、積層された複数の前記配線基板が少なくとも1つの半導体装置と電氣的に接続されている、半導体パッケージ。
- [27] 請求項25または26に記載の半導体パッケージを有する電子機器。
- [28] 携帯電話、ノート型パーソナルコンピュータ、デスクトップ型パーソナルコンピュータ、液晶デバイス、インターポザー、またはモジュールである、請求項27に記載の電子機器。
- [29] 半導体基板と、該半導体基板の表面に形成された端子パッドとを、それらの厚さ方向に貫通する貫通孔を形成する工程と、
樹脂からなるバッファ層を、前記貫通孔の内面から前記端子パッドの表面まで延び

- るように形成する工程と、
前記バッファ層を覆うように導電層を形成する工程と、
を含む半導体装置の製造方法。
- [30] 前記バッファ層を、金属フィラーを含有する導電性樹脂により形成する、請求項29に記載の半導体装置の製造方法。
- [31] 前記金属フィラーは無電解めっきの還元剤に対して触媒活性がある材料を含み、前記導電層を無電解めっきにより形成する、請求項30に記載の半導体装置の製造方法。
- [32] 前記金属フィラーの粒径が $1\mu\text{m}$ 以下である、請求項30に記載の半導体装置の製造方法。
- [33] 前記バッファ層を絶縁性樹脂によって形成し、
前記導電層を、前記バッファ層上から前記端子パッドに至るまで形成して、前記導電層と前記端子パッドとを直接接触させ、かつ前記バッファ層の前記導電層側の表面に凹凸を形成する、請求項29に記載の半導体装置の製造方法。
- [34] 弾性率が 1GPa 以下の樹脂を使用して前記バッファ層を形成する、請求項29, 30, 33のいずれか1項に記載の半導体装置の製造方法。
- [35] 前記導電層をめっきにより形成する、請求項29, 30, 33のいずれか1項に記載の半導体装置の製造方法。
- [36] 配線基板本体と、該配線基板本体の表面に形成された端子パッドとを、それらの厚さ方向に貫通する貫通孔を形成する工程と、
樹脂からなるバッファ層を、前記貫通孔の内面から前記端子パッドの表面まで延びるように形成する工程と、
前記バッファ層を覆うように導電層を形成する工程と、
を含む配線基板の製造方法。
- [37] 前記バッファ層を、金属フィラーを含有する導電性樹脂により形成する、請求項36に記載の配線基板の製造方法。
- [38] 前記金属フィラーは無電解めっきの還元剤に対して触媒活性がある材料を含み、前記導電層を無電解めっきにより形成する、請求項37に記載の配線基板の製造

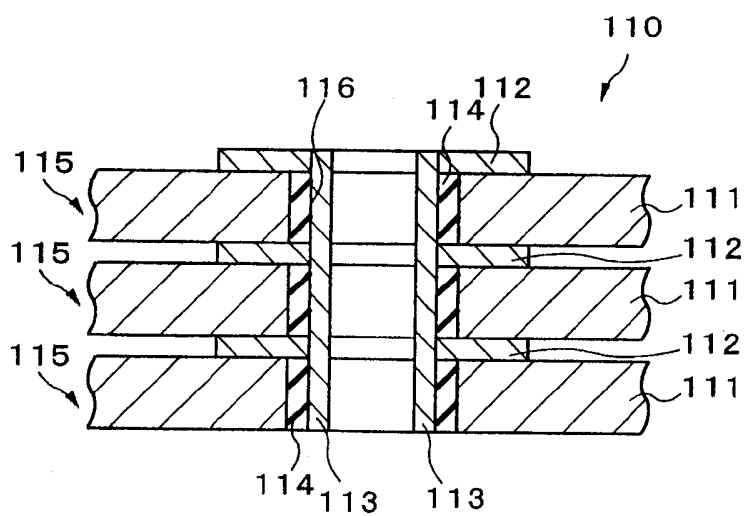
方法。

- [39] 前記金属フィラーの粒径が $1\ \mu\text{m}$ 以下である、請求項37に記載の配線基板の製造方法。
- [40] 前記バッファ層を絶縁性樹脂によって形成し、
前記導電層を、前記バッファ層上から前記端子パッドに至るまで形成して、前記導電層と前記端子パッドとを直接接触させ、かつ前記バッファ層の前記導電層側の表面に凹凸を形成する、請求項36に記載の配線基板の製造方法。
- [41] 弾性率が1GPa以下の樹脂を使用して前記バッファ層を形成する、請求項36, 37, 40のいずれか1項に記載の配線基板の製造方法。
- [42] 前記導電層をめっきにより形成する、請求項36, 37, 40のいずれか1項に記載の配線基板の製造方法。

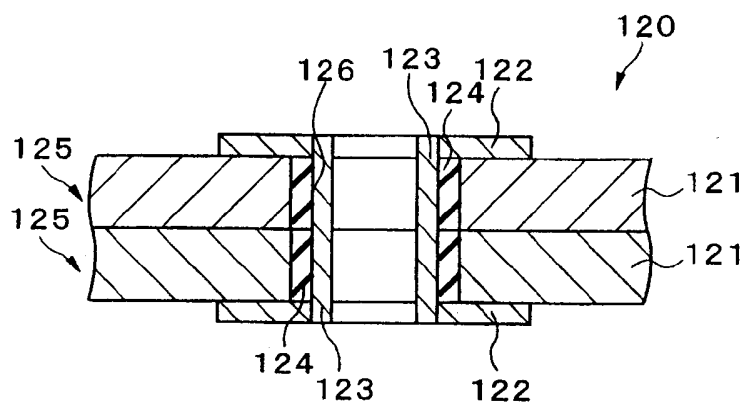
[図1]



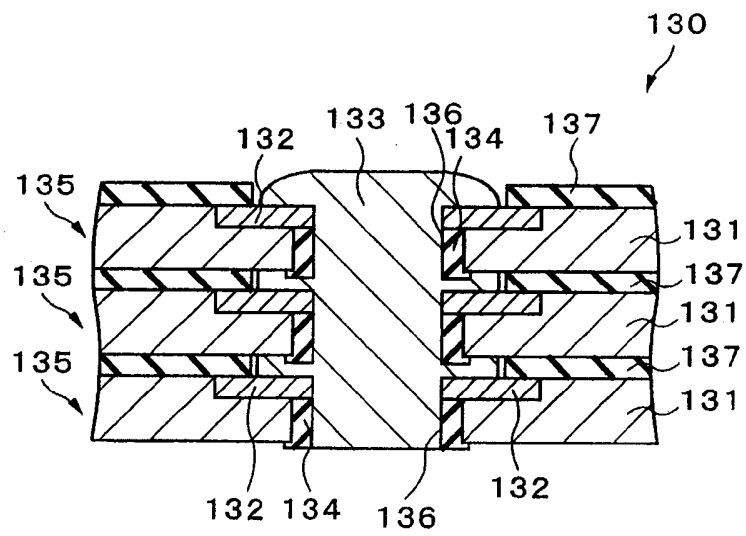
[図2]



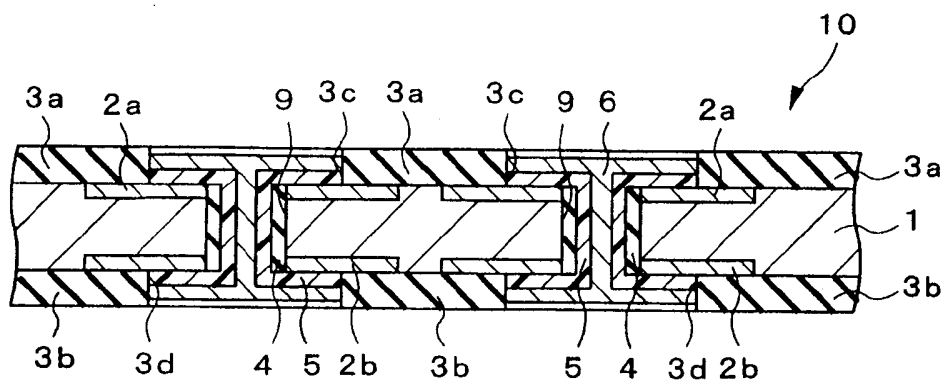
[図3]



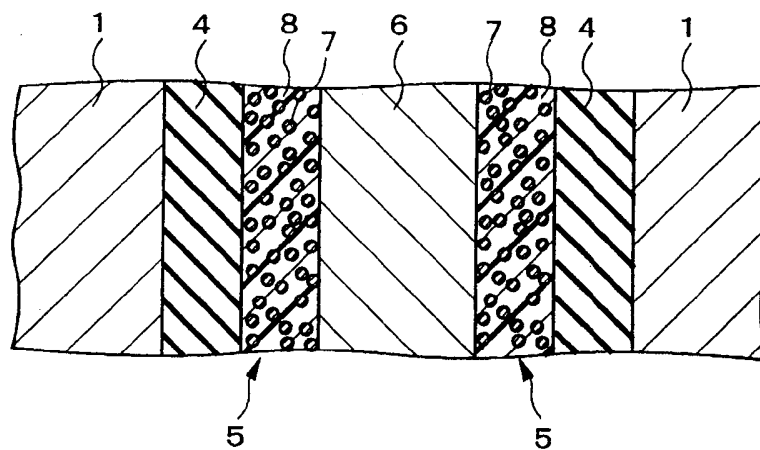
[図4]



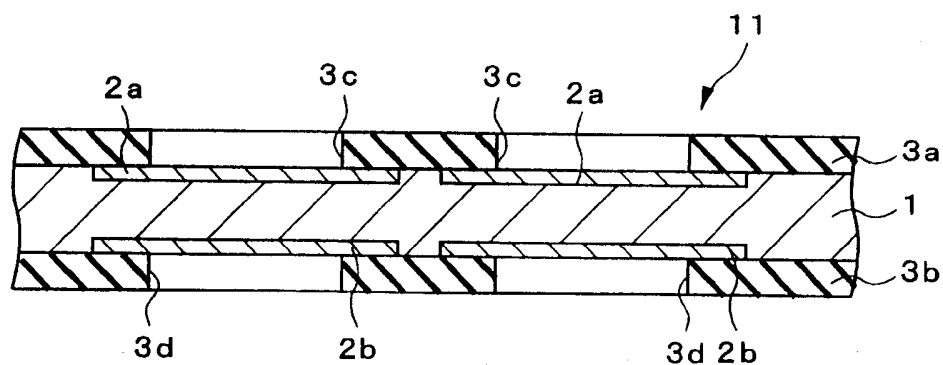
[図5A]



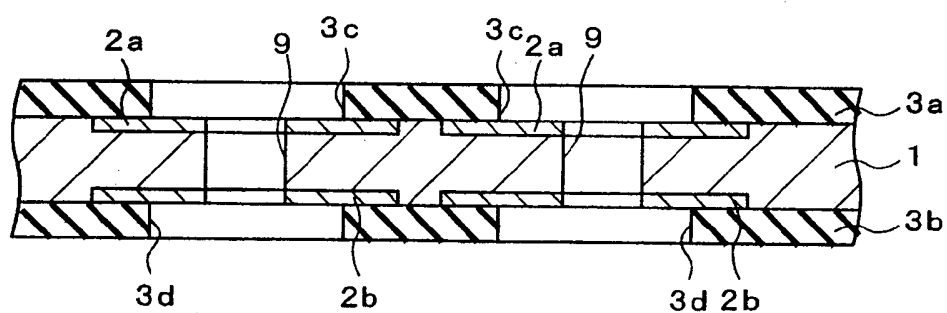
[図5B]



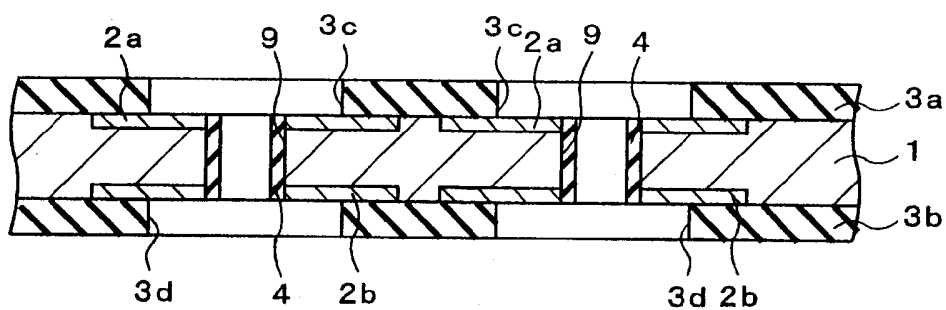
[図6A]



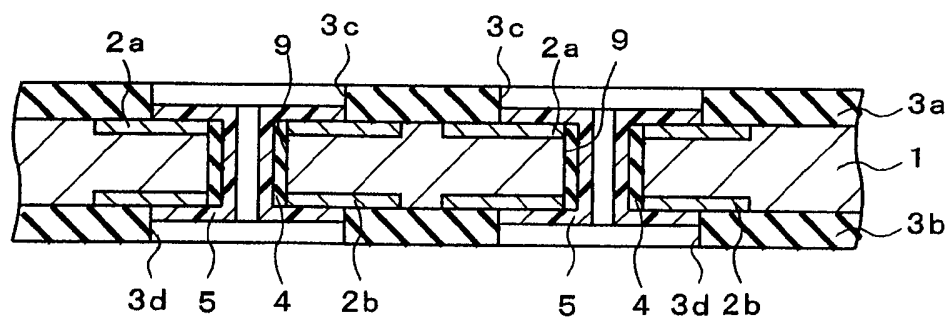
[図6B]



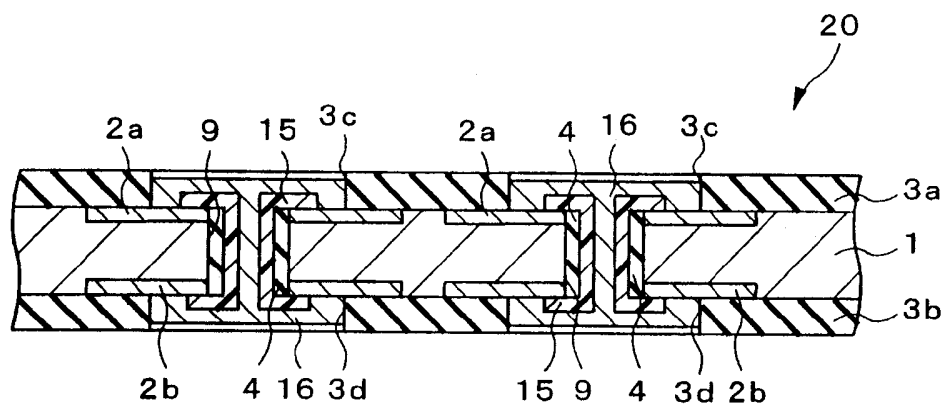
[図6C]



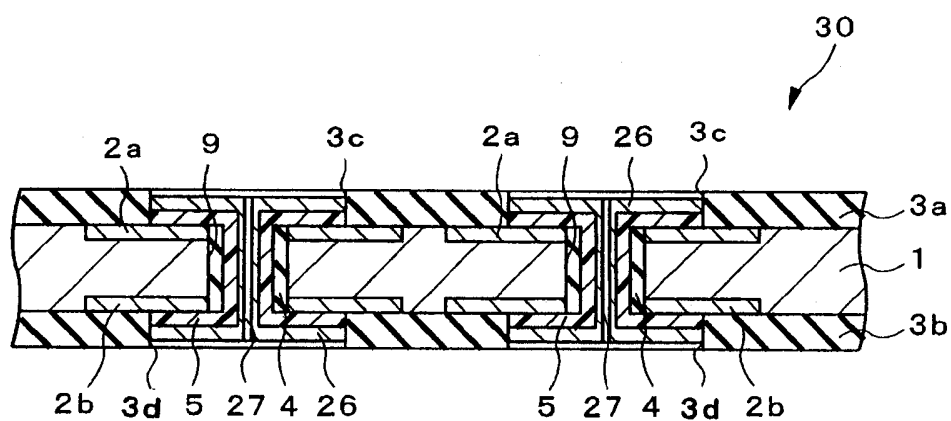
[図6D]



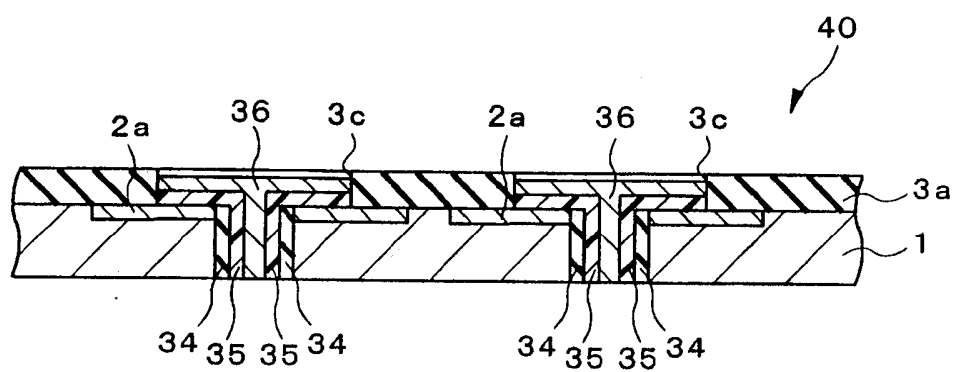
[図7]



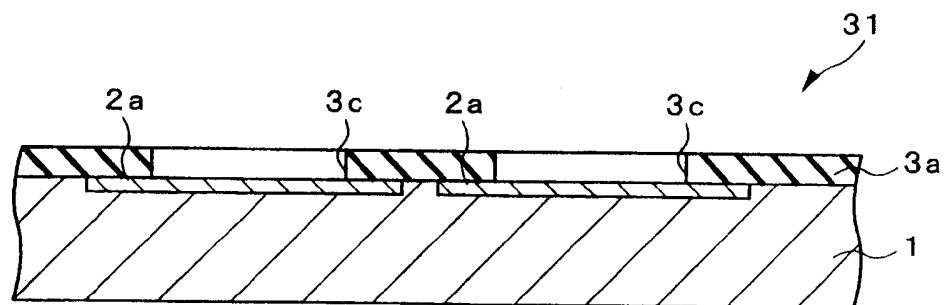
[図8]



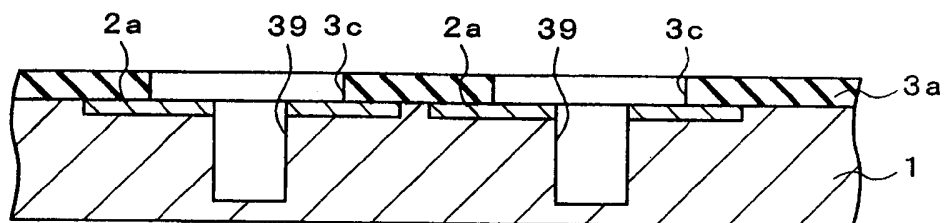
[図9]



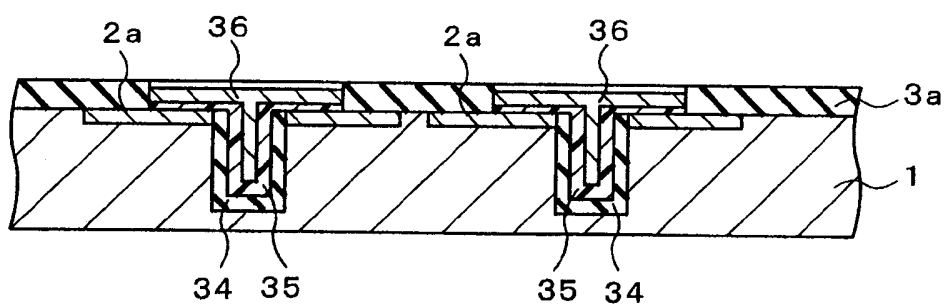
[図10A]



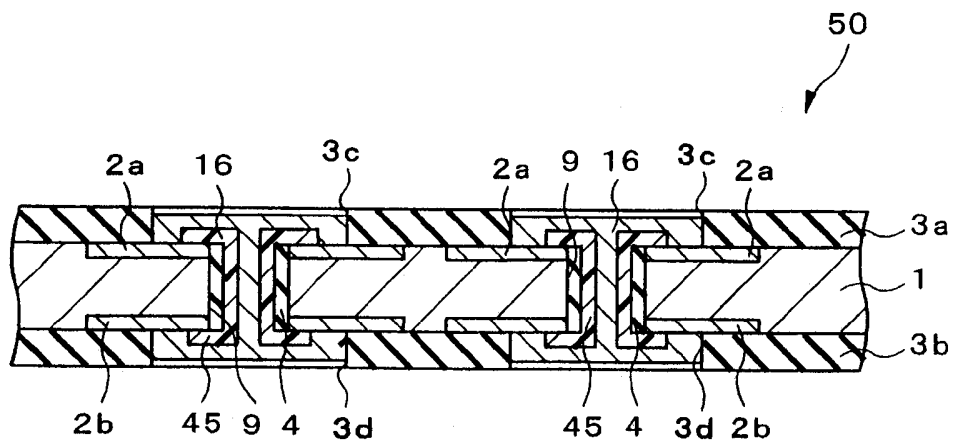
[図10B]



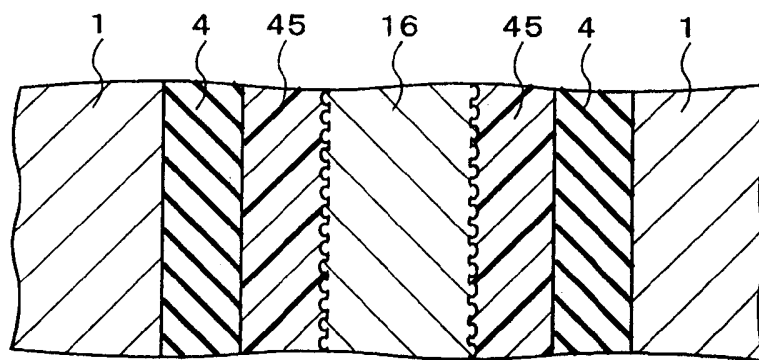
[図10C]



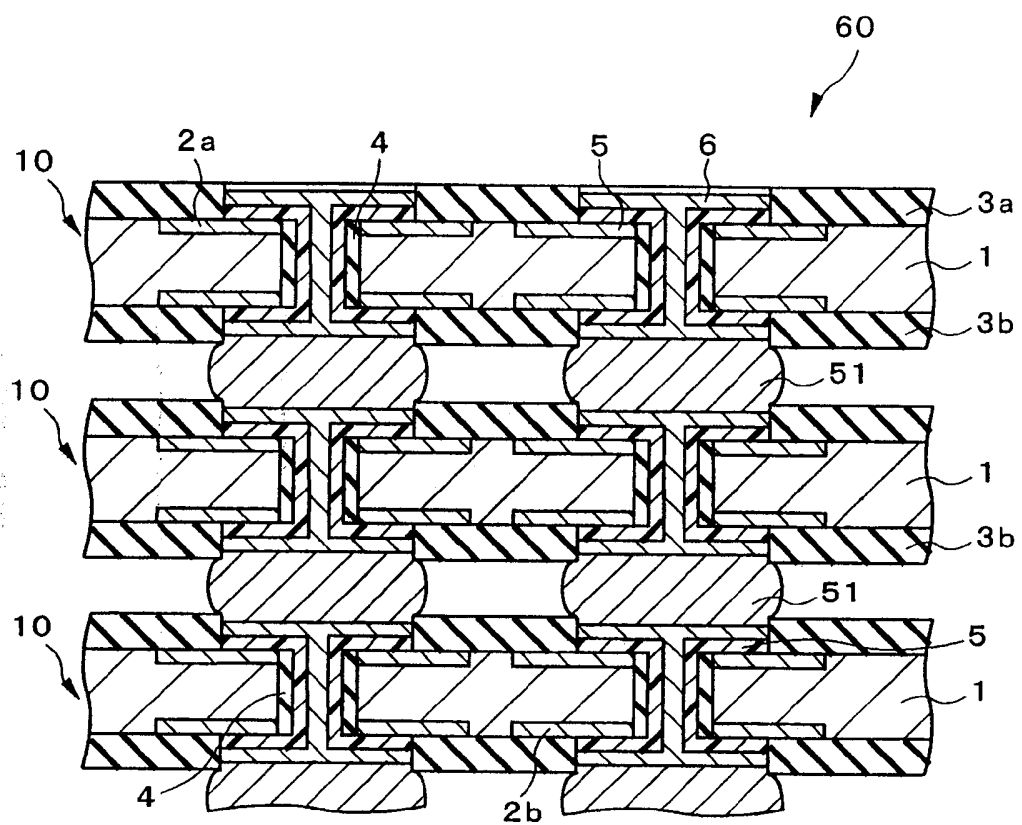
[図11A]



[図11B]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/023451

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/3205(2006.01), **H01L23/52**(2006.01), **H01L25/065**(2006.01), **H01L25/07**(2006.01), **H01L25/10**(2006.01), **H01L25/11**(2006.01), **H01L25/18**(2006.01), **H05K3/42**(2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/3205(2006.01), **H01L23/52**(2006.01), **H01L25/065**(2006.01), **H01L25/07**(2006.01), **H01L25/10**(2006.01), **H01L25/11**(2006.01), **H01L25/18**(2006.01), **H05K3/42**(2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2003-289073 A (Canon Inc.), 10 October, 2003 (10.10.03), Full text; all drawings & EP 1329949 A2 & US 2003/0151144 A1	1, 7-13, 19-29, 33-36, 40-42
X	JP 60-187094 A (Matsushita Electric Industrial Co., Ltd.), 24 September, 1985 (24.09.85), Full text; all drawings (Family: none)	1-6, 9-18, 21-32, 34-39, 41, 42

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
27 February, 2006 (27.02.06)

Date of mailing of the international search report
07 March, 2006 (07.03.06)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/023451

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

Claims 1-42 of this international application are common in having a first terminal pad formed on a surface of a substrate, a through hole penetrating the first terminal pad and the substrate in their thickness direction, a buffer layer which is made of a resin and so formed as to cover the inner surface of the through hole and the surface of the substrate, and a conductive layer so formed as to cover the buffer layer. This technical feature, however, cannot be a special technical feature since it is disclosed in JP 2003-289073 A (Canon Inc.), 10 October, 2003 (10.10.03), the full text and all the drawings.
(Continued to extra sheet)

1. ☒ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

the

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, payment of a protest fee..
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☒ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/023451

Continuation of Box No.III of continuation of first sheet (2)

Consequently, there exists no special technical feature so linking a group of inventions recited in claims 1-42 as to form a single general inventive concept, and thus the group of inventions of claims 1-42 does not satisfy the requirement of unity of invention.

Consequently, this international application contains two inventions: the invention of claims [1, 7-13, 19-29, 33-36, 40-42] and the invention of claims [2-6, 14-18, 30-32, 37-39].

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L21/3205(2006.01), H01L23/52(2006.01), H01L25/065(2006.01), H01L25/07(2006.01),
H01L25/10(2006.01), H01L25/11(2006.01), H01L25/18(2006.01), H05K3/42(2006.01)

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L21/3205(2006.01), H01L23/52(2006.01), H01L25/065(2006.01), H01L25/07(2006.01),
H01L25/10(2006.01), H01L25/11(2006.01), H01L25/18(2006.01), H05K3/42(2006.01)

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2006年
日本国実用新案登録公報	1996-2006年
日本国登録実用新案公報	1994-2006年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2003-289073 A(キヤノン株式会社) 2003.10.10, 全文, 全図 & EP 1329949 A2 & US 2003/0151144 A1	1, 7-13, 19-29 , 33-36, 40-42
X	JP 60-187094 A (松下電器産業株式会社) 1985.9.24, 全文, 全図 (フ ァミリーなし)	1-6, 9-18, 21- 32, 34-39, 41, 42

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

27.02.2006

国際調査報告の発送日

07.03.2006

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号 100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

綿引 隆

電話番号 03-3581-1101 内線 3498

4 L

3 2 3 9

第II欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲_____は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求の範囲_____は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲_____は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第III欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるときの国際調査機関は認めた。

この国際出願の請求の範囲1-42は、基板の表面に形成された第1の端子パッドと、前記第1の端子パッドおよび前記基板を、それらの厚さ方向に貫通する貫通孔と、前記貫通孔の内面から前記基板の表面に至るように形成された、樹脂からなるバッファ層と、前記バッファ層を覆うように形成された導電層とを有する点で共通する。しかしながら、この事項は、JP 2003-289073 A(キャノン株式会社) 2003.10.10, 全文, 全図において開示されているから、特別な技術的事項とはいえない。

そうすると、請求の範囲1-42に記載されている一群の発明の間には、単一の一般的発明概念を形成するように連関させるための特別な技術的特徴は存在しないから、請求の範囲1-42に記載されている一群の発明は、発明の単一性の要件を満たしていない。

そして、この国際出願の請求の範囲には、[1, 7-13, 19-29, 33-36, 40-42]、[2-6, 14-18, 30-32, 37-39] に区分される、2個の発明が記載されているものと認める。

1. ☒ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☒ 追加調査手数料の納付を伴う異議申立てがなかった。