



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 197 28 183 B4 2007.03.01**

(12)

Patentschrift

(21) Aktenzeichen: **197 28 183.4**
 (22) Anmeldetag: **02.07.1997**
 (43) Offenlegungstag: **02.07.1998**
 (45) Veröffentlichungstag
 der Patenterteilung: **01.03.2007**

(51) Int Cl.⁸: **H01L 21/60 (2006.01)**

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 2 Patentkostengesetz).

(30) Unionspriorität:
75052/96 28.12.1996 KR

(73) Patentinhaber:
LG Semicon Co., Ltd., Cheongju,
Chungcheongbuk, KR

(74) Vertreter:
WUESTHOFF & WUESTHOFF Patent- und
Rechtsanwälte, 81541 München

(72) Erfinder:
Cho, Jea-Weon, Cheongju, KR

(56) Für die Beurteilung der Patentfähigkeit in Betracht
 gezogene Druckschriften:
US 54 76 211
US 54 59 102
WO 96 15 459 A1

(54) Bezeichnung: **Herstellungsverfahren für leitende Drähte eines Halbleitergehäuses in Chipgröße**

(57) Hauptanspruch: Herstellungsverfahren für leitende Drähte eines Halbleitergehäuses in Chipgröße oder eines CSP, das umfaßt:

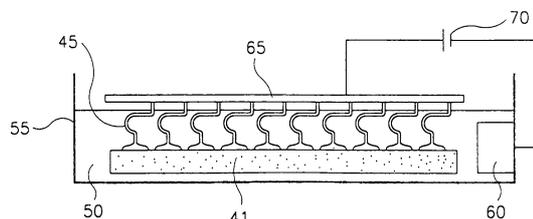
Bonden leitender Drähte (45) auf Bondinseln (43), die auf einer oberen Oberfläche eines Halbleiterchips (41) geformt sind;

Einbringen des Halbleiterchips (41) mit den so gebondeten leitenden Drähten (45) in einen Elektrolyseur (55), der eine Elektrolytlösung (50) enthält, auf eine Art und Weise, daß ein Ende jedes der leitenden Drähte (45) außerhalb der Elektrolytlösung (50) liegt;

Anbringen einer Galvanisierelektrode (60) an einer Innenwand des Elektrolyseurs (55), wobei die Galvanisierungselektrode (60) vollständig in die Elektrolytlösung (50) eingetaucht ist;

Anbringen einer leitenden Platte (65), die als gemeinsame Elektrode dient, an dem freiliegenden einen Ende jedes der leitenden Drähte (45); und

Verbinden der leitenden Platte (65) und der Außenwand des Elektrolyseurs (55) mit einer elektrischen Stromquelle (70) zur Durchführung einer Galvanisierung auf der Oberfläche der leitenden Drähte (45).



Beschreibung

HINTERGRUND DER ERFINDUNG

1. Bereich der Erfindung

[0001] Die vorliegende Erfindung betrifft ein Herstellungsverfahren für leitende Drähte eines Halbleitergehäuses in Chipgröße (im Folgenden als CSP bezeichnet) und besonders ein verbessertes Herstellungsverfahren für leitende Drähte eines CSP, bei dem leitende Drähte direkt auf Bondinseln, die auf einem Halbleiterchip geformt sind, gebondet werden.

Stand der Technik

[0002] Das Herstellungsverfahren für CSP nach dem Stand der Technik wird nun mit Bezug auf **Fig. 1A bis 1F** ausführlich beschrieben.

[0003] Als erstes wird, wie in **Fig. 1A** gezeigt, ein Halbleiterchip (**11**) (oder ein Wafer), auf dem eine Bondinsel (**13**) geformt ist, bereitgestellt, und eine Passivierungsschicht (**15**) wird auf der oberen Oberfläche des Halbleiterchips (**11**), außer auf der Bondinsel (**13**), geformt. Dann werden, wie in **Fig. 1B** gezeigt, eine aus TiW bestehende erste leitende Schicht (**17**) und eine aus Au bestehende zweite leitende Schicht (**19**) der Reihe nach durch ein Sputterverfahren auf der Bondinsel (**13**) und der Passivierungsschicht (**15**) abgeschieden. Wie in **Fig. 1C** gezeigt, wird ein Ende eines aus Gold (Au) bestehenden leitenden Drahts (**21**) auf die Oberfläche der auf der Bondinsel (**13**) geformten zweiten leitenden Schicht (**19**) gebondet, und dann wird der leitende Draht (**21**) so geschnitten, daß er als gerade oder gekrümmte Linie von 1 bis 2 mm Länge geformt wird. Die leitende Schicht (**19**) wird als gemeinsamer Anschluß verwendet, wenn ein späterer Galvanisierungsprozeß ausgeführt wird. Als nächstes wird, wie in **Fig. 1D** gezeigt, auf der zweiten leitenden Schicht (**19**) außer auf dem Teil, wo die Bondinsel (**13**) geformt ist, ein Fotolack (**23**) geformt. Dann wird, wie in **Fig. 1E** gezeigt, um die Stärke des leitenden Drahts (**21**) zu erhöhen, auf der Oberfläche des leitenden Drahts (**21**) eine Beschichtung mit Nickel (Ni) (**25**) durchgeführt, und dann wird, wie in **Fig. 1F** gezeigt, auf dem mit Nickel beschichteten Teil des leitenden Drahts (**21**) eine Beschichtung mit Gold (Au) (**27**) ausgeführt. Die Goldbeschichtung verbessert eine elektrische Lötverbindung zwischen dem leitenden Draht (**21**) und einer Leiterplatte (PCB), wenn das CSP auf der PCB angebracht wird, und verhindert Korrosion. Das Verfahren zum Beschichten mit Nickel und Gold verwendet Galvanisieren. Schließlich wird der Fotolack (**23**) entfernt und die erste und zweite leitende Schicht (**17, 19**) werden außer in dem Bereich, wo die Bondinsel (**13**) geformt ist, entfernt.

[0004] Das in Zusammenhang mit den **Fig. 1A bis**

1F beschriebene Herstellungsverfahren ist beispielsweise aus der WO 96/15459 A1 bekannt, wobei jedoch anstatt von zwei leitfähigen Schichten (**17, 19**) nur eine einzige leitfähige Schicht auf die Bondinsel (**13**) bzw. die Passivierungsschicht (**15**) aufgebracht wird.

[0005] Das herkömmliche Herstellungsverfahren für CSP erfordert ungünstigerweise einen sehr schwierigen und kostspieligen Prozeß wie Sputtern, Aufbringen von Fotolack und Ätzen, um die Stärke des leitenden Drahts (**21**) und die elektrische Lötverbindung zu verbessern und Korrosion zu verhindern.

Aufgabenstellung

ZUSAMMENFASSUNG DER ERFINDUNG

[0006] Es ist folglich ein Ziel der vorliegenden Erfindung, durch Verbessern eines Beschichtungsverfahrens eines leitenden Drahts des CSP ein einfacheres und kostengünstigeres Herstellungsverfahren für leitende Drähte eines Halbleitergehäuses in Chipgröße (CSP) bereitzustellen.

[0007] Um das obige Ziel zu erreichen, wird ein verbessertes Herstellungsverfahren für leitende Drähte eines CSP bereitgestellt, das enthält: Bonden leitender Drähte auf Bondinseln, die auf der oberen Oberfläche eines Halbleiterchips geformt sind, Einbringen der gesamten Struktur in einen Elektrolyseur, der eine Elektrolytlösung enthält, auf eine Art und Weise, daß ein Ende jedes leitenden Drahts außerhalb der Elektrolytlösung liegt, Anbringen einer Galvanisierелеktrode an der inneren Wand des Elektrolyseurs, wobei die Galvanisierungselektrode vollständig in die Elektrolytlösung eingetaucht ist, Anbringen einer leitenden Platte, die dem freigelegten einen Ende jedes leitenden Drahts als gemeinsame Elektrode dient, und Verbinden der leitenden Platte und der Außenwand des Elektrolyseurs mit einer Stromquelle zur Durchführung einer Galvanisierung auf der Oberfläche der leitenden Drähte.

KURZE BESCHREIBUNG DER ZEICHNUNGEN

[0008] Die vorliegende Erfindung wird aus der unten gegebenen ausführlichen Beschreibung und den beigefügten Zeichnungen, die nur der Darstellung dienen und somit die vorliegende Erfindung nicht beschränken, besser verständlich.

[0009] **Fig. 1A bis Fig. 1F** sind Schnittansichten in Längsrichtung, die ein Herstellungsverfahren für ein Halbleitergehäuse in Chipgröße (CSP) gemäß dem Stand der Technik zeigen; und

[0010] **Fig. 2A bis Fig. 2E** sind Schnittansichten in Längsrichtung, die ein Herstellungsverfahren für ein CSP gemäß der vorliegenden Erfindung zeigen.

Ausführungsbeispiel

AUSFÜHRLICHE BESCHREIBUNG DER ERFINDUNG

[0011] Das Herstellungsverfahren für leitende Drähte eines Halbleitergehäuses in Chipgröße (CSP) gemäß der vorliegenden Erfindung wird nun mit Bezug auf die beigefügten Zeichnungen ausführlich beschrieben.

[0012] [Fig. 2A](#) bis [Fig. 2E](#) sind Schnittansichten in Längsrichtung, die die Herstellung eines CSP gemäß der vorliegenden Erfindung zeigen.

[0013] Zuerst werden, wie in [Fig. 2A](#) gezeigt, aus Gold (Au) bestehende leitende Drähte (45) jeweils auf eine Vielzahl von auf einem Halbleiterchip (41) geformten Bondinseln (43) gebondet.

[0014] Dann wird der sich ergebende Halbleiterchip (40) von [Fig. 2A](#), wie in [Fig. 2B](#) gezeigt, in einen Elektrolyseur (55), der eine Elektrolytlösung (50) enthält, auf eine Art und Weise eingebracht, daß ein Ende jedes aus der Vielzahl von leitenden Drähten (45), die auf den Halbleiterchip (40) gebondet sind, außerhalb der Elektrolytlösung (50) liegt.

[0015] Dann wird, wie in [Fig. 2C](#) gezeigt, eine Galvanisierелеktrode (60) wie beispielsweise eine Nickelelektrode (Ni) an der Innenwand des Elektrolyseurs (55) auf eine Art und Weise angebracht, daß die Elektrode (60) vollständig in die Elektrolytlösung (50) eingetaucht ist.

[0016] Dann wird, wie in [Fig. 2D](#) gezeigt, eine als gemeinsame Elektrode dienende leitende Platte (65) auf dem einen freiliegenden Ende jedes der leitenden Drähte (45) angebracht. Die leitende Platte (65) besteht vorzugsweise aus Kupfer (Cu).

[0017] Als nächstes werden, wie in [Fig. 2E](#) gezeigt, die leitende Platte (65) und die Außenwand des Elektrolyseurs (55) mit einer elektrischen Stromquelle (70) verbunden, um ein Galvanisieren durchzuführen. Das Material der in den Elektrolyseur (55) eingetauchten Elektrode (60), d.h. Nickel (Ni) wird ionisiert, und das ionisierte Nickel wird auf die Oberflächen der aus Gold (Au) bestehenden, zu beschichtenden leitenden Drähte (45) aufgebracht. Nach Abschluß der Beschichtung mit Nickel wird die Stromquelle (70) abgeschaltet und die Galvanisierелеktrode (60) wird durch eine an der Innenwand des Elektrolyseurs (55) anzubringende Goldelektrode anstatt einer Nickelelektrode ersetzt, und dann wird die Stromquelle (70) wieder daran angeschlossen. Dann wird die Goldgalvanisierелеktrode ionisiert und das ionisierte Gold wird auf die Oberfläche des auf der Oberfläche der zu beschichtenden leitenden Drähte (45) geformten Nickelfilms aufgebracht. Das bedeutet, durch Ersetzen

des Elektrodenmaterials (60) können die Oberflächen der leitenden Drähte (45) mit einem Material beschichtet werden, das der Anwender benötigt.

[0018] Wie oben ausführlich beschrieben, kann gemäß dem Herstellungsverfahren für CSP gemäß der vorliegenden Erfindung durch Durchführung einer Galvanisierung auf der Oberfläche des Leiters unter Verwendung eines einfachen Systems aus Elektrolyseur, im Elektrolyseur enthaltener Elektrolytlösung und einer Elektrode, ein einfacherer und kostengünstiger Galvanisierungsprozeß verwirklicht werden, um eine gewünschte CSP-Herstellung zu erhalten.

[0019] Obwohl die bevorzugten Ausführungsformen der vorliegenden Erfindung zum Zweck der Darstellung beschrieben wurden, werden Fachleute erkennen, daß verschiedene Modifikationen, Zusätze und Ersetzungen möglich sind, ohne vom Bereich und vom Geist der Erfindung abzuweichen, wie sie in den beigefügten Ansprüchen dargestellt ist.

Patentansprüche

1. Herstellungsverfahren für leitende Drähte eines Halbleitergehäuses in Chipgröße oder eines CSP, das umfaßt:

Bonden leitender Drähte (45) auf Bondinseln (43), die auf einer oberen Oberfläche eines Halbleiterchips (41) geformt sind;

Einbringen des Halbleiterchips (41) mit den so gebondeten leitenden Drähten (45) in einen Elektrolyseur (55), der eine Elektrolytlösung (50) enthält, auf eine Art und Weise, daß ein Ende jedes der leitenden Drähte (45) außerhalb der Elektrolytlösung (50) liegt; Anbringen einer Galvanisierелеktrode (60) an einer Innenwand des Elektrolyseurs (55), wobei die Galvanisierungselektrode (60) vollständig in die Elektrolytlösung (50) eingetaucht ist;

Anbringen einer leitenden Platte (65), die als gemeinsame Elektrode dient, an dem freiliegenden einen Ende jedes der leitenden Drähte (45); und Verbinden der leitenden Platte (65) und der Außenwand des Elektrolyseurs (55) mit einer elektrischen Stromquelle (70) zur Durchführung einer Galvanisierung auf der Oberfläche der leitenden Drähte (45).

2. Verfahren nach Anspruch 1, bei dem die leitenden Drähte (45) aus Gold (Au) bestehen.

3. Verfahren nach Anspruch 1, bei dem die Galvanisierелеktrode (60) aus einem leitenden Material besteht.

4. Verfahren nach Anspruch 1, bei dem die leitende Platte (65) aus Kupfer (Cu) besteht.

5. Verfahren nach Anspruch 1, bei dem die Galvanisierелеktrode (60) aus Nickel (Ni) besteht.

6. Verfahren nach Anspruch 1, bei dem die Galvanisieroelektrode (**60**) aus Gold (Au) besteht.

Es folgen 4 Blatt Zeichnungen

Anhängende Zeichnungen

FIG. 1A
STAND DER TECHNIK

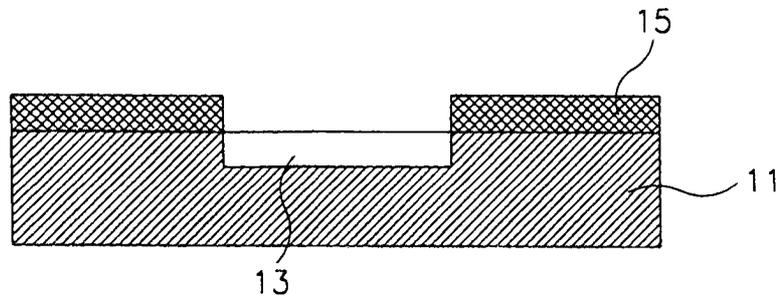


FIG. 1B
STAND DER TECHNIK

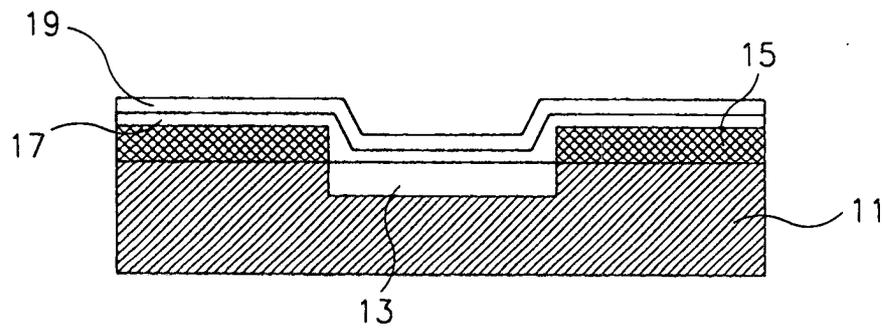


FIG. 1C
STAND DER TECHNIK

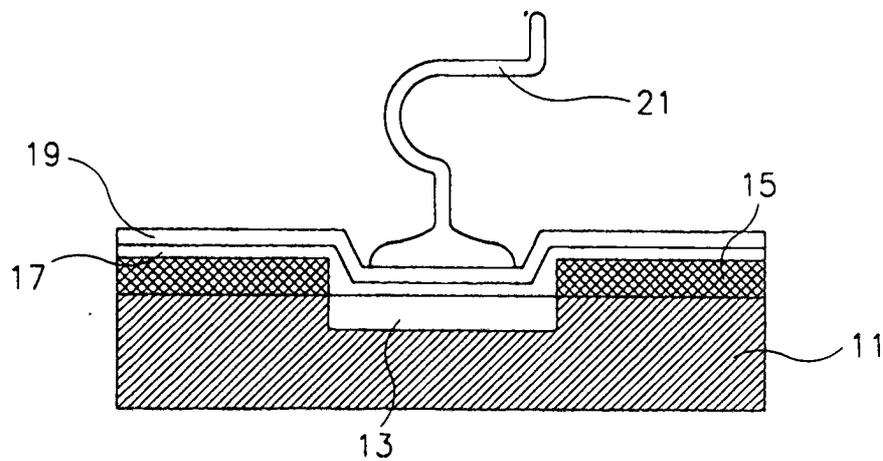


FIG. 1D
STAND DER TECHNIK

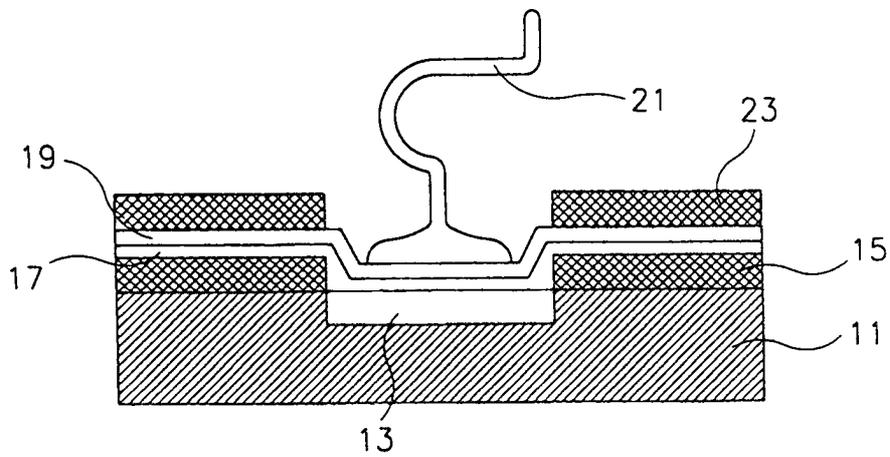


FIG. 1E
STAND DER TECHNIK

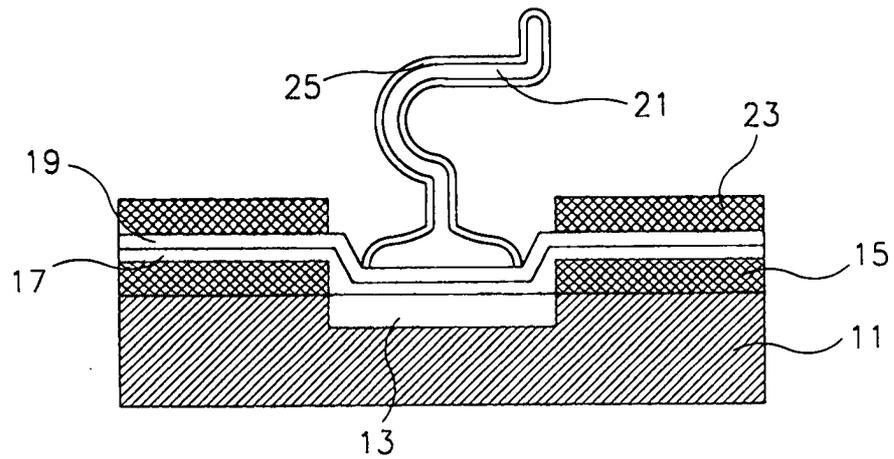


FIG. 1F
STAND DER TECHNIK

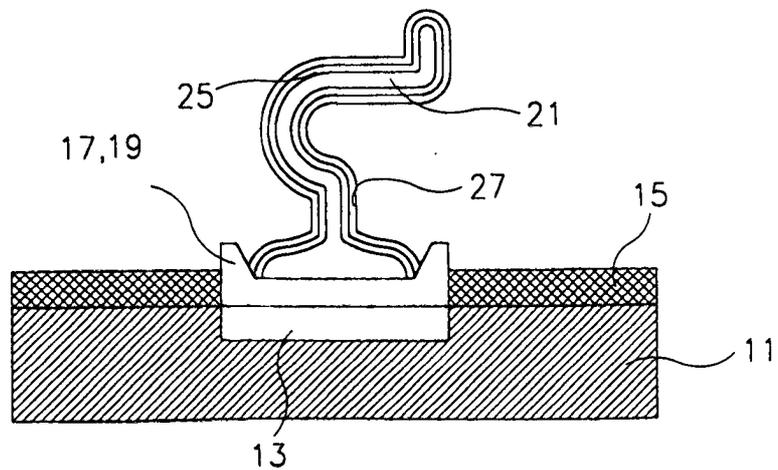


FIG. 2A

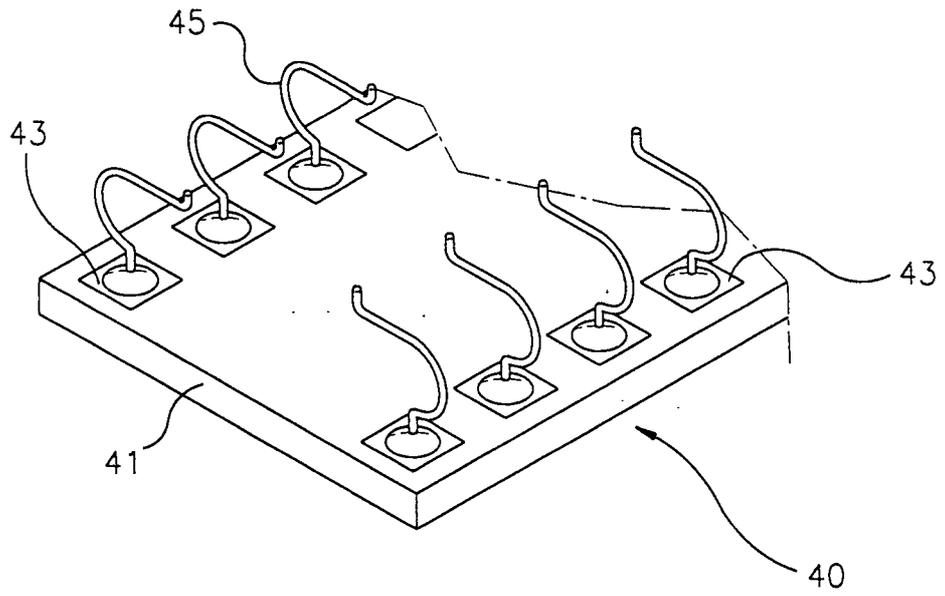


FIG. 2B

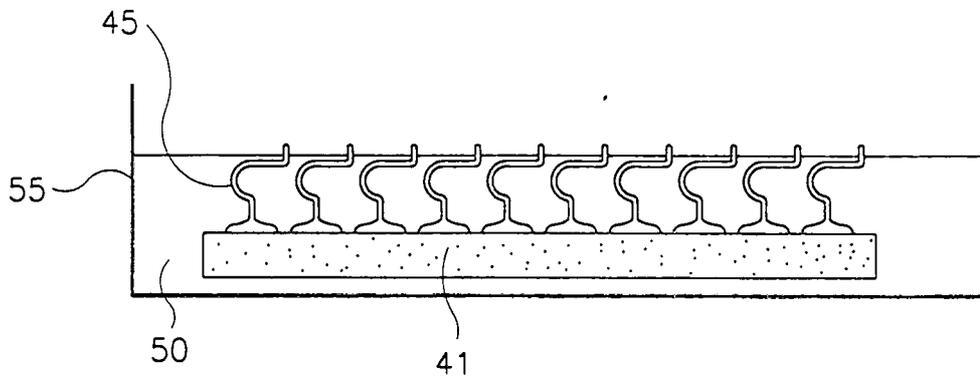


FIG.2C

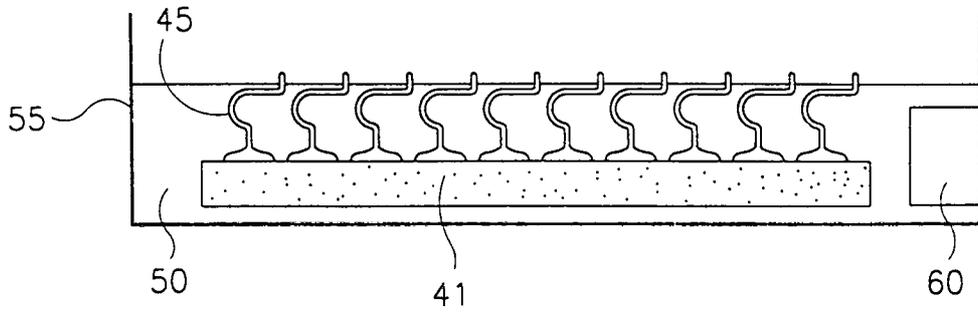


FIG.2D

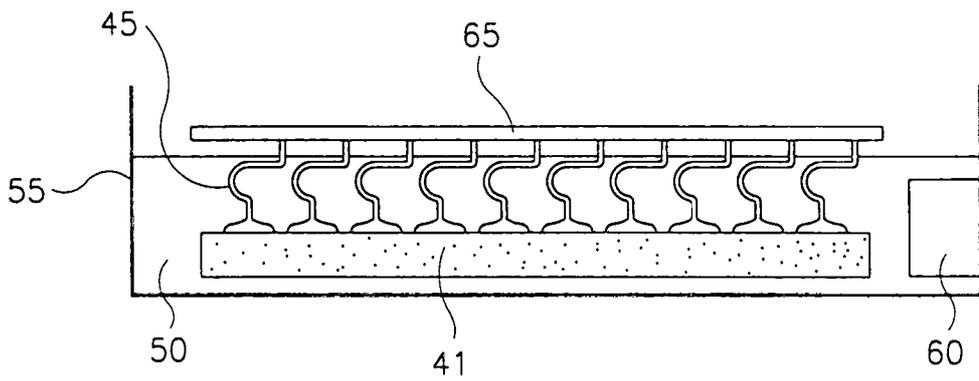


FIG.2E

