

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B1)

(11) 特許番号

特許第5585748号
(P5585748)

(45) 発行日 平成26年9月10日(2014.9.10)

(24) 登録日 平成26年8月1日(2014.8.1)

(51) Int.Cl. F I
H03H 7/09 (2006.01) H03H 7/09 A

請求項の数 7 (全 20 頁)

<p>(21) 出願番号 特願2014-519738 (P2014-519738)</p> <p>(86) (22) 出願日 平成25年8月28日 (2013.8.28)</p> <p>(86) 国際出願番号 PCT/JP2013/072951</p> <p>審査請求日 平成26年4月23日 (2014.4.23)</p> <p>(31) 優先権主張番号 特願2012-231313 (P2012-231313)</p> <p>(32) 優先日 平成24年10月19日 (2012.10.19)</p> <p>(33) 優先権主張国 日本国(JP)</p> <p>早期審査対象出願</p>	<p>(73) 特許権者 000006231 株式会社村田製作所 京都府長岡京市東神足1丁目10番1号</p> <p>(74) 代理人 110000970 特許業務法人 楓国際特許事務所</p> <p>(72) 発明者 用水 邦明 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内</p> <p>(72) 発明者 加藤 登 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内</p> <p>(72) 発明者 秋山 恒 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内</p> <p style="text-align: right;">最終頁に続く</p>
---	--

(54) 【発明の名称】 コモンモードフィルタ

(57) 【特許請求の範囲】

【請求項1】

第1信号線と第2信号線とで構成される差動伝送線路と、
前記第1信号線に直列に挿入された第1インダクタンス素子、前記第2信号線に直列に挿入された第2インダクタンス素子と、
前記第1信号線および前記第2信号線に対し基準となるグランドと、
を有し、
前記第1インダクタンス素子と前記グランドとの間に第1共振回路、前記第2インダクタンス素子と前記グランドとの間に第2共振回路がそれぞれ設けられていて、
前記第1共振回路はLC直列回路であり、前記第1インダクタンス素子に接続された第1キャパシタンス素子を含み、
前記第2共振回路はLC直列回路であり、前記第2インダクタンス素子に接続された第2キャパシタンス素子を含み、
前記第1共振回路は、前記第1キャパシタンス素子と前記第2キャパシタンス素子との間に挿入された第3インダクタンス素子と、前記第2キャパシタンス素子とグランドとの間に挿入された第4インダクタンス素子を含み、
前記第2共振回路は前記第4インダクタンス素子を含む、
ことを特徴とするコモンモードフィルタ。

【請求項2】

前記第1共振回路と前記第2共振回路の共振周波数は互いに異なっている、請求項1に

記載のコモンモードフィルタ。

【請求項 3】

前記第 1 共振回路または前記第 2 共振回路に LC 並列回路が挿入されている、請求項 1 または 2 に記載のコモンモードフィルタ。

【請求項 4】

前記差動伝送線路の入力側の一方端である第 1 ポートと前記第 1 インダクタンス素子との間に第 1 ポート側インダクタンス素子が挿入され、前記差動伝送線路の入力側の他方端である第 2 ポートと前記第 2 インダクタンス素子との間に第 2 ポート側インダクタンス素子が挿入され、

前記差動伝送線路の出力側の一方端である第 3 ポートと前記第 1 インダクタンス素子との間に第 3 ポート側インダクタンス素子が挿入され、前記差動伝送線路の出力側の他方端である第 4 ポートと前記第 2 インダクタンス素子との間に第 4 ポート側インダクタンス素子が挿入された、請求項 1 ~ 3 のいずれかに記載のコモンモードフィルタ。

【請求項 5】

前記第 1 インダクタンス素子、前記第 2 インダクタンス素子、前記第 1 共振回路および前記第 2 共振回路は、複数の基材層を積層してなる積層体に一体的に形成されている、請求項 1 ~ 4 のいずれかに記載のコモンモードフィルタ。

【請求項 6】

前記第 1 インダクタンス素子および前記第 2 インダクタンス素子はそれぞれインダクタ電極で構成され、前記第 1 キャパシタンス素子および前記第 2 キャパシタンス素子はそれぞれキャパシタ電極で構成され、前記インダクタ電極は前記キャパシタ電極で囲まれている、請求項 5 に記載のコモンモードフィルタ。

【請求項 7】

前記グラウンドは網目状または格子状のグラウンド導体によって構成されている、請求項 5 または 6 に記載のコモンモードフィルタ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は伝送線路を伝搬するコモンモードノイズを抑制するコモンモードフィルタに関する。

【背景技術】

【0002】

差動伝送線路を伝搬しようとするコモンモードノイズを抑制するため、従来、コモンモードチョークコイルが用いられている。コモンモードチョークコイルは、例えば特許文献 1 に記載されているように 2 つのコイルを備え、ディファレンシャルモード信号（ノーマルモード信号）で各コイルに生じた磁界が相殺されるように、またコモンモード信号（コモンモードノイズ）に対しては磁界が強め合うように、2 つのコイルが構成されている。

【0003】

一般に、こうしたコモンモードチョークコイルでは、各コイルが大きなインダクタンス値を持っていること、各コイル間の結合係数が大きいこと、が必要とされている。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2003 - 133135 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかし、コイルのインダクタンス値を大きくし、各コイル間の結合係数を大きくすると、自己共振周波数が低くなり、信号の伝送ロスも大きくなる。そのため、USB や HDMI（登録商標）等の高速インターフェース用の差動伝送線路のように、高い周波数帯で利

10

20

30

40

50

用され、且つ、伝送ロスの小さいことが要求される差動伝送線路に、上記のような共通モードチョークコイルを利用するのは難しい。

【0006】

本発明の目的は、小さなインダクタンス、小さな結合係数でも共通モードノイズの抑制効果が高く、高周波での特性が良好で、伝送ロスが小さい共通モードフィルタを提供することにある。

【課題を解決するための手段】

【0007】

(1) 本発明の共通モードフィルタは、

第1信号線と第2信号線とで構成される差動伝送線路と、

前記第1信号線に直列に挿入された第1インダクタンス素子、前記第2信号線に直列に挿入された第2インダクタンス素子と、

前記第1信号線および前記第2信号線に対し基準となるグランドと、
を有し、

前記第1インダクタンス素子と前記グランドとの間に第1共振回路、前記第2インダクタンス素子と前記グランドとの間に第2共振回路がそれぞれ設けられていることを特徴とする。

【0008】

上記構成により、小さなインダクタンス、小さな結合係数であっても共通モードノイズの高い抑制効果が得られる。

【0009】

(2) 前記第1共振回路と前記第2共振回路の共振周波数は互いに異なっていることが好ましい。これにより、共通モードノイズの抑制効果が得られる周波数帯域が広帯域化できる。

【0010】

(3) (1)または(2)において、前記第1共振回路はLC直列回路であり、前記第1インダクタンス素子に接続された第1キャパシタンス素子を含み、

前記第2共振回路はLC直列回路であり、前記第2インダクタンス素子に接続された第2キャパシタンス素子を含み、

前記第1共振回路は、前記第1キャパシタンス素子と前記第2キャパシタンス素子との間に挿入された第3インダクタンス素子と、前記第2キャパシタンス素子とグランドとの間に挿入された第4インダクタンス素子を含み、

前記第2共振回路は前記第4インダクタンス素子を含んで構成されていることが好ましい。

【0011】

上記構成により、共振周波数の異なる第1共振回路および第2共振回路を少ない素子数で構成できる。

【0012】

(4) (1)~(3)のいずれかにおいて、前記第1共振回路または前記第2共振回路にLC並列回路が挿入されていることが好ましい。この構成により、共通モードノイズを減衰させる減衰極を別に設けることができる。

【0013】

(5) (1)~(4)のいずれかにおいて、前記差動伝送線路の入力側の一方端である第1ポートと前記第1インダクタンス素子との間に第1ポート側インダクタンス素子が挿入され、前記差動伝送線路の入力側の他方端である第2ポートと前記第2インダクタンス素子との間に第2ポート側インダクタンス素子が挿入され、

前記差動伝送線路の出力側の一方端である第3ポートと前記第1インダクタンス素子との間に第3ポート側インダクタンス素子が挿入され、前記差動伝送線路の出力側の他方端である第4ポートと前記第2インダクタンス素子との間に第4ポート側インダクタンス素子が挿入されていることが好ましい。

10

20

30

40

50

【 0 0 1 4 】

(6) (1) ~ (5) のいずれかにおいて、前記第 1 インダクタンス素子、前記第 2 インダクタンス素子、前記第 1 共振回路および前記第 2 共振回路は、複数の基材層を積層してなる積層体に一体的に形成されていることが好ましい。これにより、限られた空間にコモンモードフィルタを構成でき、省スペース化が図れる。

【 0 0 1 5 】

(7) (3) において、前記第 1 インダクタンス素子および前記第 2 インダクタンス素子はそれぞれインダクタ電極で構成され、前記第 1 キャパシタンス素子および前記第 2 キャパシタンス素子はそれぞれキャパシタ電極で構成され、前記インダクタ電極は前記キャパシタ電極で囲まれていることが好ましい。この構造により、コモンモードフィルタに他の外部の電子部品や金属体が近接しても、そのことによる第 1 インダクタンス素子および第 2 インダクタンス素子のインダクタンス値の変動を抑制できる。

10

【 0 0 1 6 】

(8) (6) または (7) において、前記グラウンドは網目状または格子状のグラウンド導体によって構成されていることが好ましい。これにより、第 1 インダクタンス素子および第 2 インダクタンス素子とグラウンドとの間に生じる不要な容量を低減できる。

【 発明の 効果 】

【 0 0 1 7 】

本発明によれば、高周波でのコモンモードノイズの抑制効果が高く、伝送ロスが小さいコモンモードフィルタが得られる。

20

【 図面の簡単な説明 】

【 0 0 1 8 】

【 図 1 】 第 1 の実施形態のコモンモードフィルタ 1 0 1 の回路図である。

【 図 2 】 コモンモードフィルタ 1 0 1 の外観斜視図である。

【 図 3 】 コモンモードフィルタ 1 0 1 の下面図である。

【 図 4 】 コモンモードフィルタ 1 0 1 の各基材層の積層前の平面図である。

【 図 5 】 コモンモードフィルタ 1 0 1 のコモンモードノイズの通過特性 $S_{21} [CC]$ およびディファレンシャルモード信号の通過特性 $S_{21} [DD]$ を示す図である。

【 図 6 】 第 2 の実施形態のコモンモードフィルタ 1 0 2 の外観斜視図である。

【 図 7 】 コモンモードフィルタ 1 0 2 を構成する積層体の各基材層の積層前の平面図である。

30

【 図 8 】 コモンモードフィルタ 1 0 2 のコモンモードノイズの通過特性 $S_{21} [CC]$ およびディファレンシャルモード信号の通過特性 $S_{21} [DD]$ を示す図である。

【 図 9 】 第 3 の実施形態に係るコモンモードフィルタ 1 0 3 の回路図である。

【 図 1 0 】 第 4 の実施形態に係るコモンモードフィルタ 1 0 4 の回路図である。

【 図 1 1 】 コモンモードフィルタ 1 0 4 のコモンモードノイズの通過特性 $S_{21} [CC]$ およびディファレンシャルモード信号の通過特性 $S_{21} [DD]$ を示す図である。

【 図 1 2 】 第 5 の実施形態に係るコモンモードフィルタの回路図である。

【 図 1 3 】 図 1 3 (A) は第 6 の実施形態に係るコモンモードフィルタ 1 0 6 の回路図、図 1 3 (B) はその比較例としてのコモンモードフィルタの回路図である。

40

【 図 1 4 】 図 1 4 (A) は図 1 3 (A) に示したコモンモードフィルタの周波数特性を示す図である。図 1 4 (B) は、図 1 3 (B) に示したコモンモードフィルタの周波数特性を示す図である。

【 図 1 5 - 1 】 第 6 の実施形態に係るコモンモードフィルタを積層体に構成した場合の、各層の導体パターンを示す図である。

【 図 1 5 - 2 】 第 6 の実施形態に係るコモンモードフィルタを積層体に構成した場合の、各層の導体パターンを示す図であり、図 1 5 - 1 から続く図である。

【 発明を実施するための形態 】

【 0 0 1 9 】

以降、図を参照して幾つかの具体的な例を挙げて、本発明を実施するための複数の形態

50

を示す。各図中には同一箇所同一符号を付している。各実施形態は例示であり、異なる実施形態で示した構成の部分的な置換または組み合わせが可能であることは言うまでもない。

【 0 0 2 0 】

《 第 1 の実施形態 》

第 1 の実施形態に係るコモンモードフィルタについて、各図を参照して説明する。図 1 は第 1 の実施形態のコモンモードフィルタ 1 0 1 の回路図である。

【 0 0 2 1 】

コモンモードフィルタ 1 0 1 は、ポート (P 1 , P 2) とポート (P 3 , P 4) との間に第 1 信号線 S L 1 および第 2 信号線 S L 2 で構成される差動伝送線路を備えている。第 1 信号線 S L 1 には第 1 インダクタンス素子 (以下、「第 1 インダクタ」) L 1 が直列に挿入されていて、第 2 信号線 S L 2 には第 2 インダクタンス素子 (以下、「第 2 インダクタ」) L 2 が直列に挿入されている。また、このコモンモードフィルタ 1 0 1 は、第 1 信号線 S L 1 および第 2 信号線 S L 2 に対し基準となるグラウンドを備えている。そして、第 1 インダクタ L 1 の第 1 端とグラウンドとの間に第 1 共振回路 R C 1、第 2 インダクタ L 2 の第 1 端とグラウンドとの間に第 2 共振回路 R C 2 がそれぞれ設けられている。

10

【 0 0 2 2 】

第 1 信号線 S L 1 と第 2 信号線 S L 2 との間に、第 1 キャパシタンス素子 (以下、「第 1 キャパシタ」) C 1、第 3 インダクタンス素子 (以下、「第 3 インダクタ」) L 3 および第 2 キャパシタンス素子 (以下、「第 2 キャパシタ」) C 2 の直列回路が挿入されていて、第 3 インダクタ L 3 と第 2 キャパシタ C 2 との接続点とグラウンドとの間に第 4 インダクタンス素子 (以下、「第 4 インダクタ」) L 4 が接続されている。

20

【 0 0 2 3 】

第 1 共振回路 R C 1 は、第 1 キャパシタ C 1、第 3 インダクタ L 3 および第 4 インダクタ L 4 で構成され、第 2 共振回路 R C 2 は第 2 キャパシタ C 2 および第 4 インダクタ L 4 で構成されている。

【 0 0 2 4 】

第 1 共振回路 R C 1 の共振周波数は、第 1 キャパシタ C 1、第 3 インダクタ L 3 および第 4 インダクタ L 4 の L C 直列回路の回路定数で定まり、第 2 共振回路 R C 2 の共振周波数は、第 2 キャパシタ C 2 および第 4 インダクタ L 4 の L C 直列回路の回路定数で定まる。ここではキャパシタ C 1、C 2 のキャパシタンスは等しいので、第 1 共振回路 R C 1 の共振周波数と第 2 共振回路 R C 2 の共振周波数とは互いに異なっている。

30

【 0 0 2 5 】

第 1 キャパシタ C 1 と第 3 インダクタ L 3 との接続点 C P 1 と第 1 インダクタ L 1 の第 2 端との間には第 3 キャパシタ C 3 が接続されている。同様に、第 2 キャパシタ C 2 と第 3 インダクタ L 3 との接続点 C P 2 と第 2 インダクタ L 2 の第 2 端との間には第 4 キャパシタ C 4 が接続されている。キャパシタ C 1、C 3 およびインダクタ L 1、L 3、L 4 によってローパスフィルタ L P F 1 が構成されている。すなわち、第 1 信号線 S L 1 およびグラウンドで構成される線路にローパスフィルタ L P F 1 が挿入されている。同様に、キャパシタ C 2、C 4 およびインダクタ L 2、L 4 によってローパスフィルタ L P F 2 が構成されている。すなわち、第 2 信号線 S L 2 およびグラウンドで構成される線路にローパスフィルタ L P F 2 が挿入されている。これらのローパスフィルタ L P F 1、L P F 2 のカットオフ周波数より低い周波数帯において、インダクタ L 3、L 4 のインピーダンスをキャパシタ C 1、C 3 のインピーダンスより低く設定することで、ローパスフィルタ L P F 1 はキャパシタ C 1、C 3 およびインダクタ L 1 による C L C 型のローパスフィルタとして作用する。同様に、ローパスフィルタ L P F 2 はキャパシタ C 2、C 4 およびインダクタ L 2 による C L C 型のローパスフィルタとして作用する。

40

【 0 0 2 6 】

なお、以上の説明では、ポート (P 1 , P 2) から入射するコモンモードノイズの伝搬を抑制することを前提とした。すなわち、ポート (P 1 , P 2) から入射するコモンモー

50

ドノイズに対して、第1共振回路RC1および第2共振回路RC2がトラップフィルタとして作用し、コモンモードノイズがポート(P3, P4)へ伝搬するのが抑制される。図1において、ポート(P3, P4)からコモンモードノイズが入射する場合には、キャパシタC3およびインダクタL3, L4によるLC直列回路が第1共振回路として作用し、キャパシタC4およびインダクタL4によるLC直列回路が第2共振回路として作用する。このようにキャパシタC3, C4を設けたことにより、ローパスフィルタLPF1, LPF2を構成するだけでなく、コモンモードフィルタに双方向性を持たせることができる。

【0027】

図2はコモンモードフィルタ101の外観斜視図、図3はその下面図である。このコモンモードフィルタ101は、以降に示す各種導体パターンが形成された基材層の積層体である。下面にはポートP1~P4およびグランド端子GNDが形成されている。

10

【0028】

図4は各基材層の積層前の平面図である。コモンモードフィルタ101は、各種導体パターンが形成された4つの基材層BML1~BML4の積層体である。基材層BML1~BML4は樹脂シートであり、基材層BML1が最下層、基材層BML4が最上層である。

【0029】

基材層BML1の上面には網目状のグランド導体G1が形成されている。この基材層BML1の下面には、図3に示したポートP1~P4およびグランド端子GNDが形成されている。

20

【0030】

基材層BML2には、インダクタ電極L11, L21、電極E11, E21, E31, E41が形成されている。基材層BML3には、インダクタ電極L12, L22、電極E13, E24が形成されている。基材層BML4にはインダクタ電極L3, L4、電極E12, E22, E32, E42が形成されている。

【0031】

インダクタ電極L11の第1端は電極E11, E12に導通していて、インダクタ電極L11の第2端はビア導体を介してインダクタ電極L12の第1端に繋がっている。インダクタ電極L12の第2端はビア導体を介して電極E31, E32に導通している。インダクタ電極L21の第1端は電極E21, E22に導通していて、インダクタ電極L21の第2端はビア導体を介してインダクタ電極L22の第1端に繋がっている。インダクタ電極L22の第2端はビア導体を介して電極E41, E42に導通している。

30

【0032】

基材層BML2, BML3に形成されているインダクタ電極L11, L12によって第1インダクタL1が構成されている。同様に、インダクタ電極L21, L22によって第2インダクタL2が構成されている。

【0033】

インダクタ電極L3の第1端はビア導体を介して電極E13に導通していて、第2端はビア導体を介して電極E24に導通している。また、インダクタ電極L3の第2端はインダクタ電極L4の第1端に繋がってして、インダクタ電極L4の第2端はビア導体を介してグランド導体G1に導通している。

40

【0034】

基材層BML3に形成されている電極E13と基材層BML2, BML4に形成されている電極E11, E12とによって第1キャパシタC1が構成されている。同様に、基材層BML3に形成されている電極E24と基材層BML2, BML4に形成されている電極E21, E22とによって第2キャパシタC2が構成されている。また、基材層BML3に形成されている電極E13と基材層BML2, BML4に形成されている電極E31, E32とによって第3キャパシタC3が構成されている。そして、基材層BML3に形成されている電極E24と基材層BML2, BML4に形成されている電極E41, E4

50

2とによって第4キャパシタC4が構成されている。図4にはこれらのキャパシタC1～C4を回路記号で表している。

【0035】

電極E11, E21はビア導体を介してポートP1, P2に接続されている。電極E31, E41はビア導体を介してポートP3, P4に接続されている。グランド導体G1はビア導体を介してグランド端子GNDに導通している。

【0036】

グランド導体G1は網目状であるので、インダクタ電極L11, L21, L12, L22とグランド導体G1との間に生じる浮遊容量は小さい。

【0037】

各回路定数は次のとおりである。

【0038】

L1, L2 : 7.9 nH

C1, C2, C3, C4 : 1.2 pF

L3 : 1.65 nH

L4 : 8.9 nH

k1 : 0.6

ここで、k1はインダクタL1とL2との結合係数である。

【0039】

図5はコモンモードフィルタ101のコモンモードノイズの通過特性S21[CC]およびディファレンシャルモード信号の通過特性S21[DD]を示す図である。コモンモードノイズの通過特性S21[CC]は800MHz～2GHzの広帯域に亘って-9dBに抑制されている。ディファレンシャルモード信号の通過特性S21[DD]は図5に示す周波数範囲の全帯域で-2dB以上を保っている。前記800MHz～2GHzは携帯電話で使用される周波数帯である。携帯電話端末にこのコモンモードフィルタを用いれば、コモンモードノイズとして重畳されようとする800MHz～2GHzのノイズを抑制できる。

【0040】

図5において、減衰極AP1は図1に示した第1共振回路RC1により生じる減衰極であり、減衰極AP1の周波数は第1共振回路RC1の共振周波数に相当する。減衰極AP2は図1に示した第2共振回路RC2により生じる減衰極であり、減衰極AP2の周波数は第2共振回路RC2の共振周波数に相当する。このように、第1共振回路RC1と第2共振回路RC2の共振周波数は異なっていて、それぞれの周波数は、コモンモードノイズに対して必要な減衰帯域における低周波数端付近と高周波数端付近の周波数にそれぞれ対応している。そのため、広帯域に亘るコモンモードノイズの伝搬を抑制できる。前記ローパスフィルタLPF1, LPF2のカットオフ周波数は例えば8GHz以上(十数GHz)であるので、ディファレンシャルモード信号の高調波成分や高周波ノイズはローパスフィルタLPF1, LPF2で遮断される。

【0041】

第1の実施形態によれば、既に述べた効果以外に次のような効果を奏する。

【0042】

(1) インダクタ電極L11, L12によるインダクタL1と、インダクタ電極L21, L22によるインダクタL2は2重スパイラル状に巻回されているので、少ない層数の割に高い結合係数が得られる。

【0043】

(2) インダクタL1, L2が構成されている領域を囲むように、電極E11, E21, E31, E41, E13, E24, E12, E22, E32, E42が形成されているので、限られたスペースに必要なインダクタンスおよびキャパシタンスを構成できる。また、他の素子、部品とインダクタL1, L2とが不要結合しにくい。

【0044】

10

20

30

40

50

(3) インダクタL1, L2とインダクタL3, L4の形成位置を積層方向には重ならないようにし、電極の張り出し部J31, J41, J13, J24, J32, J42で、インダクタL1, L2とインダクタL3, L4とを分離しているため、インダクタL1, L2とインダクタL3, L4との不要結合を防止できる。

【0045】

(4) インダクタ電極L11, L12, L21, L22を基材層BML2, BML3の一部に集中的に配置した(同在させた)ことにより、インダクタ電極L11, L12によるインダクタL1と、インダクタ電極L21, L22によるインダクタL2との結合度を高めることができる。

【0046】

(5) インダクタ電極L11, L12, L21, L22を基材層BML2, BML3の中央部に同在させ、その周囲を電極E11, E21, E31, E41, E13, E24, E12, E22, E32, E42で囲んでいるので、このコモンモードフィルタに他の外部の電子部品や金属体が近接しても、そのことによるインダクタL1, L2のインダクタンス値の変動を抑制できる。

【0047】

《第2の実施形態》

第2の実施形態に係るコモンモードフィルタについて、各図を参照して説明する。第2の実施形態に係るコモンモードフィルタ102の回路図は第1の実施形態で図1に示したものと同一である。

【0048】

図6はコモンモードフィルタ102の外観斜視図である。このコモンモードフィルタ102は、以降に示す各種導体パターンが形成された基材層の積層体である。下面にはポートP1~P4およびグランド端子GNDが形成されている。

【0049】

図7はコモンモードフィルタ102を構成する積層体の各基材層の積層前の平面図である。コモンモードフィルタ102は、各種導体パターンが形成された4つの基材層BML1~BML4の積層体である。基材層BML1~BML4は樹脂シートであり、基材層BML1が最下層、基材層BML4が最上層である。

【0050】

基材層BML1の上面には格子状のグランド導体G1が形成されている。この基材層BML1の下面には、図6に示したポートP1~P4およびグランド端子GNDが形成されている。

【0051】

基材層BML2には、インダクタ電極L11, L21、電極E11, E21, E31, E41が形成されている。基材層BML3には、インダクタ電極L12, L22, L32, L42、電極E13, E24が形成されている。基材層BML4にはインダクタ電極L13, L23, L33, L43、電極E12, E22, E32, E42が形成されている。

【0052】

インダクタ電極L11の第1端は電極E11に導通していて、インダクタ電極L11の第2端はビア導体を介してインダクタ電極L12の第1端に繋がっている。インダクタ電極L12の第2端はインダクタ電極L13の第1端に繋がっている。インダクタ電極L13の第2端は電極E32に導通している。電極E32と電極E31とはビア導体を介して導通している。インダクタ電極L21の第1端は電極E21に導通していて、インダクタ電極L21の第2端はビア導体を介してインダクタ電極L22の第1端に繋がっている。インダクタ電極L22の第2端はビア導体を介してインダクタ電極L23の第1端に繋がっている。インダクタ電極L23の第2端は電極E42に導通している。電極E42と電極E41とはビア導体を介して導通している。

【0053】

10

20

30

40

50

インダクタ電極 L 3 1 の第 1 端はビア導体を介して電極 E 2 4 に導通している。インダクタ電極 L 3 1 の第 2 端はインダクタ電極 L 3 2 の第 1 端に繋がっていて、インダクタ電極 L 3 2 の第 2 端はビア導体を介してインダクタ電極 L 3 3 の第 1 端に繋がっている。インダクタ電極 L 3 3 の第 2 端はビア導体を介して電極 E 1 3 に導通している。インダクタ電極 L 4 1 の第 1 端はビア導体を介してインダクタ電極 L 4 2 の第 1 端に繋がっている。インダクタ電極 L 4 1 の第 2 端はビア導体を介してグラウンド導体 G 1 に導通している。インダクタ電極 L 4 2 の第 2 端はインダクタ電極 L 4 3 の第 1 端に繋がっていて、インダクタ電極 L 4 3 の第 2 端はビア導体を介して電極 E 1 3 に導通している。

【 0 0 5 4 】

基材層 B M L 2 , B M L 3 , B M L 4 に形成されているインダクタ電極 L 1 1 , L 1 2 , L 1 3 によって第 1 インダクタ L 1 が構成されている。同様に、インダクタ電極 L 2 1 , L 2 2 , L 2 3 によって第 2 インダクタ L 2 が構成されている。

10

【 0 0 5 5 】

基材層 B M L 2 , B M L 3 , B M L 4 に形成されているインダクタ電極 L 3 1 , L 3 2 , L 3 3 によって第 3 インダクタ L 3 が構成されている。同様に、インダクタ電極 L 4 1 , L 4 2 , L 4 3 によって第 4 インダクタ L 4 が構成されている。

【 0 0 5 6 】

基材層 B M L 3 に形成されている電極 E 1 3 と基材層 B M L 2 , B M L 4 に形成されている電極 E 1 1 , E 1 2 とによって第 1 キャパシタ C 1 が構成されている。同様に、基材層 B M L 3 に形成されている電極 E 2 4 と基材層 B M L 2 , B M L 4 に形成されている電極 E 2 1 , E 2 2 とによって第 2 キャパシタ C 2 が構成されている。また、基材層 B M L 3 に形成されている電極 E 1 3 と基材層 B M L 2 , B M L 4 に形成されている電極 E 3 1 , E 3 2 とによって第 3 キャパシタ C 3 が構成されている。そして、基材層 B M L 3 に形成されている電極 E 2 4 と基材層 B M L 2 , B M L 4 に形成されている電極 E 4 1 , E 4 2 とによって第 4 キャパシタ C 4 が構成されている。図 7 にはこれらのキャパシタ C 1 ~ C 4 を回路記号で表している。

20

【 0 0 5 7 】

電極 E 1 1 , E 2 1 はビア導体を介してポート P 1 , P 2 に接続されている。電極 E 3 1 , E 4 1 はビア導体を介してポート P 3 , P 4 に接続されている。グラウンド導体 G 1 はビア導体を介してグラウンド端子 G N D に導通している。

30

【 0 0 5 8 】

なお、グラウンド導体 G 1 は単なる線状導体とせずに格子状としたことにより、等価的には外枠の大きさの面状導体として作用する。すなわち不要なインダクタンス成分が殆ど生じない。

【 0 0 5 9 】

上述のとおり、コモンモードフィルタ 1 0 2 の回路図は第 1 の実施形態で図 1 に示したものと同一であるが、各回路定数は異なる。各回路定数は次のとおりである。

【 0 0 6 0 】

L1, L2 : 7.9 nH

C1, C2, C3, C4 : 1.4 pF

L3 : 3.4 nH

L4 : 6.7 nH

k1 : 0.3

40

図 8 はコモンモードフィルタ 1 0 2 のコモンモードノイズの通過特性 S 2 1 [C C] およびディファレンシャルモード信号の通過特性 S 2 1 [D D] を示す図である。コモンモードノイズの通過特性 S 2 1 [C C] は 8 0 0 M H z ~ 1 . 8 G H z の広帯域に亘って - 9 d B に抑制されている。ディファレンシャルモード信号の通過特性 S 2 1 [D D] は図 8 に示す周波数範囲の全帯域で - 2 d B 以上を保っている。このようにインダクタ L 1 と L 2 との結合係数 k1 が、従来のコモンモードチョークコイルの結合係数より格段に小さくてもコモンモードノイズの抑制量および周波数帯域が得られている。

50

【 0 0 6 1 】

第2の実施形態に係るコモンモードフィルタ102は、3層に亘ってインダクタL1, L2, L3, L4が構成されているので、インダクタL1, L2, L3, L4を構成するインダクタ電極の線幅を太くでき、導体損失が低減できる。

【 0 0 6 2 】

《第3の実施形態》

図9は第3の実施形態に係るコモンモードフィルタ103の回路図である。第1の実施形態で図1に示したコモンモードフィルタ101と基本的な回路構成は同じであるが、第1インダクタL1と第2インダクタL2とは積極的に磁界結合していない。すなわち、第1インダクタL1および第2インダクタL2はコモンモードチョークコイルとしては作用しない。

10

【 0 0 6 3 】

このようなコモンモードフィルタ103においても、第1キャパシタC1、第3インダクタL3および第4インダクタL4によって第1共振回路RC1が構成され、第2キャパシタC2および第4インダクタL4によって第2共振回路RC2が構成される。また、主にインダクタL1, L2およびキャパシタC1, C3, C2, C4によってローパスフィルタが構成される。そのため、第1共振回路RC1および第2共振回路RC2によってコモンモードノイズの伝搬が抑制される。また、上記ローパスフィルタのカットオフ周波数より低い周波数のディファレンシャルモードの信号が信号線SL1, SL2を通過する。

【 0 0 6 4 】

20

《第4の実施形態》

図10は第4の実施形態に係るコモンモードフィルタ104の回路図である。第3インダクタL3と第2キャパシタC2との接続点CP2とグランドとの間に第4インダクタL4とLC並列回路LC1との直列回路が挿入されている。その他の構成は第1の実施形態で図1に示したものと同一である。

【 0 0 6 5 】

LC並列回路LC1はインダクタL7およびキャパシタC7の並列回路である。このLC並列回路LC1によってトラップが設けられることになる。トラップ周波数において、インダクタL4とキャパシタC7との直列共振によって、接続点CP2はほぼグランド電位となる。トラップ周波数より低い周波数域ではキャパシタC7のインピーダンスが高いため、上記直列回路はインダクタL4とL7との直列回路として作用する。トラップ周波数より高い周波数域ではキャパシタC7のインピーダンスが低いため、上記直列回路はインダクタL4が支配的となる。

30

【 0 0 6 6 】

図11はコモンモードフィルタ104のコモンモードノイズの通過特性S21[CC]およびディファレンシャルモード信号の通過特性S21[DD]を示す図である。コモンモードノイズは二つの減衰極AP1, AP2によって広帯域に亘って減衰される。また、前記トラップによって減衰極AP3が生じる。そのため、減衰極AP3による周波数帯域においてもコモンモードノイズの伝搬が抑制される。

【 0 0 6 7 】

40

《第5の実施形態》

図12は第5の実施形態に係るコモンモードフィルタ105の回路図である。第1の実施形態で図1に示した回路と異なり、第1キャパシタC1とグランドとの間に第5インダクタL5が設けられていて、第2キャパシタC2とグランドとの間に第6インダクタL6が設けられている。ここで、第5インダクタL5と第6インダクタL6のインダクタンスは異なる。すなわち、(C1-L5)または(C3-L5)の直列共振周波数と、(C2-L6)または(C4-L6)の直列共振周波数と、は異なっている。

【 0 0 6 8 】

このように、インダクタンスの異なるインダクタL5, L6を個別に接続しても同等の

50

特性を得ることができる。また、インダクタ L_5 , L_6 に、図 10 に示したような LC 並列回路をそれぞれ直列接続することでトラップを設けてもよい。そのことによって、図 11 に示したように所定の周波数帯域を減衰（トラップ）させることができる。

【 0 0 6 9 】

《 第 6 の実施形態 》

第 6 の実施形態では、第 1 インダクタンス素子および第 2 インダクタンス素子以外に、第 1 信号線および第 2 信号線に対してシリーズにインダクタンス素子を設けたコモンモードフィルタの例を示す。

【 0 0 7 0 】

図 13 (A) は第 6 の実施形態に係るコモンモードフィルタ 106 の回路図、図 13 (B) はその比較例としてのコモンモードフィルタの回路図である。図 13 (B) に示す比較例のコモンモードフィルタは、集中定数回路で表した場合、図 1 または図 9 に示した回路と同じである。このようなコモンモードフィルタを積層体に構成した際に、ポート（端子）間に寄生容量 C_s が発生する。この寄生容量 C_s はキャパシタ $C_1 \sim C_4$ に対して並列に接続されることになるので、これらのキャパシタ、第 1 インダクタ L_1 および第 2 インダクタ L_2 で構成されるローパスフィルタのカットオフ周波数が低くなる。このカットオフ周波数より高い周波数帯では差動インピーダンスが所定値からずれるので、コモンモードフィルタとして使用できる周波数帯域が狭くなってしまふ、という問題が生じる。

【 0 0 7 1 】

そこで、本実施形態では、図 13 (A) に示すように、差動伝送線路 $S L_1$, $S L_2$ の入力側の一方端である第 1 ポート P_1 と第 1 インダクタ L_1 との間に第 1 ポート側インダクタンス素子 L_{1F} を挿入し、差動伝送線路 $S L_1$, $S L_2$ の入力側の他方端である第 2 ポート P_2 と第 2 インダクタ L_2 との間に第 2 ポート側インダクタンス素子 L_{2F} を挿入する。同様に、差動伝送線路 $S L_1$, $S L_2$ の出力側の一方端である第 3 ポート P_3 と第 1 インダクタ L_1 との間に第 3 ポート側インダクタンス素子 L_{1E} を挿入し、差動伝送線路 $S L_1$, $S L_2$ の出力側の他方端である第 4 ポート P_4 と第 2 インダクタ L_2 との間に第 4 ポート側インダクタンス素子 L_{2E} を挿入する。これにより、インダクタンス素子 L_{1F} , L_{2F} , L_{1E} , L_{2E} 、インダクタ L_1 , L_2 、キャパシタ C_1 , C_2 , C_3 , C_4 によって 5 段（3 つのインダクタ + 2 つのキャパシタ）のローパスフィルタを構成する。そして、上記インダクタンス素子 L_{1F} , L_{2F} , L_{1E} , L_{2E} のインダクタンス、第 1 インダクタ L_1 、第 2 インダクタ L_2 のインダクタンス、キャパシタ C_1 , C_2 , C_3 , C_4 のキャパシタンスを定めることにより、上記ローパスフィルタのカットオフ周波数を使用周波数帯域より高い周波数とする。

【 0 0 7 2 】

図 13 (A) の各回路定数は次のとおりである。

【 0 0 7 3 】

L_1, L_2 : 13.6 nH

C_1, C_2, C_3, C_4 : 1.2 pF

L_3 : 3.0 nH

L_4 : 2.5 nH

k_1 : 0.3

$L_{1F}, L_{2F}, L_{1E}, L_{2E}$: 1.2nH

C_s : 0.15pF

ここで、 k_1 はインダクタ L_1 と L_2 との結合係数である。

【 0 0 7 4 】

図 14 (A) は図 13 (A) に示したコモンモードフィルタの周波数特性（コモンモードノイズの通過特性 $S_{21} [CC]$ 、ディファレンシャルモード信号の通過特性 $S_{21} [DD]$ およびディファレンシャルモード信号の反射特性 $S_{11} [DD]$ ）を示す図である。図 14 (B) は、図 13 (B) に示したコモンモードフィルタの周波数特性を示す図である。ここで、図 13 (B) に示した比較例としてのコモンモードフィルタの周波数特性

は、図13(A)の状態からインダクタL1F, L2F, L1E, L2Eを除いた状態で計算した。

【0075】

入出力部にインダクタL1F, L2F, L1E, L2Eが無い場合、図14(B)に表れているように、S21[DD]の-3dB帯域は3GHzまでしか延びていない。すなわち、3GHzより高域ではコモンモードフィルタの差動インピーダンスがずれてしまっている。これは、入出力部にインダクタL1F, L2F, L1E, L2Eが無くて、3段(1つのインダクタ+2つのキャパシタ)のローパスフィルタを構成し、浮遊容量CsとキャパシタC1~C4(1.2pF)とが並列接続されて、ローパスフィルタのトータルの容量が大きくなって、ローパスフィルタのカットオフ周波数が低くなった結果である。

10

【0076】

これに対し、本実施形態のコモンモードフィルタによれば、図14(A)に表れているように、S21[DD]およびS11[DD]は5GHzを超える帯域まで延びている。すなわち、より高域までコモンモードフィルタとして使用できる。

【0077】

図15-1、図15-2は、第6の実施形態に係るコモンモードフィルタを積層体に構成した場合の、各層の導体パターンを示す図である。これらの図は各層の下面側を見た平面図である。(1)は実装面、(26)は天面に相当する。図中の各符号は図13(A)中に示した各符号に対応している。インダクタL3は(2)~(5)層に亘って形成されている。キャパシタC1, C2, C3, C4は(7)~(11)層に亘って形成されている。インダクタL1E, L2Eは(13)(14)層に亘って形成されている。また、インダクタL1, L2は(15)~(23)層に亘って形成されている。

20

【0078】

本実施形態によれば、使用周波数帯域での差動インピーダンスのずれを抑制することができ、コモンモードフィルタの周波数特性が改善できる。

【0079】

《他の実施形態》

以上の各実施形態では、矩形板状の積層体の下面に形成された実装用のポートP1~P4およびグランド端子GNDがビア導体を介して内部の電極に接続された例を示したが、実装用のポートおよび端子は積層体の側部(端面)を經由して内部の電極に接続してもよい。

30

【0080】

以上の各実施形態では、矩形板状の積層体にコモンモードフィルタを構成した例を示したが、高周波線路の一部にコモンモードフィルタを構成してもよい。例えば、グランド導体を形成した基材層および信号線を形成した基材層を含む複数の基材層を積層して長尺状の高周波ケーブルを構成し、この高周波ケーブルの一部に図2や図6に示した構造を組み込むことで、コモンモードフィルタ内蔵のフラットな高周波ケーブルを構成してもよい。その場合には実装用のポートP1~P4およびグランド端子は、少なくともコモンモードフィルタの形成領域には不要である。

【0081】

以上の各実施形態では、積層体の各基材層に導電性ペーストを印刷することで各種導体パターンを形成する例を示したが、薄膜形成法で各種導体パターンを形成してもよい。

40

【0082】

以上の各実施形態では、第1共振回路RC1と第2共振回路RC2の共振周波数が異なる例を示したが、本願はこの2つの共振回路の共振周波数が一致しているものを除外するものではない。但し、第1共振回路RC1と第2共振回路RC2の共振周波数が一致していると、図5や図8に示した減衰極AP1, AP2の周波数が一致して、減衰量が少なくなる。そのため、コモンモードノイズを抑制できる周波数帯域は狭くなり、減衰量も低下する。

【符号の説明】

50

【 0 0 8 3 】

B M L 2 , B M L 3 , B M L 4 ... 基材層	
C 1 ... 第 1 キャパシタ	
C 2 ... 第 2 キャパシタ	
C 3 ... 第 3 キャパシタ	
C 4 ... 第 4 キャパシタ	
C P 1 , C P 2 ... 接続点	
E 1 1 , E 1 2 , E 1 3 , E 2 1 , E 2 2 , E 2 4 , E 3 2 , E 3 2 , E 4 1 , E 4 2 ... 電極	
G 1 ... グランド導体	10
G N D ... グランド端子	
J 1 3 , J 2 4 , J 3 1 , J 3 2 , J 4 1 , J 4 2 ... 張り出し部	
L 1 ... 第 1 インダクタ	
L 2 ... 第 2 インダクタ	
L 3 ... 第 3 インダクタ , インダクタ電極	
L 4 ... 第 4 インダクタ , インダクタ電極	
L 1 1 , L 1 2 , L 1 3 ... インダクタ電極	
L 2 1 , L 2 2 , L 2 3 ... インダクタ電極	
L 3 1 , L 3 2 , L 3 3 ... インダクタ電極	
L 4 1 , L 4 2 , L 4 3 ... インダクタ電極	20
L 5 ... 第 5 インダクタ	
L 6 ... 第 6 インダクタ	
L 1 F ... 第 1 ポート側インダクタンス素子	
L 2 F ... 第 2 ポート側インダクタンス素子	
L 1 E ... 第 3 ポート側インダクタンス素子	
L 2 E ... 第 4 ポート側インダクタンス素子	
L C 1 ... L C 並列回路	
L P F 1 , L P F 2 ... ローパスフィルタ	
P 1 ~ P 4 ... ポート	
R C 1 ... 第 1 共振回路	30
R C 2 ... 第 2 共振回路	
S L 1 ... 第 1 信号線	
S L 2 ... 第 2 信号線	
1 0 1 ~ 1 0 6 ... コモンモードフィルタ	

【要約】

コモンモードフィルタ(101)は、ポート(P1, P2)とポート(P3, P4)との間に第1信号線(SL1)および第2信号線(SL2)で構成される差動伝送線路を備えている。第1信号線(SL1)には第1インダクタ(L1)が直列に挿入されていて、第2信号線(SL2)には第2インダクタ(L2)が直列に挿入されている。そして、第1インダクタ(L1)の第1端とグランドとの間に第1共振回路(RC1)、第2インダクタ(L2)の第1端とグランドとの間に第2共振回路(RC2)がそれぞれ設けられている。

【 図 1 】

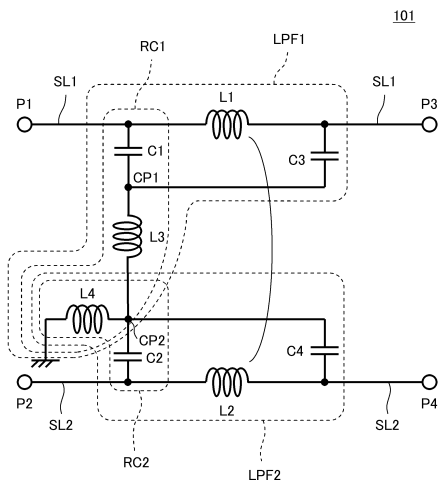


図1

【 図 2 】

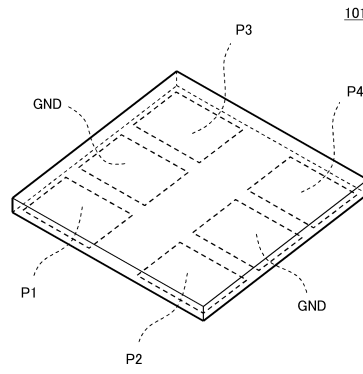


図2

【 図 3 】

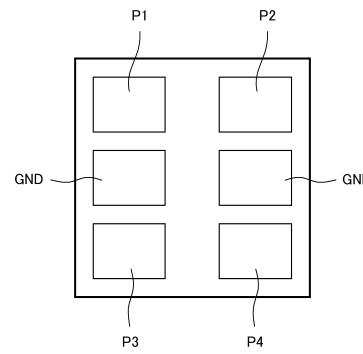


図3

【 図 5 】

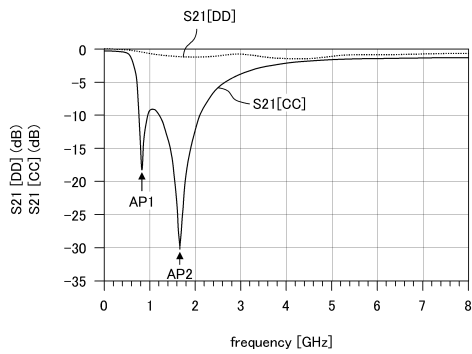


図5

【 図 8 】

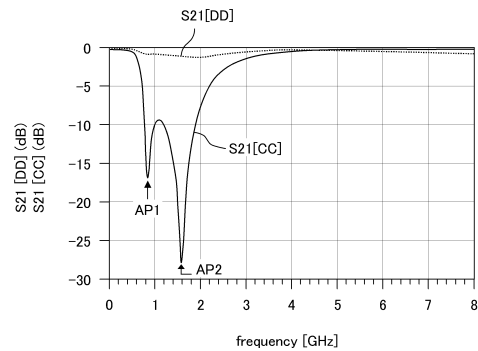


図8

【 図 6 】

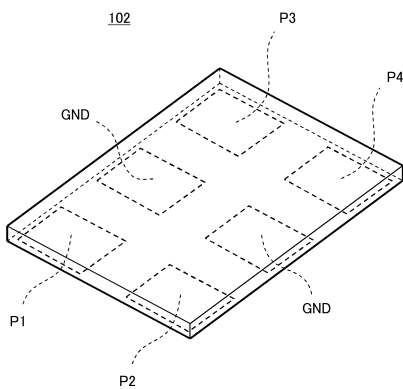


図6

【 図 9 】

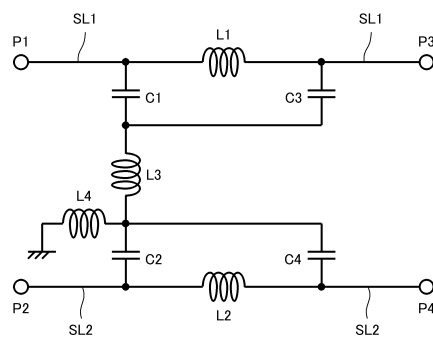
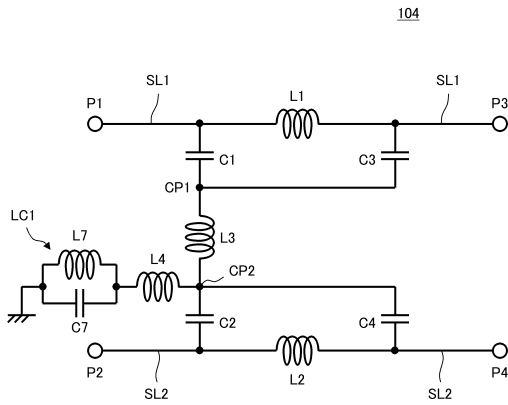


図9

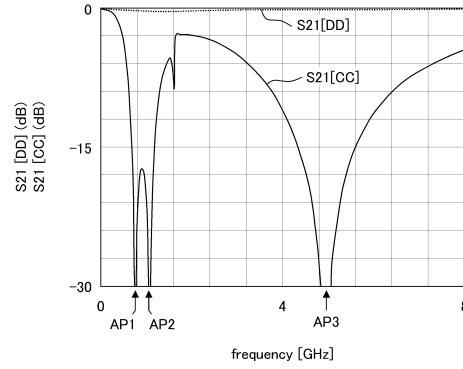
【 図 10 】

図10



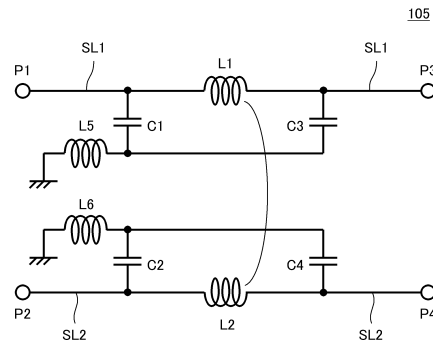
【 図 11 】

図11



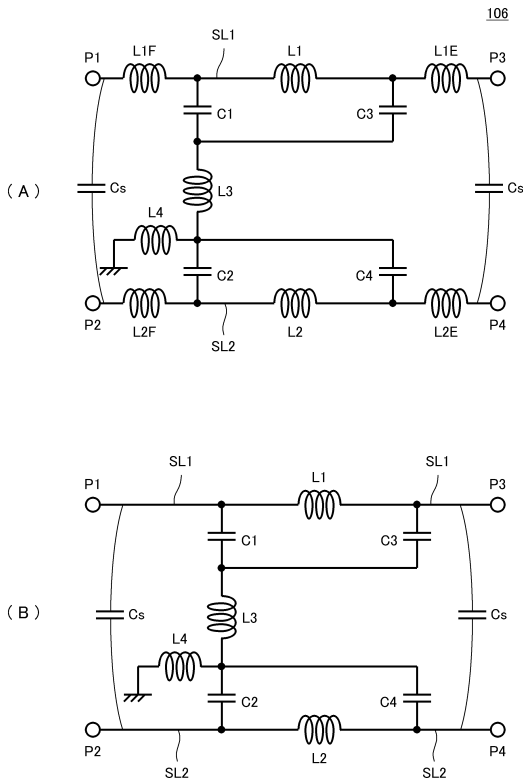
【 図 12 】

図12



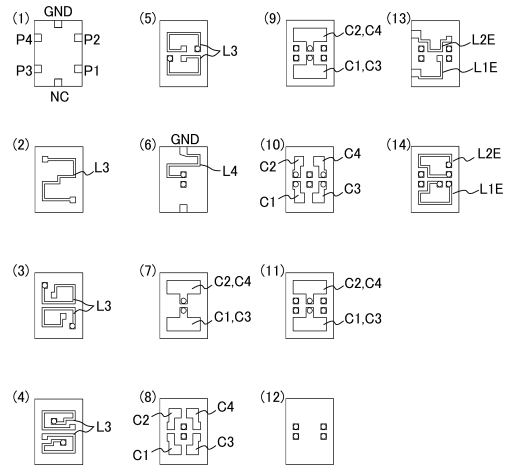
【 図 13 】

図13



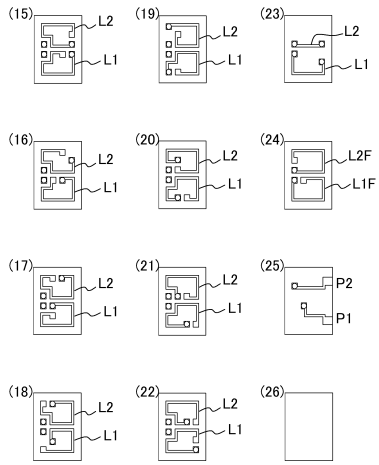
【 図 15 - 1 】

図15-1



【 図 15 - 2 】

図15-2



【 図 7 】

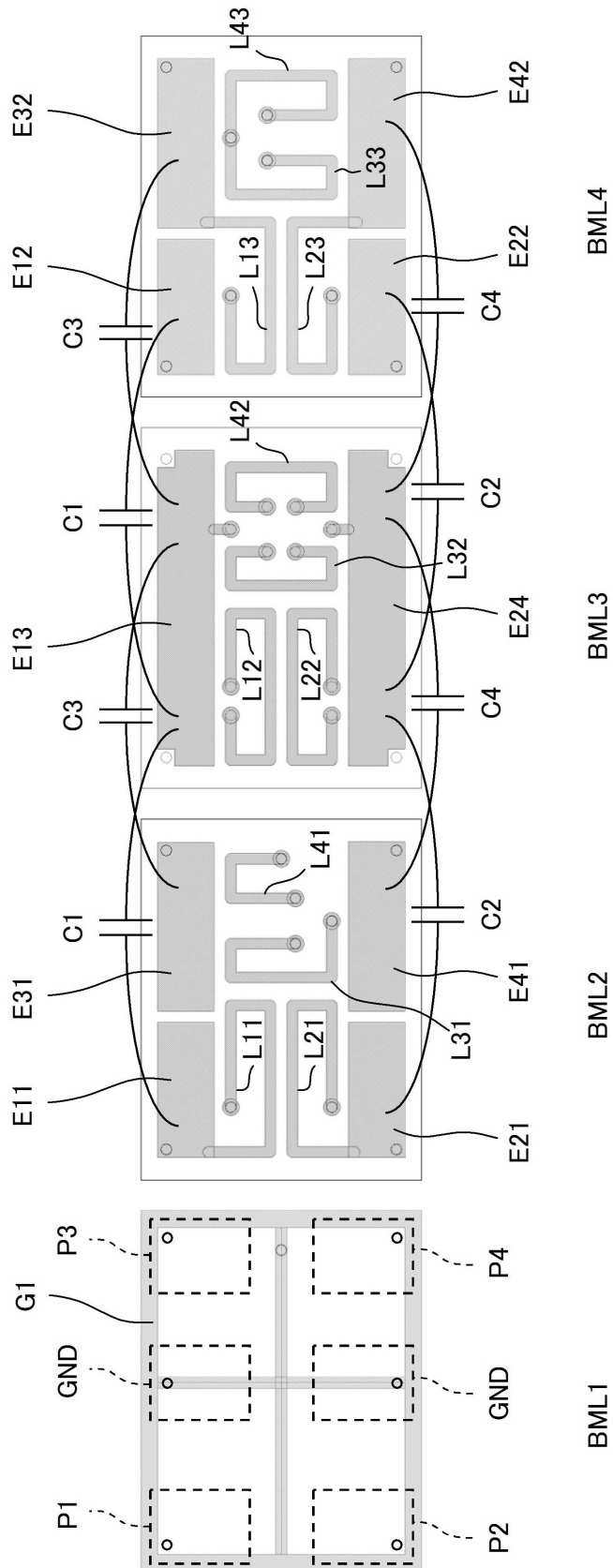
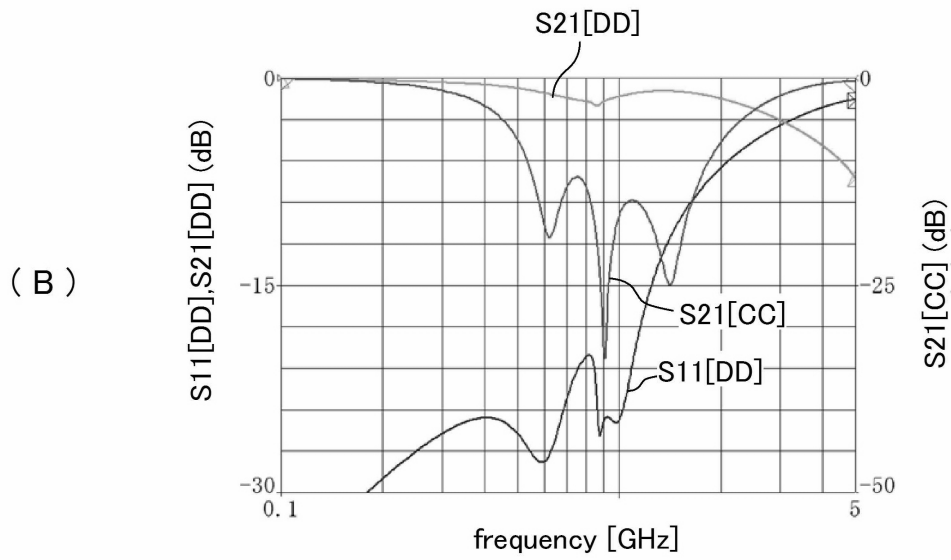
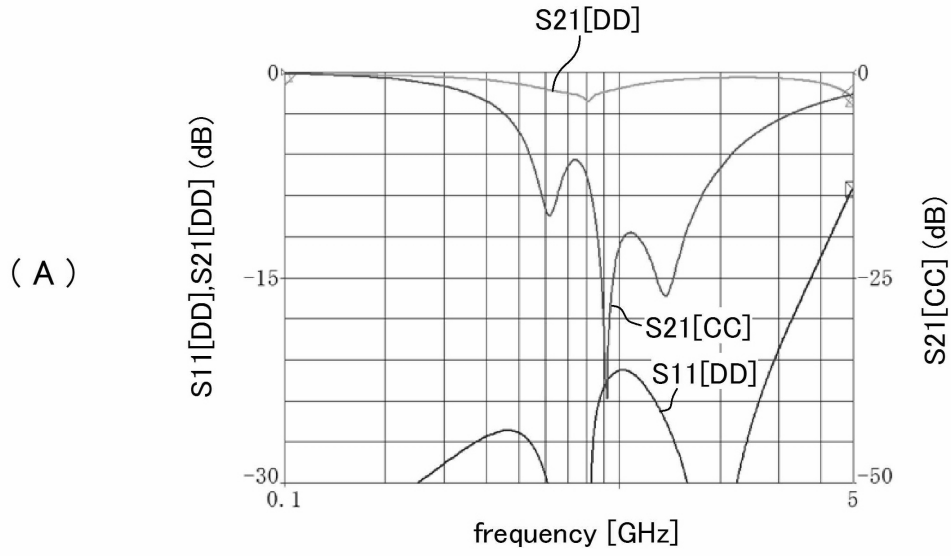


図7

【 図 14 】

図14



フロントページの続き

審査官 高橋 徳浩

- (56)参考文献 特開昭60-96134(JP,A)
実開平3-63076(JP,U)
特開平4-355902(JP,A)
特開平7-106135(JP,A)
特開平10-84669(JP,A)
国際公開第01/67470(WO,A1)
国際公開第01/69710(WO,A1)
特開2005-217839(JP,A)
特開2006-60519(JP,A)
特開2006-60688(JP,A)
特開2008-245037(JP,A)
特開2012-19443(JP,A)
特開2012-70279(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03H1/00 - H03H3/00
H03H5/00 - H03H7/13