发明名称

半导体存储装置

摘要

本发明涉及存储器单元、锁存器等半导体存储装置，其目的在于提供对软错误具有高免疫性的存储器单元等。在本发明中，构成反相器的 P 型和 N 型晶体管被二倍化，被二倍化的 P 型晶体管和 N 型晶体管各有一个配置在不同的势阱上。另外，在本发明中，包括：四对连接 P 型晶体管与 N 型晶体管而成的晶体管对；以及节点 - 横极间连接配线，将各个晶体管对中的 P 型晶体管和 N 型晶体管之间的连接节点和各个 P 型、N 型晶体管的横极在防止因软错误引起的某个节点的电位翻转向其他节点传播的方向上连接。
1. 一种半导体存储装置，其特征在于，
构成反相器的 P 型和 N 型晶体管分别被二倍化，
所述被二倍化的 P 型晶体管和 N 型晶体管各有一个配置在不同的势阱上。

2. 一种半导体存储装置，其特征在于，包括：
四对连接 N 型晶体管与 P 型晶体管而成的晶体管对；以及
节点-栅极间连接单元，将所述各个晶体管对中的 N 型晶体管与 P 型晶体管之间的连接节点和各个 N 型、P 型晶体管的栅极在防止因软错误引起的某个节点的电位翻转向其他节点传播的方向上连接。

3. 如权利要求 2 所述的半导体存储装置，其特征在于，
所述四对晶体管对形成在前后方向上共为四级的环结构，当从一个晶体管对观察时位于后级，即倒序级的晶体管对和所述一个晶体管对是被二倍化的晶体管对。

4. 如权利要求 3 所述的半导体存储装置，其特征在于，
所述节点-栅极间连接单元将所述连接节点连接在所述晶体管对中从自己晶体管对观察时位于后级的晶体管对的 P 型晶体管的栅极、以及位于前级的晶体管对的 N 型晶体管的栅极上。

5. 如权利要求 3 所述的半导体存储装置，其特征在于，
所述被二倍化的晶体管对中的 P 型晶体管和 N 型晶体管各有一个配置在不同的势阱上。

6. 如权利要求 3 所述的半导体存储装置，其特征在于，
在所述四对晶体管对的每对中的所述连接节点上分别连接用于接收输入信号或用于输出输出信号的晶体管。

7. 如权利要求 3 所述的半导体存储装置，其特征在于，
在所述四级的晶体管对中，向所述被二倍化的一组晶体管对中的所述连接节点的两个连接节点提供输入数据，从二倍化的其他组晶体管对中的所述连接节点输出输出数据。
8. 如权利要求 7 所述的半导体存储装置，其特征在于，
在被提供所述输入数据的两个连接节点上分别具有接收输入数据的传输门，
在输出所述输出数据的连接节点与外部之间具有反相器。
9. 如权利要求 7 所述的半导体存储装置，其特征在于，
在被提供所述输入数据的两个连接节点上分别连接接收输入数据的传输门，
在输出所述输出数据的连接节点上连接反相器，
在所述被二倍化的其他组晶体管对的每对上连接在栅极被提供时钟信号的晶体管和在栅极被提供时钟的翻转信号的晶体管。
10. 如权利要求 9 所述的半导体存储装置，其特征在于，
使接收所述输入数据的时钟控制式反相器动作的时钟信号的值和使与所述被二倍化的其他组晶体管对连接的两个晶体管导通的时钟信号的值相反。
半导体存储装置

技术领域
本发明涉及半导体存储装置的结构，特别是，涉及对随着上述电荷的产生而引起的半导体节点电位的翻转，即软错误具有高耐性的半导体存储装置，所述电荷是由于半导体周围的空间中存在的能量粒子的冲撞而产生的。

背景技术
例如，在场效应晶体管（MOSFET）中，如果α射线等的粒子冲撞晶体管的节点，则会产生电子和空穴，如果所产生的电荷量超过节点的临界电荷量，则会引起电位翻转。这种误动作不是由于硬件的缺陷而产生的，因此被称为软错误。

为了防止这种软错误，有效的方法是对于可能发生电位翻转的节点附加静电容，但是，附加较大值的电容在面积方面存在困难，另外通过增加半导体单元的制造工序来附加电容在成本方面也不利。当采取使用ECC等纠错功能的对策时，处理速度的损失大，并且对于与处理较大数据的RAM相比处理小数据单位的锁存器来说，ECC存在面积方面的效率低的问题。当在这种锁存器中采用三倍化结构从而使用多数决定逻辑时，虽然处理较为简单，适于小规模的数据处理，但存在需要三倍以上的面积的问题。

近年来随着晶片技术的微细化，即使对于RAM以外的通常的锁存器来说，其软错误的发生也达到了不能忽视的水平。作为有关这种软错误的对策的现有技术，有下面的文献。

专利文献1：日本专利文献特开平7-7089号公报“存储单元”。

在该文献中，公开了以下技术：将构成锁存器的第一类型（N型）的晶体管分成两部分，并使用第二类型（P型）的势阱来分离配置，由此来
改善荷电粒子入射时的收集电荷量与节点电容之比，降低软错误的发生率。但是，为了完全防止软错误，不仅要对 N 型 (N 沟道) 晶体管采取对策，而且还需要对 P 型 (P 沟道) 晶体管采取对策。另外，即使减小节点电容与收集电荷量之比，也未能解决当由于中子射线而产生了大的电荷时存储状态翻转的问题。

本发明的目的是提供一种对软错误具有高免疫性的半导体存储装置，例如 CMOS 静态 RAM 单元、锁存器。

发明内容

在本发明的半导体存储装置中，构成反相器的 P 型和 N 型晶体管分别被二倍化，所述被二倍化的 P 型晶体管和 N 型晶体管各有一个配置在不同的势阱上。

另外，本发明的半导体存储装置包括：四对连接 N 型晶体管与 P 型晶体管而组成的晶体管对；以及节点-栅极间连接单元，将所述各个晶体管对中的 N 型晶体管与 P 型晶体管之间的连接节点和各个 P 型、N 型晶体管的栅极在防止因软错误引起的某个节点的电位翻转向其他节点传播的方向上连接；另外，四对晶体管对以每两对为一组被二倍化，所述被二倍化的晶体管对中的 P 型晶体管和 N 型晶体管各有一个配置在不同的势阱上。

如上所述，根据本发明，构成反相器的被二倍化的 P 型和 N 型晶体管，或者连接 N 型晶体管和 P 型晶体管而成并被二倍化的晶体管对中的 P 型晶体管和 N 型晶体管各有一个配置在不同的势阱上，由此提高了对软错误的免疫性。另外，通过在某个节点的电位翻转不向其他节点传播的方向上连接四对晶体管对中的连接节点和各个晶体管的栅极，即使在一个节点上产生大的电荷也可以防止错误向相邻节点传播。

附图说明

图 1 是本发明半导体存储装置的第一实施例的构成电路图；
图 2 是与图 1 的电路相对应的布置说明图；
图 3 是半导体存储装置的第二实施例的构成电路图；
图 4 是与图 3 的电路相对应的布置说明图；
图 5 是第二实施例中的数据存存储状态的例子的示意图；
图 6 是在第二实施例中发生软错误时的状态转移例（之一）的说明图；
图 7 是在第二实施例中发生软错误时的状态转移例（之二）的说明图；
图 8 是半导体存储装置的第三实施例的构成电路图；
图 9 是在第三实施例中写入数据 0 时的状态转移例的说明图；
图 10 是半导体存储装置的第四实施例的构成电路图。

具体实施方式
首先，进一步对本发明进行原则性说明。在本发明中，例如进行如下布置：构成存储单元内的反相器的 P 型和 N 型晶体管分别被二倍化，所述被二倍化的 P 型晶体管和 N 型晶体管各有一个配置在不同的势阱上。

另外，本发明的半导体存储装置包括：四对连接 N 型晶体管与 P 型晶体管而成的晶体管对；以及节点-栅极间连接单元，将各个晶体管对中的 N 型晶体管与 P 型晶体管之间的连接节点和各个 P 型、N 型晶体管的栅极在防止因软错误引起的某个节点的电位翻转向其他节点传播的方向上连接；
另外，在四对晶体管对中，每两对分别为被二倍化的晶体管对，所述被二倍化的晶体管对中的 P 型晶体管和 N 型晶体管各有一个配置在不同的势阱上。

另外还可以如下：所述四对晶体管对形成在前后方向上共为四级的环形结构，当从一个晶体管对观察时位于次级后级，即次级前级的晶体管对和所述一个晶体管对是被二倍化的晶体管对。此时，节点-栅极间连接配线也可以将所述连接节点连接在所述晶体管对中从自己晶体管对观察时位于后级的晶体管对的 P 型晶体管的栅极、以及位于前级的晶体管对的 N 型晶体管的栅极上。在本发明中，也可以在所述四对晶体管对的每对中的 P 型晶体管和 N 型晶体管的连接节点上分别连接用于接收输入信号或用于输出输出信号的晶体管。
另外，在本发明中也可以如下：在所述四级的晶体管对中，向所述被二倍化的一组晶体管对的所述连接节点中的两个连接节点提供输入数据，从二倍化的其他组晶体管对的连接节点中的一个连接节点输出数据。

此时，也可以在被提供输入数据的两个连接节点上分别具有接收输入数据的传输门，在输出输出数据的连接节点与外部之间具有反相器。

或者，也可以在被提供输入数据的两个连接节点上分别具有接收输入数据的传输门，在输出输出数据的连接节点上连接反相器，在所述被二倍化的其他组晶体管对的每对上连接在栅极被提供时钟信号的晶体管和在栅极被提供时钟的翻转信号的晶体管，此时，使接收输入数据的时钟控制式反相器（clocked inverter）动作的时钟信号的值和使与二倍化的其他组晶体管对连接的两个晶体管导通的时钟信号的值可以相反。

下面，使用附图来更加详细地说明本发明的实施方式。

图 1 是本发明半导体存储装置的第一实施例，例如静态 RAM 单元或锁存器的构成电路图。该图是由构成 RAM 单元或锁存器的 N 型晶体管和 P 型晶体管的对构成的两个反相器分别被二倍化从而对软错误具有高耐性的半导体存储装置的电路图。

在图 1 中，栅极分别与节点 CX 相连的晶体管 11a 和 12a、11b 和 12b 是分别被二倍化的反相器。因此，晶体管 11a 和 11b 是被二倍化的 P 型晶体管，12a 和 12b 是被二倍化的 N 型晶体管。

同样，栅极分别与节点 C 相连的 P 型晶体管 16a 和 16b、N 型晶体管 17a 和 17b 是构成分别被二倍化的反相器的 P 型晶体管和 N 型晶体管。节点 C 和 CX 是在该半导体存储装置分别存储作为数据的 1 和 0 的状态下变为 H 电平的节点，例如被称为正节点、负节点。

并且，晶体管 11a 和 12a、以及 11b 和 12b 的连接点（节点）通过晶体管 18 与与位线 BL 连接，同样地，晶体管 16a 和 17a、以及 16b 和 17b 的连接点通过晶体管 19 与与位线 BLX 连接，在晶体管 18 和 19 的栅极上连接有字线 WL。

图 2 是在图 1 的电路中被二倍化的晶体管的布置说明图。该图示出了图 1 中被二倍化的晶体管 11a 和 11b、12a 和 12b、16a 和 16b、17a 和 17b 在各
不相同的势阱内间隔距离而配置的布置。

即，在图 2 中，在中央的 P—势阱上配置了 N 型晶体管 12_a 和 17_a，在其右侧的 N—势阱上配置了 P 型晶体管 16_a 和 11_b，在左侧的 N—势阱上配置了 P 型晶体管 11_a 和 16_b，在最右侧的 P—势阱上配置了 N 型晶体管 12_b，在最左侧的 P—势阱上配置了 N 型晶体管 17_b。

另外，在图 2 中，横向长的粗线示出了表示对图 1 中的节点 C 或 CX 进行连接的多晶硅连接（ポリ接続），右侧和左侧的 P—势阱上的短粗线表示向字线 WL 连接的多晶硅连接，在这些短粗线的下面构成了向图 1 的位线 BL 或 BLX 的连接晶体管 18、19。

这样，在第一实施例中采用这样的结构：例如将构成锁存器的两个反相器的 P 型和 N型晶体管分别二倍化，将二倍化各个晶体管设置在中间隔着其他类型势阱的势阱上，或间隔距离而配置，并对于二倍化的晶体管的各个节点，分别连接相对应的节点。导致软错误的由荷电粒子引起的电荷的产生是局部性的，同时在二倍化的晶体管的区域的双方产生电荷的几率小，即使在一个势阱中产生了电荷，该电荷经过势阱间势垒的可能性也很小。由此，可以增大节点的临界电荷量，从而可通过减小荷电粒子入射时电荷收集区域与节点临界电荷量之比来提高对软错误的耐性。

另外，在图 2 的布置中，当将二倍化的晶体管配置在不同的势阱上并同时将两个晶体管配置在同一势阱上时，例如采用配置栅极与正节点 C 相连的晶体管和栅极与负节点 CX 相连的晶体管的方式的布置。与同一势阱内的 P 型晶体管或 N 型晶体管相对应的正节点 C 和负节点 CX 在保持状态时成互补的关系，不会同时成为蓄电节点，因此，在荷电粒子入射时不会同时导致错误的发生。

另外，在图 2 中，由于荷电粒子入射时产生的电荷很少跨越势阱而产生，因此引起软错误的扩散仅在与单元的存储节点 C 和 CX 相对应的两组复制晶体管中的一个中产生。因此，如上所述，可改善收集电荷与节点电容之比，从而可降低软错误率。

图 3 是半导体存储装置的第二实施例的电路图。在该图中，半导体装置基本由 4 对 P 型和 N 型 MOS 晶体管的对构成。在该图中，P 型晶体管
$21_a$ 和 $N$ 型晶体管 $22_a$ 的对，以及 $P$ 型晶体管 $21_b$ 和 $N$ 型晶体管 $22_b$ 的对是相对应的被二倍化的晶体管对。同样，由晶体管 $26_a$ 和 $27_a$ 构成的对，以及由 $26_b$ 和 $27_b$ 构成的对是被二倍化的晶体管对。

此外，例如连接第一晶体管对 $21_a$ 和 $22_a$ 的节点 $C_1$ 与 $P$ 型晶体管 $26_a$ 的栅极以及 $N$ 型晶体管 $27_b$ 的栅极相连，并通过晶体管 $23_a$ 而与位线 $Bla$ 相连，晶体管 $23_b$ 的栅极与字线 $WLa$ 连接。

同样地，第二晶体管对的 $P$ 型的 $26_a$ 和 $N$ 型的 $27_a$ 的连接节点，即 $C_2$ 与 $P$ 型晶体管 $21_b$ 的栅极以及 $N$ 型晶体管 $22_a$ 的栅极相连，并通过晶体管 $28_a$ 而与位线 $BLX_a$ 连接，晶体管 $28_a$ 的栅极与字线 $Wla$ 连接。对于第三晶体管对中的节点 $C_3$ 和第四晶体管对中的节点 $C_4$ 也进行了同样的连接。这些节点 $C_1$～$C_4$ 与各晶体管的栅极的连接配线相当于本发明权利要求 2 中的节点-栅极间连接单元。

在第二实施例中，如上所述通过第一晶体管对和第三晶体管对来进行了二倍化，并通过第二晶体管对和第四晶体管对来进行了二倍化。并且，连接各个晶体管对中的 $P$ 型晶体管与 $N$ 型晶体管的节点分别与后级的 $P$ 型晶体管的栅极和前级的 $N$ 型晶体管的栅极连接。通过具有这样的结构，当荷电粒子入射时即使在一个节点上产生了超过临界电荷量的电荷，错误状态也难以向后级的节点或前级的节点传播，从而可进一步提高软错误耐性，关于这样的效果将在后面详细描述。

图 4 是图 3 的电路的布置例。在该图中，与图 2 相同，在中央的 $P$一势阱的两侧配置了两个 $N$一势阱，并在其外侧配置了两个 $P$一势阱。在中央的 $P$一势阱上配置了 $N$ 型晶体管 $22_a$ 和 $27_a$，在右侧的 $N$一势阱上配置了 $P$ 型晶体管 $21_b$ 和 $26_b$，在左侧的 $N$一势阱上配置了 $P$ 型晶体管 $21_a$ 和 $26_a$，在最右侧的 $P$一势阱上配置了 $N$ 型晶体管 $22_b$，在最左侧的 $P$一势阱上配置了 $N$ 型晶体管 $27_b$。该配置例是在易于布线、缩小面积等方面属优选配置的一个具体例。

图 5 示出了图 3 的半导体存储装置的第二实施例中的存储状态，即数据保持状态的例子。在该图中，如上所述，晶体管对 1 和晶体管对 3、以及晶体管对 2 和晶体管对 4 是分别被二倍化的晶体管对，在这些对内的 $P$
型晶体管和 N 型晶体管的连接节点中，C1 和 C3、C2 和 C4 分别作为被二倍化的节点而保持相同的值。

在图 5 中，当存储装置例如作为存储器而保持数据 0 时，节点 C1 和 C3 为 L，节点 C2 和 C4 为 H。构成晶体管对的各个晶体管的状态由表示截止的负号（一）、导通时欲将节点下拉至 L 的向下的箭头、或导通时欲将节点的电位上拉至 H 的向上的箭头中的某一个来表示。各个节点的电压状态由表示高电压状态的 H、表示中间电位状态的 M、以及表示低电位状态的 L 中的某一个来表示。

当作为存储器而保存数据 1 时，节点 C1 和 C3 保持 H，节点 C2 和 C4 保持 L，各个晶体管对的状态由负号（一）、向下的箭头、或向上的箭头中的某一个来表示。

在图 5 中若要写入数据 0，则在图 3 中同时使字线 Wla 和 Wlb 为 H、使位线 Bla 和 BLb 为 L 即可。另外，若要写入数据 1，则可通过同时使 Wla、Wlb 为 H 并将位线 BLXa 和 BLXb 设定为 L 来进行写入。当读出数据时，通过独立使用 WLa、Bla、BLXa 和 Wlb、BLb、BLXb 的各个组，也可以使图 3 的电路作为具有两个读端口的存储装置而动作。如果不区分这两组而与写入数据时一样地提供相同的信号，则可使图 3 的电路作为通常的单端口 RAM 单元或锁存器而发挥作用。

图 6、图 7 是说明在图 3 的电路中发生了软错误时、即在一个节点的电位翻转时直至状态恢复为止的状态转移例的图。在本实施方式中，假设如下状态来说明状态转移，即：在构成晶体管对的 P 型晶体管和 N 型晶体管中，N 型晶体管处于强的状态、也就是尺寸和流程的电流大从而支配晶体管对的动作的状态，并且当节点的电位从 H 翻转为 L 时比从 L 翻转为 H 时更容易恢复的状态。

图 6 示出了如上述容易恢复的电位的翻转方向、即在节点 C3 发生了从 H 到 L 的电位翻转时的状态转移的例子。在该图中假定：在时刻 0，处于图 5 所示的保持 “1” 时的状态，在时刻 1，由于软错误而节点 C3 的电位翻转为 L。

节点 C3 在图 3 中与 P 型晶体管 26b 的栅极和 N 型晶体管 27a 的栅极连
接，在时刻 2，晶体管 26b 导通，从而成为将节点 C4 的电位上拉至 H 的状态。另外，晶体管 27a 截止。

此后，在时刻 3，C3 的电位朝着恢复的方向变化，但由于晶体管对 2 一侧的晶体管 26a 和 27b 均截止的时间长，所以在节点 C2 几乎不发生电位变化，另外尽管在晶体管对 4 一侧晶体管 26b 导通从而欲将节点 C4 的电位上拉至 H，但由于 N 型晶体管 27b 也导通，从而相反地欲将节点 C4 的电位下拉至 L，因此，节点 C4 的电位变化也很缓慢。于是，错误节点 C3 迅速恢复，从而如时刻 4 所示，节点 C3 的电位恢复为 H，N 型晶体管 27a 导通，变为将节点 C2 下拉至 L 的状态。另外，P 型晶体管 26b 截止，节点 C4 的电位保持为 L。

图 7 示出了节点电位的翻转方向为比图 6 的翻转方向难以恢复的、从 L 向 H 的方向时的状态转移的例子。在该图中，图 3 的节点 C2 的电位由于软错误而从时刻 0 的 L 翻转为时刻 1 的 H。

在时刻 2，在栅极被提供节点 C2 的电位的 P 型晶体管 21b 截止，并且 N 型晶体管 22a 从截止状态变为导通状态，从而变为将节点 C1 的电位下拉至 L 的状态。通常来说，因软错误而电位发生翻转的节点 C2 最早恢复，但由于其恢复的趋势弱于图 6，因此，这里假定节点 C1 的电位在 C2 的电位恢复之前已经翻转。在时刻 3，节点 C2 的电位为 H 与 L 中间的 M，节点 C1 的电位翻转为 L，但构成晶体管对 1 的 P 型晶体管 21a 和 N 型晶体管 22a 均导通，因而节点 C1 的电位变化缓慢。

这里，如上所述假定了 N 型晶体管较强，在时刻 4，节点 C1 和 C2 的电位均通过 N 型晶体管的动作而向 L 变化，并在时刻 5 变为与图 6 中的时刻 2 相当的模式。即，在图 6 的时刻 2 和图 7 的时刻 5，通过互换晶体管对 3 及 4 与晶体管 1 及 2 的状态而变为完全相同的状态。在图 3 中，晶体管对 1 和 3、晶体管对 2 和 4 相当于分别被二倍化了的晶体管对，因此即使在晶体管对 1 及 3、与 2 及 4 之间交换状态数据，整体动作也完全相同。因此，其后的状态转移如图 6 的时刻 2 至时刻 4 那样进行，并最终向图 7 的时刻 0 的状态进行状态转移。

即，在第二实施例中，即使在某个节点例如因中子射线而产生了大的
电荷并导致电位翻转，其影响波及到相邻节点的可能性也很小。

图 8 是半导体存储装置的第三实施例的电路图。在该图中，作为存储装置，例如锁存器的基本构成要素的四对晶体管对具有与图 3 相同的结构，其不同点在于具有用于分别向节点 C1 和 C3 施加输入的传输门 30a、30b，以及用于从节点 C4 取出输出的反相器 31。在该电路中，与图 3 一样，例如可通过向节点 C1 和 C3 施加数据 0，即将节点 C1 和 C3 驱动为 L，来变为图 5 中的保持“0”时的状态。

图 9 示出了写入该“0”时的状态转移的例子。在该图中，在时刻 0 为图 5 中的保持“1”时的状态，在该状态下，通过在时刻 1 将节点 C1 和 C3 驱动为 L 来进行“0”状态的写入。

即，在时刻 2，由于节点 C1 和 C3 的电位变化，与这些节点连接的晶体管的状态发生变化。即，在晶体管对 2 中，P 型晶体管 26a 导通，从而欲将节点 C2 的电位上拉为 H，N 型晶体管 27a 截止。晶体管对 4 中的晶体管 26a 导通，从而欲将节点 C4 的电位上拉为 H，N 型晶体管 27a 截止。

在时刻 3，节点 C1 和 C3 的电位保持它们被驱动时的值，两端的节点、即节点 C2 和 C4 的电位从 L 翻转为 H。由此，在时刻 4，晶体管对 1 的 P 型晶体管 21a 截止，N 型晶体管 22a 导通从而欲将节点 C1 下拉至电位 L。另外，晶体管对 3 中的 P 型晶体管 21b 截止，N 型晶体管 22b 导通，从而欲将节点 C3 的电位下拉至 L。由此，动作稳定，向图 5 中的“保持 0”时的状态的转移结束。

即，在第二、第三实施例中，当写入数据时通过向两个节点提供两个输入（相同值），能够可靠地进行数据的写入。

图 10 是半导体存储装置的第四实施例的电路图。在该实施例中，图 8 的第三实施例中的用于写入数据的两个传输门被替换为时钟控制式反相器，在栅极被提供时钟信号 CK 的 P 型晶体管，以及在栅极被提供时钟的翻转信号 CKX 的 N 型晶体管连接在四对晶体管对中的两对晶体管对上。

即，在图 10 中，图 8 中的传输门 30a、30b 被分别替换为由晶体管 50a、51a、52a 构成的时钟控制式反相器，和由晶体管 50b、51b、52b 构成的时钟控制式反相器，并且晶体管 41a 和 42a 与晶体管对 2 连接，晶体管 41b
和 42b 与晶体管对 4 连接。

在图 10 中，例如向构成输入侧的时钟控制式反相器的 N 型晶体管 50a 的栅极提供时钟信号 CK，向 P 型晶体管 51a 的栅极提供时钟的翻转信号 CKX。与此相对，例如向与晶体管对 2 串联连接的 N 型晶体管 42a 的栅极提供时钟的翻转信号 CKX，向 P 型晶体管 41a 的栅极提供时钟信号 CK。

由此，当输入侧的时钟控制式反相器动作从而向节点 C1 和 C3 提供写入数据时，与相邻节点 C2 和 C4 连接的晶体管对变为不动作的状态。例如，当如通过图 9 所说明的那样进行数据写入时，虽然存在来自相邻节点的晶体管的影响，但在图 10 的第四实施例中，通过切断该影响，可加快动作速度。

工业实用性

本发明可以应用于半导体存储装置、例如存储器单元或锁存器等的制造业，以及使用将这种半导体存储装置用作元件的各种装置的所有产业中。
### 图5

<table>
<thead>
<tr>
<th></th>
<th>晶体管对1</th>
<th>晶体管对2</th>
<th>晶体管对3</th>
<th>晶体管对4</th>
</tr>
</thead>
<tbody>
<tr>
<td>21a</td>
<td>C1</td>
<td>22a</td>
<td>26a</td>
<td>C2</td>
</tr>
<tr>
<td>保持“0”时</td>
<td>-</td>
<td>L</td>
<td></td>
<td>↑</td>
</tr>
<tr>
<td>保持“1”时</td>
<td>↑</td>
<td>H</td>
<td></td>
<td>-</td>
</tr>
</tbody>
</table>

### 图6

<table>
<thead>
<tr>
<th></th>
<th>晶体管对1</th>
<th>晶体管对2</th>
<th>晶体管对3</th>
<th>晶体管对4</th>
</tr>
</thead>
<tbody>
<tr>
<td>21a</td>
<td>C1</td>
<td>22a</td>
<td>26a</td>
<td>C2</td>
</tr>
<tr>
<td>时刻0</td>
<td>↑</td>
<td>H</td>
<td>-</td>
<td>-</td>
</tr>
<tr>
<td>时刻1</td>
<td>↑</td>
<td>H</td>
<td>-</td>
<td>-</td>
</tr>
<tr>
<td>时刻2</td>
<td>↑</td>
<td>H</td>
<td>-</td>
<td>-</td>
</tr>
<tr>
<td>时刻3</td>
<td>↑</td>
<td>H</td>
<td>-</td>
<td>-</td>
</tr>
<tr>
<td>时刻4</td>
<td>↑</td>
<td>H</td>
<td>-</td>
<td>-</td>
</tr>
</tbody>
</table>

†（当节点C3发生软错误时。）

††（输入节点C3的电位的下一级晶体管的状态发生变化。）

†††（节点C3的电位指向恢复的方向，相邻的节点抵抗其恢复。）

†（恢复）
<table>
<thead>
<tr>
<th>时刻</th>
<th>晶体管对1</th>
<th>晶体管对2</th>
<th>晶体管对3</th>
<th>晶体管对4</th>
</tr>
</thead>
<tbody>
<tr>
<td>0</td>
<td>↑ H</td>
<td>C1</td>
<td>26a</td>
<td>27a</td>
</tr>
<tr>
<td></td>
<td>L</td>
<td>L</td>
<td>L</td>
<td>L</td>
</tr>
</tbody>
</table>

↓（当节点C2发生软错误时。）

<table>
<thead>
<tr>
<th>时刻</th>
<th>H</th>
<th>L</th>
<th>H</th>
<th>H</th>
</tr>
</thead>
<tbody>
<tr>
<td>1</td>
<td>L</td>
<td>L</td>
<td>L</td>
<td></td>
</tr>
</tbody>
</table>

↓（输入节点C2的电位的下一级晶体管的状态发生变化。）

<table>
<thead>
<tr>
<th>时刻</th>
<th>H</th>
<th>L</th>
<th>H</th>
<th>L</th>
</tr>
</thead>
<tbody>
<tr>
<td>2</td>
<td>H</td>
<td>L</td>
<td></td>
<td></td>
</tr>
</tbody>
</table>

↓（通常C2的电位最早恢复，但假设C1已先翻转。）

<table>
<thead>
<tr>
<th>时刻</th>
<th>L</th>
<th>M</th>
<th>L</th>
<th>L</th>
</tr>
</thead>
<tbody>
<tr>
<td>3</td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
</tbody>
</table>

↓（由于假设N型晶体管，所以C1、C2均向Low变化。）

<table>
<thead>
<tr>
<th>时刻</th>
<th>L</th>
<th>M</th>
<th>H</th>
<th>L</th>
</tr>
</thead>
<tbody>
<tr>
<td>4</td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
</tbody>
</table>

↓（变为图6的模式，最终恢复。）

<table>
<thead>
<tr>
<th>时刻</th>
<th>L</th>
<th>L</th>
<th>H</th>
<th>L</th>
</tr>
</thead>
<tbody>
<tr>
<td>5</td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
</tbody>
</table>

图7
<table>
<thead>
<tr>
<th>时刻</th>
<th>晶体管对1</th>
<th></th>
<th></th>
<th>晶体管对2</th>
<th></th>
<th></th>
<th>晶体管对3</th>
<th></th>
<th></th>
<th>晶体管对4</th>
</tr>
</thead>
<tbody>
<tr>
<td>时刻0</td>
<td>H</td>
<td>-</td>
<td>-</td>
<td>L</td>
<td>-</td>
<td>-</td>
<td>L</td>
<td>-</td>
<td>-</td>
<td>L</td>
</tr>
<tr>
<td>时刻1</td>
<td>L</td>
<td>-</td>
<td>-</td>
<td>L</td>
<td>-</td>
<td>-</td>
<td>L</td>
<td>-</td>
<td>-</td>
<td>L</td>
</tr>
<tr>
<td>时刻2</td>
<td>L</td>
<td>-</td>
<td>-</td>
<td>L</td>
<td>-</td>
<td>-</td>
<td>L</td>
<td>-</td>
<td>-</td>
<td>L</td>
</tr>
<tr>
<td>时刻3</td>
<td>L</td>
<td>-</td>
<td>-</td>
<td>H</td>
<td>-</td>
<td>-</td>
<td>L</td>
<td>-</td>
<td>-</td>
<td>H</td>
</tr>
<tr>
<td>时刻4</td>
<td>-</td>
<td>L</td>
<td>-</td>
<td>H</td>
<td>-</td>
<td>-</td>
<td>L</td>
<td>-</td>
<td>-</td>
<td>H</td>
</tr>
</tbody>
</table>

↓ （当将节点C1和C3驱动为L来进行写入。）

↓ （输入节点C1、C3的电位的下一级晶体管的状态发生变化。）

↓ （节点C1、C3的电位保持驱动值，相邻的节点翻转。）

↓ （翻转后稳定。）

图9
图10