



Patent dodatkowy
do patentu nr ———

Zgłoszono: 85 08 15 (P. 255008)

Pierwszeństwo ———

Zgłoszenie ogłoszono: 87 02 23

Opis patentowy opublikowano: 1990 03 31

Int. Cl.⁴ G11C 27/04
H01L 29/76



Twórcy wynalazku: Bronisław Jachym, Władysław Tomaszewicz, Gerard Wiśniewski

Uprawniony z patentu: Politechnika Gdańska,
Gdańsk (Polska)

Układ półprzewodnikowej pamięci dynamicznej

Przedmiotem wynalazku jest układ półprzewodnikowej pamięci dynamicznej cyrkulacyjnej, zwłaszcza dla złożonych systemów komputerowych.

Znane układy pamięci dynamicznych zbudowane są z wykorzystaniem rejestrów przesuwających zestawionych z większej liczby powtarzających się podstawowych komórek. Jako podstawowe komórki stosuje się układ trzech tranzystorów MOS lub układ inwerterów logicznych w technologii MOS. W obu przypadkach element pamięciowy stanowi pojemność rozproszona wejścia, tj. bramki, tranzystora lub inwertera. W przypadku rejestru zbudowanego z tranzystorów MOS, sygnał podawany jest na wejście tranzystora działającego w konfiguracji przełącznika, którego bramka jest sterowana sygnałem, wymuszającym zapis informacji z zewnętrznego układu sterowania pamięcią. Wyjście tego tranzystora przyłączone jest do bramki tranzystora pamięciowego. Bramka tego tranzystora pamięciowego posiada względem stałego potencjału zasilania, pojemność rozproszoną, której wartość wynika z przyjętej technologii wykonania tranzystora. Pojemność rozproszona i rezystancja wejścia bramki tranzystora stanowią właściwy element pamięciowy.

Tranzystor pamięciowy pracuje w konfiguracji odwracania sygnału. Wyjście sygnałowe tego tranzystora pamięciowego przyłączone jest do wejścia trzeciego tranzystora pracującego w konfiguracji przełącznika, którego bramka sterowana jest sygnałem z zewnętrznego układu sterowania. Tranzystor ten stanowi element odczytu informacji. Przy zestawieniu w szereg komórek o podanej wyżej budowie, tranzystor odczytu poprzedniej komórki stanowi tranzystor zapisu informacji dla następnej komórki. Przy zestawieniu n komórek w rejestrze, w celu odświeżenia zapisu, zewnętrzny układ sterujący zwiera wyjście rejestru z jego wejściem i generuje n taktów zegarowych. Czas w jakim wymaga jest odświeżanie pamięci wynosi około 1 ms.

W innym znanym rozwiązaniu półprzewodnikowy rejestr przesuwający stanowi struktura ze sprzężeniem ładunkowym /CCD/. Płytką półprzewodnikową typu n lub p ma na powierzchni szereg metalizowanych elektrod wzajemnie do siebie i od półprzewodnika odizolowanych. Wejście i wyjście struktury CCD stanowi obszar półprzewodnika przeciwnego typu. Wejście polaryzowane

jest w kierunku przewodzenia w stosunku do podłoża, a wyjście polaryzowane jest w kierunku zaporowym. Przy wstrzyknięciu ładunku w obszar podłoża, elektrody metalizowane sterują przepływem sygnału, tj. ładunku z wejścia w kierunku wyjścia, za pomocą sekwencyjnie przykładanego potencjału zewnętrznego. Dioda wyjściowa spolaryzowana w kierunku zaporowym stanowi element odczytu sygnału, który po wzmocnieniu w zewnętrznym elemencie aktywnym, np. tranzystora MOS, przenoszonym jest ponownie na wejście struktury w układzie sprzężenia zwrotnego, co stanowi cyrkulacyjną pamięć dynamiczną. Zewnętrzny układ sterujący zawiera odpowiadającą ilości elektrod przechwytyjących, ilość szyn sterujących. Czas odświeżenia informacji w pamięci tego typu może być o 1–2 rzędy dłuższy niż w opisanych poprzednio układach pamięci, czyli może wynosić do 100 ms.

W opisanych układach pamięci dynamicznej czas dostępu czyli wyczekiwanie na pojawienie się na wyjściu pełnej informacji wynosi od 1 ms do 100 ms. Tak długi czas wyczekiwania jest niekorzystny w szeregu zastosowaniach, zwłaszcza w złożonych systemach komputerowych. Struktury CCD do wysterowania wymagają zastosowania dużej liczby szyn sterujących elektrodami, co komplikuje topografię układu scalonego przez zmniejszenie gęstości upakowania a także wymaga stosowania złożonego zewnętrznego układu sterującego pracą pamięci. W zależności od szczegółowego rozwiązania liczba elektrod sterujących jest 2–3 krotnie większa od liczby bitów przechowywanych w rejestrze.

Celem wynalazku jest opracowanie pamięci dynamicznej opartej na zasadzie przechowywania i detekcji sygnału-ładunku o dużej szybkości działania i krótkim czasie dostępu do informacji.

Według wynalazku układ półprzewodnikowej pamięci dynamicznej zawierający rejestr przesuwający, układ odczytu i układ sterujący, charakteryzuje się tym, że rejestr przesuwający stanowi pięć będących ze sobą w kontakcie warstw półprzewodnika, gdzie zewnętrzne powierzchnie dwóch skrajnych warstw półprzewodnika o jednakowym typie przewodnictwa są w kontakcie z dwoma wewnętrznymi warstwami półprzewodnika o jednakowym, silnie przeciwnym w stosunku do warstw skrajnych typie przewodnictwa, zaś warstwy wewnętrzne półprzewodnika są w kontakcie z jedną warstwą środkową półprzewodnika o tym samym co warstwy wewnętrzne, lecz słabym typie przewodnictwa, lub o samoistnym typie przewodnictwa, przy czym jedno złącze pomiędzy warstwą skrajną i warstwą wewnętrzną polaryzowane jest w kierunku przewodzenia, a drugie złącze pomiędzy warstwą wewnętrzną a warstwą skrajną spolaryzowane jest w kierunku zaporowym, przy czym elektroda wyjściowa rejestru przesuwającego połączona jest poprzez rezystor z ujemnym biegunem źródła zasilania układu oraz przyłączona jest do elektrody sterującej aktywnego elementu półprzewodnikowego o dużej impedancji wejściowej i dużym wzmocnieniu, a wyjście tego elementu aktywnego w konfiguracji odwrócenia sygnału połączone jest z drugiej strony z dodatnim biegunem źródła zasilania układu poprzez obciążenie i z drugiej strony z jednym z wejść mnożącej bramki logicznej z odwróceniem wyniku mnożenia, której wyjście stanowi wyjście sygnału i wyjście to przyłączone jest do dwuwejściowego aktywnego elementu mnożącego poprzez jedno z wejść sterujących, a drugie wejście sterujące tego aktywnego elementu mnożącego przyłączone jest do wyjścia układu programującego, a wyjście elementu mnożącego połączone jest z warstwą wewnętrzną rejestru przesuwającego polaryzowaną zaporowo w stosunku do warstwy środkowej, przy czym wyjście elementu mnożącego połączone jest również poprzez element podwyższania napięcia z warstwą wewnętrzną spolaryzowaną w kierunku przewodzenia w stosunku do warstwy środkowej i poprzez obciążenie zwarte z dodatnim biegunem źródła zasilania układu.

Układ programujący zbudowany jest z bramki logicznej typu NAND, której jedno wejście stanowi wejście sygnałowe, a drugie wejście poprzez inwerter połączone jest z wejściem ustalającym funkcję układu półprzewodnikowej pamięci dynamicznej, a wyjście tej bramki NAND zwarte jest z jednym z wejść bramki logicznej AND na której drugie wejście podawany jest zewnętrzny sygnał zegarowy sterujący pracą pamięci, a wyjście tej bramki AND stanowi wejście układu programującego.

Warstwę środkową w rejestrze przesuwającym stanowi warstwa półprzewodnikowa typu p o słabym przewodnictwie. Aktywny element półprzewodnikowy stanowi tranzystor typu FET lub MOS-FET. Aktywny element mnożący stanowi dwubramkowy tranzystor typu MOS-FET. Obciążenie w układzie stanowią rezystory. Element przesuwający napięcie stanowi skompensowana termicznie dioda Zenera. Mnożącą bramkę logiczną stanowi trójwejściowa bramka typu NAND,

gdzie to drugie z wejść przyłączony jest zewnętrzny sygnał zegarowy, a do trzeciego z wejść podawany jest sygnał ustalający funkcję pracy układu pamięci.

Przedstawiony układ pamięci dynamicznej, którego główny element stanowi rejestr przesuwający o zaprogramowanej prostej konstrukcji charakteryzuje się małą ilością odprowadzeń sterujących przy dużej szybkości pracy układu i krótkim czasie dostępu do informacji na wyjściu. Informacja wprowadzona do rejestru, zapamiętana jest w postaci chmury ładunku unoszonej w wewnętrznym polu elektrycznym, przez co eliminuje się opóźnienia powodowane zewnętrznymi układami sterowania i samą konstrukcją układów opisanych w stanie techniki. W rozwiązaniu według niniejszego zgłoszenia wykorzystano naturalny rejestr cyrkulacyjny unikając stosowania biernych elementów pamięciowych w postaci pojemności, np. tranzystory, inwertery lub struktura CCD charakteryzująca się pojemnością pomiędzy bramką sterującą krążeniem ładunku a podłożem. Maksymalna liczba bitów w pojedynczym rejestrze pamięci według wynalazku ograniczona jest jedynie przez dyfuzyjne rozmycie warstw ładunku. Szybkość pamięci jest tym większa, tzn. czas dostępu do informacji tym mniejszy, im ruchliwość nośników w półprzewodniku, z którego wykonano rejestr jest większa. Oznacza to, że istnieje możliwość modyfikacji szybkości działania pamięci w szerokim zakresie przez zastosowanie odpowiednich półprzewodników lub ich domieszkowanie.

Układ pamięci według wynalazku pozwala na łatwe scalenie w zestaw pamięci, przy czym układ odtwarzania umożliwia normowanie sygnału dla większej ilości komórek pamięci wspólnym sygnałem zegarowym, co zapewnia synchroniczną pracę całego zestawu komórek pamięci. Umożliwia to dokładną, równoległą lub szeregową, organizację zapisu i odczytu informacji. Zastępuje to w pełni dotychczas stosowane układy pamięci dynamicznych z tym, że czas dostępu i szybkość działania układu według wynalazku przewyższają dotychczasowe rozwiązania.

Układ półprzewodnikowej pamięci dynamicznej według wynalazku przedstawiono w przykładach wykonania zilustrowanych rysunkiem schematu ideowego układu.

Przykład I. Podstawowym elementem układu jest rejestr przesuwający. Rejestr ma podłoże krzemowe stanowiące warstwę środkową **7**, o grubości $500\mu\text{m}$. Na podłożu krzemowym, metodą implantacji jonów naniesione są wewnętrzne warstwy półprzewodnika **5**, **6** typu p o grubości $1\mu\text{m}$. Zewnętrzne powierzchnie tych warstw **5**, **6** są w kontakcie ze słabiej domieszkowanymi zewnętrznymi warstwami półprzewodnika **1**, **2** typu p. Zewnętrzne powierzchnie warstw **1**, **2** i **5**, **6** pokryte są aluminiowymi warstwami stanowiącymi elektrody odpowiednio **3**, **4** i **8**, **9**. Całość rejestru pokryta jest tlenkiem krzemu z pozostawieniem wolnych miejsc na doprowadzenie metalizacji do elektrod. Na tym samym podłożu wykonana jest struktura elementu podwyższania napięcia w postaci diody Zenera **16**, tranzystora jednobramkowego typu MOS **11**, tranzystora dwubramkowego typu MOS **14**, oporników warstwowych **10**, **12**, **17** oraz trzywejściowej bramki logicznej typu NAND **13** wykonanej w technologii Schottky'ego. Elektroda **3** przyłączona jest do dodatniego bieguna zasilania w postaci metalowej szyny na powierzchni struktury rejestru. Do dodatniego bieguna zasilania przyłączony jest rezystor warstwowy **17**, którego drugie wyjście przyłączone jest do elektrody **8** rejestru i do anody diody Zenera **16**. Katoda diody Zenera **16** przyłączona jest do elektrody **9** rejestru i do drenu tranzystora **14** którego źródło zwarte jest z ujemnym biegunem zasilania układu.

Elektroda **4** rejestru zwarta jest poprzez rezystor **10** z ujemnym biegunem źródła zasilania rejestru i jednocześnie jest ona zwarta z bramką tranzystora **11** pracującego jako wzmacniacz odczytu. Dren tranzystora **11** przyłączony jest poprzez rezystor **12** z dodatnim biegunem źródła zasilania, a źródło tego tranzystora jest połączone z ujemnym biegunem źródła zasilania. Z drenu tranzystora **11** wzmocniony i odwrócony sygnał odczytu podawany jest na jedno z wejść bramki NAND **13**. Na dwa pozostałe wejścia bramki **13** podawany jest sygnał zegarowy oraz zewnętrzny sygnał ustalający funkcję pracy układu. Wyjście bramki **13** stanowi wyjście układu pamięci. Wyjście to połączone jest również z jedną z bramek aktywnego elementu mnożącego w postaci tranzystora dwubramkowego MOS **14**. Druga bramka tranzystora **14** zwarta jest z wyjściem układu programującego **15**, ustalającego pracę układu. Układ programujący **15** zbudowany jest z bramki logicznej typu NAND **18**, której jedno wejście stanowi wejście sygnałowe, a drugie wejście jest poprzez inwerter **19** połączone z wejściem ustalającym funkcję pracy układu pamięci. Wyjście tej bramki **18** zwarte jest z jednym z wejść bramki logicznej AND **20**, na której drugie wejście

podawany jest zewnętrzny sygnał zegarowy. Wyjście tej bramki **20** stanowi wyjście układu programującego **15**. Bramki **18**, **19**, **20** zbudowane są według technologii Schottky'ego na podłożu krzemowym. Przy wymaganej pojemności 16 bitów komórki pamięciowej częstotliwości zegara wynosi 40 MHz dla diody Zenera **16** o napięciu wstecznym 10 V i wstrzykiwanych dziurach, szerokości jednego bitu informacji wynosi 25 ns przy grubości podłoża krzemowego 500 μm .

Przykład II. Rejestr przesuwający zbudowany jest na podłożu amorficznego wodoru krzemu a — SiH o grubości 50 μm , na które naniesione są kolejno warstwy wewnętrzne **5**, **6** typu silne p oraz warstwy skrajne **1**, **2** typu p domieszkowane bromem. Grubość każdej z warstw **1**, **2**, **5**, **6** wynosi 3 μm . Elektrody **3**, **4**, **8**, **9** wykonane są w postaci napylonego złota. Izolacja zewnętrzna wykonana jest w postaci napylonego tlenku krzemu. Pozostałe elementy układu połączone są jak w przykładzie I, z tym że rejestr przesuwający stanowi samodzielną płytkę, zaś pozostałe elementy układu stanowią odrębną płytkę wykonaną na podłożu krzemowym i połączoną z płytką rejestru hybrydowo. Przy napięciu diody Zenera **16** 10 V częstotliwość pracy zegara zewnętrznego wynosi 34 MHz i szerokość jednego bitu wynosi 30 ns.

Element pamięciowy-rejestr przesuwający działa na zasadzie generacji nadmiarowych nośników ładunku w pobliżu warstwy wewnętrznej **5**. Wytworzona warstwa ładunku przesuwa się w warstwie środkowej **7** półprzewodnika w kierunku przeciwległej warstwy wewnętrznej **6** pod wpływem zewnętrznego pola elektrycznego. Dobierając częstotliwość i czas trwania, tj. szerokość impulsów zegarowych można w obszar warstwy środkowej **7** wstrzyknąć kilkanaście warstw ładunku. Warstwy ładunku w warstwie środkowej **7** ulegają rozmyciu dyfuzyjnemu, co powoduje konieczność ograniczenia ich ilości. Dla możliwej ich identyfikacji na wyjściu rejestru, maksymalna liczba bitów zapisana w rejestrze wyraża się wzorem:

$$N = \frac{eU}{kT}$$

gdzie

e — ładunek elementarny

U — napięcie pomiędzy elektrodami **8**, **9**

k — stała Boltzmanna

T — temperatura w skali bezwzględnej

Maksymalna liczba bitów opisana powyższym wzorem nie zależy od rodzaju materiału z którego wykonany jest element pamięciowy i nieprzekroczenie jej przy danych warunkach zewnętrznych /u, T/ gwarantuje poprawną pracę rejestru. Od rodzaju materiału zależy natomiast częstotliwość i czas trwania impulsu. Zależność ta wyraża się wzorem:

$$f = \frac{1}{T} = \frac{N \cdot \mu \cdot U}{d^2}$$

gdzie

N — liczba bitów wpisanych do rejestru,

μ — ruchliwość wstrzykniętych nośników w obszarze warstwy środkowej **7**,

U — napięcie między elektrodami **8**, **9**,

T — okres, tj. szerokość impulsu,

d — grubość warstwy środkowej **7**.

Warstwy ładunku po dojściu przez warstwę środkową **7** do przeciwległej elektrody spolaryzowanej zaporowo są zbierane na oporniku **10**. Sygnał napięciowy odczytu z rezystora **10** zostaje poddany wzmocnieniu napięciowemu w torze sprzężenia zwrotnego realizowanego przez tranzystor **11**, bramkę logiczną **13** i tranzystor **14**. W torze sprzężenia zwrotnego realizowane jest także normowanie w czasie impulsów wyjściowych przez wymnożenie sygnału wyjściowego z sygnałem synchronizującym zegarowym w elemencie mnożącym **14**.

Celem normowania impulsów jest usunięcie dyfuzyjnego rozmycia w czasie wstrzykniętych warstw ładunku. Sygnał zwrotny poprzez tranzystor **14**, diodę **16** i rezystor **17** steruje kolejnym

wprowadzeniem ładunku do rejestru. W ten sposób informacja wprowadzona krąży w rejestrze. Bramka logiczna 13 pełni rolę przełącznika umożliwiając wpisanie nowej informacji, stosowanie informacji krążącej w układzie lub pamiętanie aktualnej informacji i jest jednocześnie elementem odwracającym polaryzację sygnału na wyjściu tranzystora 11.

Zastrzeżenia patentowe

1. Układ półprzewodnikowej pamięci dynamicznej zawierający rejestr przesuwający, układ odczytu i układ sterujący, **znamienny tym**, że rejestr przesuwający stanowi pięć będących ze sobą w kontakcie warstw półprzewodnika, gdzie zewnętrzne powierzchnie dwóch skrajnych warstw (1, 2) półprzewodnika o jednakowym typie przewodnictwa są w kontakcie z dwoma wewnętrznymi warstwami (5, 6) półprzewodnika o jednakowym, silnie przeciwnym w stosunku do warstw skrajnych typie przewodnictwa, zaś warstwy wewnętrzne (5, 6) półprzewodnika są w kontakcie z jedną warstwą środkową (7) półprzewodnika o tym samym co warstwy wewnętrzne (5, 6) lecz słabym typie przewodnictwa, lub o samoistnym typie przewodnictwa, przy czym jedno złącze pomiędzy warstwą skrajną (1) i warstwą wewnętrzną (5) polaryzowane jest w kierunku przewodzenia, a drugie złącze pomiędzy warstwą wewnętrzną (6) a warstwą skrajną (2) spolaryzowane jest w kierunku zaporowym, przy czym elektroda wyjściowa (4) rejestru przesuwającego połączona jest poprzez rezystor (10) z ujemnym biegunem źródła zasilania układu oraz przyłączona jest do elektrody sterującej aktywnego elementu półprzewodnikowego (11) o dużej impedancji wejściowej i dużym wzmocnieniu, a wyjście tego elementu aktywnego (11) w konfiguracji odwrócenia sygnału połączone jest z jednej strony z dodatnim biegunem zasilania układu poprzez obciążenie (12) i z drugiej strony z jednym z wejść mnożącej bramki logicznej (13) z odwróceniem wyniku mnożenia, której wyjście stanowi wyjście sygnału i wyjście to przyłączone jest do dwuwejściowego aktywnego elementu mnożącego (14) poprzez jedno z wejść sterujących, a drugie wejście sterujące tego aktywnego elementu mnożącego (14) przyłączone jest do wyjścia układu programującego (15), a wyjście elementu mnożącego (14) połączone jest z warstwą wewnętrzną (6) rejestru przesuwającego polaryzowaną zaporowo w stosunku do warstwy środkowej (7), przy czym wyjście elementu mnożącego (14) połączone jest również poprzez element podwyższania napięcia (16) z warstwą wewnętrzną (5) spolaryzowaną w kierunku przewodzenia w stosunku do warstwy środkowej (7) i poprzez obciążenie (17) zwarte z dodatnim biegunem źródła zasilania układu.

2. Układ według zastrz. 1, **znamienny tym**, że układ programujący (15) zbudowany jest z bramki logicznej typu NAND (18), której jedno wejście stanowi wejście sygnałowe, a drugie wejście poprzez inwerter (19) połączone jest z wejściem ustalającym funkcję pracy układu półprzewodnikowej pamięci dynamicznej, a wyjście tej bramki NAND zwarte jest z jednym z wejść bramki logicznej AND (20), na której drugie wejście podawany jest zewnętrzny sygnał zegarowy sterujący pracą pamięci, a wyjście tej bramki AND stanowi wyjście układu programującego (15).

3. Układ według zastrz. 1, **znamienny tym**, że warstwę środkową (7) w rejestrze przesuwającym stanowi warstwa półprzewodnikowa typu p o słabym przewodnictwie.

4. Układ według zastrz. 1, **znamienny tym**, że aktywny element półprzewodnikowy (11) stanowi tranzystor typu FET lub MOS-FET.

5. Układ według zastrz. 1, **znamienny tym**, że aktywny element mnożący (14) stanowi dwubramkowy tranzystor typu MOS-FET.

6. Układ według zastrz. 1, **znamienny tym**, że obciążenia (12, 17) stanowią rezystory.

7. Układ według zastrz. 1, **znamienny tym**, że element przesuwający napięcie (16) stanowi skompensowana termicznie dioda Zenera.

8. Układ według zastrz. 1, **znamienny tym**, że mnożące bramkę logiczną (13) stanowi trójwejściowa bramka typu NAND, gdzie do drugiego z wejść przyłączony jest zewnętrzny sygnał zegarowy, a do trzeciego z wejść przyłączony jest sygnał ustalający funkcję pracy układu pamięci.

